



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0064608  
(43) 공개일자 2018년06월15일

(51) 국제특허분류(Int. Cl.)  
G09G 3/20 (2006.01) G09G 3/3266 (2016.01)  
G09G 3/36 (2006.01)

(52) CPC특허분류  
G09G 3/20 (2013.01)  
G09G 3/3266 (2013.01)

(21) 출원번호 10-2016-0164511

(22) 출원일자 2016년12월05일

심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자  
구자현  
충청남도 아산시 탕정면 탕정면로 37 (탕정삼성트  
라팰리스아파트) 301동 3205호

김학선  
서울특별시 서초구 서초중앙로 200 13동 903호 (서  
초동, 삼풍아파트)  
(뒷면에 계속)

(74) 대리인  
특허법인 고려

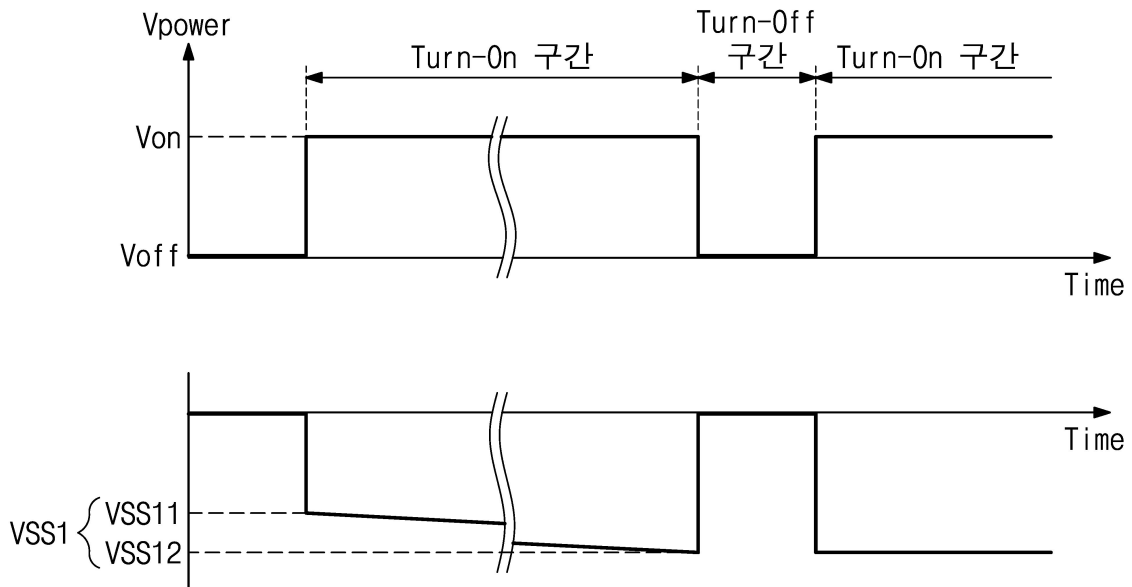
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 게이트 구동회로 및 이를 포함하는 표시장치

**(57) 요약**

표시장치는 복수의 게이트 라인들 및 상기 복수의 게이트 라인들 중 대응하는 게이트 라인에 각각 연결된 복수의 화소들을 포함하는 표시패널 및 상기 복수의 게이트 라인들 중 적어도 어느 하나에 게이트 신호를 제공하는 스테이지를 포함하는 게이트 구동회로를 포함한다. 상기 게이트 신호는 하이 전압을 갖는 하이 구간 및 상기 하이 전압보다 레벨이 낮은 로우 전압을 갖는 로우 구간을 포함하고, 상기 로우 구간은 상기 로우 전압이 제1 레벨부터 제2 레벨까지 낮아지는 하강 구간을 포함한다.

**대표도** - 도9



(52) CPC특허분류

**G09G 3/3677** (2013.01)

G09G 2230/00 (2013.01)

G09G 2310/061 (2013.01)

G09G 2320/043 (2013.01)

(72) 발명자

**이경훈**

경기도 용인시 기흥구 죽전로15번길 12-7 201호 (보정동)

**이호**

경기도 성남시 분당구 판교로 393 202동 102호 (삼평동, 봇들마을이지더원아파트)

## 명세서

### 청구범위

#### 청구항 1

복수의 게이트 라인들 및 상기 복수의 게이트 라인들 중 대응하는 게이트 라인에 각각 연결된 복수의 화소들을 포함하는 표시패널; 및

상기 복수의 게이트 라인들 중 적어도 어느 하나에 게이트 신호를 제공하는 스테이지를 포함하는 게이트 구동회로를 포함하고,

상기 게이트 신호는 하이 전압을 갖는 하이 구간 및 상기 하이 전압보다 레벨이 낮은 로우 전압을 갖는 로우 구간을 포함하고, 상기 로우 구간은 상기 로우 전압이 제1 레벨부터 제2 레벨까지 낮아지는 하강 구간을 포함하는 표시장치.

#### 청구항 2

제1 항에 있어서,

상기 복수의 화소들 각각은,

상기 게이트 신호에 응답하여 화소 전압을 출력하는 화소 트랜지스터; 및

상기 화소 전압을 충전하는 액정 커패시터를 포함하는 표시장치.

#### 청구항 3

제2 항에 있어서,

상기 화소 트랜지스터는

상기 게이트 신호가 인가되는 제어전극;

상기 제어전극을 커버하는 절연층;

상기 절연층 상에 배치되는 활성화층;

상기 활성화층 상에 배치되고, 상기 화소 전압이 인가되는 입력전극; 및

상기 활성화층 상에 배치되고, 상기 화소 전압이 출력되는 출력전극을 포함하고,

상기 하강 구간에서, 상기 절연층에 트랩(trap)된 전자가 디-트랩(de-trap)되는 표시장치.

#### 청구항 4

제3 항에 있어서,

상기 제1 레벨은 -15V 이상 -5V 이하이고,

상기 제2 레벨은 -35V 이상 -14V 이하인 표시장치.

#### 청구항 5

제4 항에 있어서,

상기 하이 전압은 14V 이상 35V 이하인 표시장치.

#### 청구항 6

제2 항에 있어서,

상기 화소 전압에 대응하는 데이터 신호를 출력하는 데이터 구동회로를 더 포함하는 표시장치.

**청구항 7**

제2 항에 있어서,  
 상기 게이트 구동회로 및 상기 표시패널이 오프되었다가 온 되는 경우,  
 상기 로우 구간 및 상기 하이 구간을 다시 포함하는 표시장치.

**청구항 8**

제1 항에 있어서,  
 상기 스테이지는,  
 Q-노드의 전압에 따라 온/오프 되며, 상기 게이트 신호를 상기 스테이지의 게이트 출력단자로 출력하는 출력부;  
 상기 Q-노드의 전압을 제어하는 제어부; 및  
 상기 하이 구간 이후에, 상기 게이트 출력단자에 상기 로우 전압을 제공하는 풀다운부를 포함하는 표시장치.

**청구항 9**

제2 항에 있어서,  
 상기 로우 구간은 상기 로우 전압의 레벨이 일정한 일정 구간을 더 포함하는 표시장치.

**청구항 10**

제2 항에 있어서,  
 상기 로우 구간은 상기 로우 전압의 레벨이 점점 높아지는 상승 구간을 더 포함하는 표시장치.

**청구항 11**

제2 항에 있어서,  
 상기 표시패널은 프레임 구간들 동안 유효 이미지를 표시하고, 프레임 구간들 사이에 정의된 블랭크 구간 동안 블랭크 이미지를 표시하며,  
 상기 블랭크 구간에서 상기 로우 전압의 레벨은 상기 프레임 구간들에서 상기 로우 전압의 레벨보다 작은 표시장치.

**청구항 12**

게이트 라인에 전기적으로 연결된 출력단자;  
 Q-노드의 전압을 제어하는 제어부;  
 상기 Q-노드의 상기 전압에 따라 온/오프 되며, 상기 출력단자에 게이트-온 신호를 출력하는 제1 출력부; 및  
 상기 제1 출력부에서 상기 게이트-온 신호가 출력된 이후에, 상기 게이트 출력단자에 전압이 제1 레벨부터 제2 레벨까지 낮아지는 구간을 포함하는 게이트-오프 신호를 제공하는 제1 풀다운부를 포함하는 게이트 구동회로.

**청구항 13**

제12 항에 있어서,  
 캐리 출력단자; 및  
 상기 Q-노드의 전위에 따라 온/오프되며, 캐리-온 신호를 상기 캐리 출력단자로 출력하는 제2 출력부를 더 포함하는 게이트 구동회로.

**청구항 14**

제13 항에 있어서,

상기 제2 출력부에서 상기 캐리-온 신호가 출력된 이후에, 상기 캐리 출력단자에 캐리-오프 신호를 제공하는 제 2 풀다운부를 더 포함하는 게이트 구동회로.

**청구항 15**

제14 항에 있어서,

상기 캐리-오프 신호의 전압은 상기 게이트-오프 신호의 전압보다 낮은 게이트 구동회로.

**청구항 16**

제13 항에 있어서,

상기 제1 레벨은 -15V 이상 -9V 이하이고,

상기 제2 레벨은 -35V 이상 -14V 이하인 게이트 구동회로.

**청구항 17**

복수의 게이트 라인들, 복수의 데이터 라인들, 및 상기 복수의 게이트 라인들과 상기 복수의 데이터 라인들 중 대응하는 게이트 라인 및 대응하는 데이터 라인에 각각 연결된 복수의 화소들을 포함하는 표시패널;

상기 복수의 데이터 라인들에 데이터 신호를 제공하는 데이터 구동회로; 및

상기 복수의 게이트 라인들에 게이트 신호를 제공하는 게이트 구동회로를 포함하고, 상기 게이트 구동회로는,

상기 복수의 게이트 라인들 중 어느 하나에 전기적으로 연결된 출력단자;

Q-노드의 전압을 제어하는 제어부;

상기 Q-노드의 상기 전압에 따라 온/오프 되며, 상기 출력단자에 게이트-온 신호를 출력하는 제1 출력부; 및

상기 제1 출력부에서 상기 게이트-온 신호가 출력된 이후에, 상기 게이트 출력단자에 전압이 제1 레벨부터 제2 레벨까지 낮아지는 게이트-오프 신호를 제공하는 제1 풀다운부를 포함하는 표시장치.

**청구항 18**

제17 항에 있어서,

상기 게이트 구동회로는,

캐리 출력단자; 및

상기 Q-노드의 전위에 따라 온/오프되며, 캐리-온 신호를 상기 캐리 출력단자로 출력하는 제2 출력부를 더 포함하는 표시장치.

**청구항 19**

제18 항에 있어서,

상기 게이트 구동회로는 상기 제2 출력부에서 상기 캐리-온 신호가 출력된 이후에, 상기 캐리 출력단자에 캐리-오프 신호를 제공하는 제2 풀다운부를 더 포함하는 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 게이트 구동회로 및 이를 포함하는 표시장치에 관한 것으로, 좀더 상세하게는 표시패널을 구성하는 트랜지스터들의 열화를 보상할 수 있는 게이트 구동회로 및 표시장치에 관한 것이다.

**배경 기술**

[0002] 표시장치는 복수 개의 게이트 라인들, 복수 개의 데이터 라인들, 복수 개의 게이트 라인들과 복수 개의 데이터 라인들에 연결된 복수 개의 화소들을 포함한다. 표시장치는 복수 개의 게이트 라인들에 게이트 신호들을 순차적

으로 제공하는 게이트 구동회로 및 복수 개의 데이터 라인들에 데이터 신호들을 출력하는 데이터 구동회로를 포함한다.

- [0003] 게이트 구동회로는 복수 개의 스테이지들이 종속적으로 연결되어 이루어진 하나의 쉬프트 레지스터를 포함한다. 복수 개의 스테이지들 각각은 대응하는 게이트 라인에 게이트 전압을 출력하기 위해 유기적으로 연결된 복수 개의 트랜지스터들을 포함한다.
- [0004] 표시패널의 화소에 포함되는 트랜지스터는 지속적으로 인가받는 전압에 의해 열화되는 문제점들이 발생한다.

**발명의 내용**

**해결하려는 과제**

- [0005] 본 발명은 게이트 구동회로에서 인가되는 전압에 의해 화소 내의 트랜지스터들이 열화되는 것을 보상할 수 있는 게이트 구동회로 및 표시장치를 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

- [0006] 본 발명의 일 실시예에 따른 표시장치는 복수의 게이트 라인들 및 상기 복수의 게이트 라인들 중 대응하는 게이트 라인에 각각 연결된 복수의 화소들을 포함하는 표시패널 및 상기 복수의 게이트 라인들 중 적어도 어느 하나에 게이트 신호를 제공하는 스테이지를 포함하는 게이트 구동회로를 포함한다. 상기 게이트 신호는 하이 전압을 갖는 하이 구간 및 상기 하이 전압보다 레벨이 낮은 로우 전압을 갖는 로우 구간을 포함하고, 상기 로우 구간은 상기 로우 전압이 제1 레벨부터 제2 레벨까지 낮아지는 하강 구간을 포함한다.
- [0007] 상기 복수의 화소들 각각은 상기 게이트 신호에 응답하여 화소 전압을 출력하는 화소 트랜지스터 및 상기 화소 전압을 충전하는 액정 커패시터를 포함할 수 있다.
- [0008] 상기 화소 트랜지스터는 상기 게이트 신호가 인가되는 제어전극, 상기 제어전극을 커버하는 절연층, 상기 절연층 상에 배치되는 활성화층, 상기 활성화층 상에 배치되고 상기 화소 전압이 인가되는 입력전극, 및 상기 활성화층 상에 배치되고 상기 화소 전압이 출력되는 출력전극을 포함할 수 있다. 상기 하강 구간에서, 상기 절연층에 트랩(trap)된 전자가 디-트랩(de-trap)될 수 있다.
- [0009] 본 발명의 일 실시예에서, 상기 제1 레벨은 -15V 이상 -5V 이하이고, 상기 제2 레벨은 -35V 이상 -14V 이하일 수 있다.
- [0010] 본 발명의 일 실시예에서, 상기 하이 전압은 14V 이상 35V 이하일 수 있다.
- [0011] 본 발명의 일 실시예에 따른 표시장치는 상기 화소 전압에 대응하는 데이터 신호를 출력하는 데이터 구동회로를 더 포함할 수 있다.
- [0012] 본 발명의 일 실시예에서, 상기 게이트 구동회로 및 상기 표시패널이 오프되었다가 온 되는 경우, 상기 로우 구간은 상기 로우 전압이 상계 제1 레벨부터 상기 제2 레벨까지 지속적으로 낮아지는 상기 하강 구간을 포함할 수 있다.
- [0013] 본 발명의 일 실시예에서, 상기 게이트 구동회로 및 상기 표시패널이 오프되었다가 온 되는 경우, 상기 로우 구간 및 상기 하이 구간을 다시 포함할 수 있다.
- [0014] 본 발명의 일 실시예에서, 상기 스테이지는 Q-노드의 전압에 따라 온/오프 되며, 상기 게이트 신호를 상기 스테이지의 게이트 출력단자로 출력하는 출력부, 상기 Q-노드의 전압을 제어하는 제어부, 및 상기 하이 구간 이후에, 상기 게이트 출력단자에 상기 로우 전압을 제공하는 풀다운부를 포함할 수 있다.
- [0015] 본 발명의 일 실시예에서, 상기 상기 로우 구간은 상기 로우 전압의 레벨이 일정한 일정 구간을 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에서, 상기 로우 구간은 상기 로우 전압의 레벨이 점점 높아지는 상승 구간을 더 포함할 수 있다.
- [0017] 본 발명의 일 실시예에서, 상기 표시패널은 프레임 구간들 동안 유효 이미지를 표시하고, 프레임 구간들 사이에 정의된 블랭크 구간 동안 블랭크 이미지를 표시하며, 상기 블랭크 구간에서 상기 로우 전압의 레벨은 상기 프레임 구간들에서 상기 로우 전압의 레벨보다 작을 수 있다.

[0018] 본 발명의 일 실시예에 따른 게이트 구동회로는 게이트 라인에 전기적으로 연결된 출력단자, Q-노드의 전압을 제어하는 제어부, 상기 Q-노드의 상기 전압에 따라 온/오프 되며, 상기 출력단자에 게이트-온 신호를 출력하는 제1 출력부, 및 상기 제1 출력부에서 상기 게이트-온 신호가 출력된 이후에, 상기 게이트 출력단자에 전압이 제1 레벨부터 제2 레벨까지 낮아지는 구간을 포함하는 게이트-오프 신호를 제공하는 제1 풀다운부를 포함할 수 있다.

[0019] 본 발명의 일 실시예에 따른 표시장치는 복수의 게이트 라인들, 복수의 데이터 라인들, 및 상기 복수의 게이트 라인들과 상기 복수의 데이터 라인들 중 대응하는 게이트 라인 및 대응하는 데이터 라인에 각각 연결된 복수의 화소들을 포함하는 표시패널, 상기 복수의 데이터 라인들에 데이터 신호를 제공하는 데이터 구동회로, 및 상기 복수의 게이트 라인들에 게이트 신호를 제공하는 게이트 구동회로를 포함할 수 있다.

[0020] 상기 게이트 구동회로는, 상기 복수의 게이트 라인들 중 어느 하나에 전기적으로 연결된 출력단자, Q-노드의 전압을 제어하는 제어부, 상기 Q-노드의 상기 전압에 따라 온/오프 되며, 상기 출력단자에 게이트-온 신호를 출력하는 제1 출력부, 및 상기 제1 출력부에서 상기 게이트-온 신호가 출력된 이후에, 상기 게이트 출력단자에 전압이 제1 레벨부터 제2 레벨까지 낮아지는 게이트-오프 신호를 제공하는 제1 풀다운부를 포함할 수 있다.

**발명의 효과**

[0021] 상술한 바에 따르면, 화소 내의 트랜지스터가 캐리어의 트랩(Trap)으로 인해 열화되는 것을 완화할 수 있다.

**도면의 간단한 설명**

[0022] 도 1은 본 발명의 일 실시예에 따른 표시장치의 평면도이다.

도 2는 본 발명의 일 실시예에 따른 표시장치의 신호들의 타이밍도이다.

도 3는 본 발명의 일 실시예에 따른 화소의 등가회로도이다.

도 4는 본 발명의 일 실시예에 따른 화소의 단면도이다.

도 5는 본 발명의 일 실시예에 따른 게이트 구동회로의 블럭도이다.

도 6는 도 5에 도시된 복수 개의 스테이지들 중 i번째 구동 스테이지의 회로도이다.

도 7은 도 6에 도시된 i번째 구동 스테이지의 입출력신호 파형도이다.

도 8a 내지 도 8d는 각각 본 발명의 일 실시예에 따른 게이트 신호의 파형도이다.

도 9는 본 발명의 일 실시예에 따른 제1 로우 전압의 변화를 도시한 것이다.

도 10a는 본 발명의 일 실시예에 따른 제1 로우 전압의 변화를 도시한 것이다.

도 10b는 도 10a의 AA를 확대하여 도시한 것이다.

도 11a 및 도 11b는 본 발명의 일 실시예에 따른 화소 트랜지스터들의 문턱전압의 변화를 도시한 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

[0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0024] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0025] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계,

동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0026] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 표시장치(DD)의 블럭도이다. 도 2는 본 발명의 일 실시예에 따른 표시장치(DD)의 신호들의 타이밍도이다.
- [0028] 도 1에 도시된 것과 같이, 본 발명의 실시 예에 따른 표시장치는 표시패널(DP), 게이트 구동회로(100), 데이터 구동회로(200), 및 메인 회로기관(MCB)을 포함한다.
- [0029] 표시패널(DP)은 특별히 한정되는 것은 아니며, 예를 들어, 액정 표시패널(liquid crystal display panel), 유기발광 표시패널(organic light emitting display panel), 전기영동 표시패널(electrophoretic display panel), 및 일렉트로웨팅 표시패널(electrowetting display panel)등의 다양한 표시패널을 포함할 수 있다. 본 실시예에서 표시패널(DP)은 액정 표시패널로 설명된다. 한편, 액정 표시패널을 포함하는 액정 표시장치는 미 도시된 편광자, 백라이트 유닛 등을 더 포함할 수 있다.
- [0030] 표시패널(DP)은 제1 기관(DS1), 제1 기관(DS1)과 이격된 제2 기관(DS2) 및 제1 기관(DS1)과 제2 기관(DS2) 사이에 배치된 액정층(미도시)을 포함한다. 평면 상에서, 표시패널(DP)은 복수 개의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)이 배치된 표시영역(DA) 및 표시영역(DA)을 둘러싸는 비표시영역(NDA)을 포함한다.
- [0031] 표시패널(DP)은 제1 기관(DS1) 상에 배치된 복수 개의 게이트 라인들(GL1~GLn) 및 게이트 라인들(GL1~GLn)과 교차하는 복수 개의 데이터 라인들(DL1~DLm)을 포함한다. 복수 개의 게이트 라인들(GL1~GLn)은 게이트 구동회로(100)에 연결된다. 복수 개의 데이터 라인들(DL1~DLm)은 데이터 구동회로(200)에 연결된다. 도 1에는 복수 개의 게이트 라인들(GL1~GLn) 중 일부와 복수 개의 데이터 라인들(DL1~DLm) 중 일부만이 도시되었다. 또한, 표시패널(DP)은 제1 기관(DS1)의 비표시영역(NDA)에 배치된 더미 게이트 라인(GLd)을 더 포함할 수 있다. 더미 게이트 라인(GLd)은 복수 개 형성될 수 있다.
- [0032] 도 1에는 복수 개의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>) 중 일부만이 도시되었다. 복수 개의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인에 각각 연결된다. 다만, 더미 게이트 라인(GLd)은 복수 개의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)에 연결되지 않는다.
- [0033] 복수 개의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)은 표시하는 컬러에 따라 복수 개의 그룹들로 구분될 수 있다. 복수 개의 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)은 주요색(primary color) 중 하나를 표시할 수 있다. 주요색은 레드, 그린, 블루, 및 화이트를 포함할 수 있다. 한편, 이에 제한되는 것은 아니고, 주요색은 옐로우, 시안, 마젠타 등 다양한 색상을 더 포함할 수 있다.
- [0034] 게이트 구동회로(100) 및 데이터 구동회로(200)는 신호 제어부(미도시, 예컨대 타이밍 컨트롤러)로부터 제어 신호를 수신한다. 신호 제어부는 메인 회로기관(MCB)에 실장될 수 있다. 신호 제어부는 외부의 그래픽 제어부(미도시)로부터 영상 데이터 및 제어 신호를 수신한다.
- [0035] 게이트 구동회로(100)는 프레임 구간들(FR-0, FR-E) 동안에 신호 제어부로부터 수신한 제어 신호(이하, 게이트 제어 신호)에 기초하여 게이트 신호들(GS1~GSn)을 생성하고, 게이트 신호들(GS1~GSn)을 복수 개의 게이트 라인들(GL1~GLn)에 출력한다. 게이트 신호들(GS1~GSn)은 순차적으로 출력될 수 있다.
- [0036] 게이트 구동회로(100)는 박막공정을 통해 화소들(PX<sub>11</sub>~PX<sub>nm</sub>)과 동시에 형성될 수 있다. 예컨대, 게이트 구동회로(100)는 비표시영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태 또는 OSG(Oxide Semiconductor TFT Gate driver circuit) 형태로 실장 될 수 있다. 게이트 구동회로(100)는 복수개의 구동 트랜지스터들(TRG)을 포함한다.
- [0037] 도 1은 복수 개의 게이트 라인들(GL1~GLn)의 좌측 말단들에 연결 하나의 게이트 구동회로(100)를 예시적으로 도시하였다. 도시하지는 않았으나, 표시장치는 2개의 게이트 구동회로들을 포함할 수 있다. 2개의 게이트 구동회로들 중 하나는 복수 개의 게이트 라인들(GL1~GLn)의 좌측 말단들에 연결되고, 다른 하나는 복수 개의 게이트



라인들(GL1~GLn)의 우측 말단들에 연결될 수 있다. 또한, 2개의 게이트 구동회로들 중 하나는 홀수 번째 게이트 라인들에 연결되고, 다른 하나는 짝수 번째 게이트 라인들에 연결될 수 있다. 또한, 게이트 구동회로(100)는 복수개의 위상 게이트 구동회로들(도 5b 내지 도 5e 참조)가 중첩된 구조일 수 있다.

- [0038] 데이터 구동회로(200)는 신호 제어부로부터 수신한 제어 신호(이하, 데이터 제어 신호)에 기초하여 신호 제어부로부터 제공된 영상 데이터에 따른 계조 전압들을 생성한다. 데이터 구동회로(200)는 계조 전압들을 데이터 신호(DTS)로써 복수 개의 데이터 라인들(DL1~DLm)에 출력된다.
- [0039] 데이터 신호(DTS)는 공통 전압에 대하여 양의 값을 갖는 정극성 데이터 전압들 및/또는 음의 값을 갖는 부극성 데이터 전압들을 포함할 수 있다. 데이터 라인들(DL1~DLm)에 인가되는 데이터 전압들 중 일부는 정극성을 갖고, 다른 일부는 부극성을 가질 수 있다. 데이터 신호(DTS)의 극성은 액정의 열화를 방지하기 위하여 프레임 구간들(FR-0, FR-E)에 따라 반전될 수 있다. 데이터 구동회로(200)는 반전 신호에 응답하여 프레임 구간 단위로 반전된 데이터 전압들을 생성할 수 있다.
- [0040] 데이터 구동회로(200)는 구동칩(210) 및 구동칩(210)을 실장하는 연성회로기판(220)을 포함할 수 있다. 데이터 구동회로(200)는 복수 개의 구동칩(210)과 연성회로기판(220)을 포함할 수 있다. 연성회로기판(220)은 메인 회로기판(MCB)과 제1 기판(DS1)을 전기적으로 연결한다. 복수 개의 구동칩들(210)은 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 대응하는 데이터 신호들을 제공한다.
- [0041] 도 1은 테이프 캐리어 패키지(TCP: Tape Carrier Package) 타입의 데이터 구동회로(200)를 예시적으로 도시하였다. 본 발명의 일 실시예에서, 데이터 구동회로(200)는 칩 온 글래스(COG: Chip on Glass) 방식으로 제1 기판(DS1)의 비표시영역(NDA) 상에 배치될 수 있다.
- [0042] 도 2를 참조하면, 프레임 구간들(FR-0, FR-E)은 유효 이미지를 표시하는 구간으로 정의된다. 프레임 구간들(FR-0, FR-E)은 홀수 번째 프레임 구간(FR-0) 및 짝수 번째 프레임 구간(FR-E)으로 구분될 수 있다.
- [0043] 프레임 구간들(FR-0, FR-E)에는 데이터 신호(DTS)가 데이터 라인들(DL1~DLm)에 출력된다. 데이터 신호(DTS)는 대응하는 프레임 구간에 따라 제1 데이터 신호(DTS1)과 제2 데이터 신호(DTS2)로 구분될 수 있다.
- [0044] 홀수 번째 프레임 구간(FR-0)에는 제1 데이터 신호(DTS1)가 데이터 라인들(DL1~DLm)에 출력되고, 짝수 번째 프레임 구간(FR-E)에는 제2 데이터 신호(DTS2)가 데이터 라인들(DL1~DLm)에 출력된다.
- [0045] 블랭크 구간(BLK)은 블랭크 이미지를 표시하는 구간으로 정의된다. 블랭크 구간(BLK)은 프레임 구간들(FR-0, FR-E) 사이, 즉, 홀수 번째 프레임 구간(FR-0)과 짝수 번째 프레임 구간(FR-E) 사이에 정의될 수 있다. 본 발명의 일 실시예에서 블랭크 구간(BLK)은 아무런 이미지를 표시하지 않는 구간으로 정의될 수도 있다.
- [0046] 또한, 블랭크 구간(BLK)은 표시장치(DD)가 턴-온 된 후, 유효 이미지가 표시되기 전까지의 구간을 더 포함할 수 있다. 그리고, 블랭크 구간(BLK)은 유효 이미지 표시가 끝나고 표시장치(DD)가 턴-오프 되기 전까지의 구간을 더 포함할 수 있다.
- [0047] 게이트 신호들(GS1~GSn)은 순차적으로 출력될 수 있다. 단, 게이트 신호들(GS1~GSn)의 출력 형상이 이에 제한되는 않으며, 소정의 위상차를 갖고 순차적으로 출력될 수도 있다.
- [0048] 게이트 신호들(GS1~GSn) 각각이 모두 한번씩 출력되는 구간은 프레임 구간들(FR-0, FR-E) 중 어느 하나에 대응한다.
- [0049] 도 2에서는, 게이트 신호들(GS1~GSn)이 높은 레벨의 전압을 갖는 하이 구간 및 낮은 레벨의 전압을 갖는 로우 구간을 개략적으로 도시한 것이며, 구간들 각각에서의 전압의 변화에 대해서는 도시하지 않았다. 하이 구간 및 로우 구간에서 전압의 변화에 대한 설명은 후술한다.
- [0050] 도 3는 본 발명의 일 실시예에 따른 화소(PX<sub>ij</sub>)의 등가회로도이다. 도 4는 본 발명의 일 실시예에 따른 화소(PX<sub>ij</sub>)의 단면도이다. 도 1에 도시된 복수 개의 화소들(PX<sub>11</sub>~PX<sub>mm</sub>) 각각은 도 3에 도시된 등가회로를 가질 수 있다.
- [0051] 도 3에 도시된 것과 같이, 화소(PX<sub>ij</sub>)는 화소 박막 트랜지스터(TRP, 이하 화소 트랜지스터), 액정 커패시터(C1c), 및 스토리지 커패시터(Cst)를 포함한다. 본 발명의 일 실시예에서 스토리지 커패시터(Cst)는 생략될 수 있다.
- [0052] 화소 트랜지스터(TRP)는 i번째 게이트 라인(GLi)과 j번째 데이터 라인(DLj)에 전기적으로 연결된다. 화소 트랜

지스터(TRP)는  $i$ 번째 게이트 라인(GLi)으로부터 수신한 게이트 신호에 응답하여  $j$ 번째 데이터 라인(DLj)으로부터 수신한 데이터 신호에 대응하는 화소 전압을 출력한다.

- [0053] 액정 커패시터(C1c)는 화소 트랜지스터(TRP)로부터 출력된 화소 전압을 충전한다. 액정 커패시터(C1c)에 충전된 전하량에 따라 액정층(LCL, 도 3 참조)에 포함된 액정 방향자의 배열이 변화된다. 액정 방향자의 배열에 따라 액정층으로 입사된 광은 투과되거나 차단된다.
- [0054] 스토리지 커패시터(Cst)는 액정 커패시터(C1c)에 병렬로 연결된다. 스토리지 커패시터(Cst)는 액정 방향자의 배열을 일정한 구간 동안 유지시킨다.
- [0055] 도 4에 도시된 것과 같이, 화소 트랜지스터(TRP)는  $i$ 번째 게이트 라인(GLi, 도 2 참조)에 연결된 제어전극(CEP, 이하 화소 제어전극), 화소 제어전극(CEP)에 중첩하는 활성화층(ALP, 이하 화소 활성화층), 화소 활성화층(ALP)을 커버하는 절연층(ILP),  $j$ 번째 데이터 라인(DLj, 도 2 참조)에 연결된 입력전극(IEP, 이하 화소 입력전극), 및 화소 입력전극(IEP)과 이격되어 배치된 출력전극(OEP, 이하 화소 출력전극)을 포함한다.
- [0056] 액정 커패시터(C1c)는 화소전극(PE)과 공통전극(CE)을 포함한다. 스토리지 커패시터(Cst)는 화소전극(PE)과 화소전극(PE)에 중첩하는 스토리지 라인(STL)의 일부분을 포함한다.
- [0057] 제1 기관(DS1)의 일면 상에  $i$ 번째 게이트 라인(GLi) 및 스토리지 라인(STL)이 배치된다. 화소 제어전극(CEP)은  $i$ 번째 게이트 라인(GLi)으로부터 분기된다.  $i$ 번째 게이트 라인(GLi) 및 스토리지 라인(STL)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 탄탈륨(Ta), 티타늄(Ti) 등의 금속 또는 이들의 합금 등을 포함할 수 있다.  $i$ 번째 게이트 라인(GLi) 및 스토리지 라인(STL)은 다층 구조, 예컨대 티타늄층과 구리층을 포함할 수 있다.
- [0058] 제1 기관(DS1)의 일면 상에 화소 제어전극(CEP) 및 스토리지 라인(STL)을 커버하는 제1 절연층(10)이 배치된다. 화소 트랜지스터(TRP)의 절연층(ILP)은 제1 절연층(10)의 일부분이다. 제1 절연층(10)은 무기물 및 유기물 중 적어도 어느 하나를 포함할 수 있다. 제1 절연층(10)은 유기막이거나, 무기막일 수 있다. 제1 절연층(10)은 다층 구조, 예컨대 실리콘 나이트라이드층과 실리콘 옥사이드층을 포함할 수 있다.
- [0059] 제1 절연층(10) 상에 화소 제어전극(CEP)과 중첩하는 화소 활성화층(ALP)이 배치된다. 화소 활성화층(ALP)은 반도체층(미도시)과 오믹 콘택층(미도시)을 포함할 수 있다.
- [0060] 화소 활성화층(ALP)은 아몰포스 실리콘 또는 폴리 실리콘을 포함할 수 있다. 또한, 화소 활성화층(ALP)은 금속 산화물 반도체를 포함할 수 있다.
- [0061] 화소 활성화층(ALP) 상에 화소 출력전극(OEP)과 화소 입력전극(IEP)이 배치된다. 화소 출력전극(OEP)과 화소 입력전극(IEP)은 서로 이격되어 배치된다. 화소 출력전극(OEP)과 화소 입력전극(IEP) 각각은 화소 제어전극(CEP)에 부분적으로 중첩할 수 있다.
- [0062] 도 4에는 스테퍼 구조를 갖는 화소 트랜지스터(TRP)를 예시적으로 도시하였으나, 화소 트랜지스터(TRP)의 구조는 이에 제한되지 않는다. 화소 트랜지스터(TRP)는 플래너 구조를 가질 수도 있다.
- [0063] 제1 절연층(10) 상에 화소 활성화층(ALP), 화소 출력전극(OEP), 및 화소 입력전극(IEP)을 커버하는 제2 절연층(20)이 배치된다. 제2 절연층(20)은 평탄면을 제공한다. 제2 절연층(20)은 유기물을 포함할 수 있다.
- [0064] 제2 절연층(20) 상에 화소전극(PE)이 배치된다. 화소전극(PE)은 제2 절연층(20) 및 제2 절연층(20)을 관통하는 콘택홀(CH)을 통해 화소 출력전극(OEP)에 연결된다. 제2 절연층(20) 상에 화소전극(PE)을 커버하는 배향막(30)이 배치될 수 있다.
- [0065] 제2 기관(DS2)의 일면 상에 컬러필터층(CF)이 배치된다. 컬러필터층(CF) 상에 공통전극(CE)이 배치된다. 공통전극(CE)에는 공통 전압이 인가된다. 공통 전압과 화소 전압과 다른 값을 갖는다. 공통전극(CE) 상에 공통전극(CE)을 커버하는 배향막(미도시)이 배치될 수 있다. 컬러필터층(CF)과 공통전극(CE) 사이에 또 다른 절연층이 배치될 수 있다.
- [0066] 액정층(LCL)을 사이에 두고 배치된 화소전극(PE)과 공통전극(CE)은 액정 커패시터(C1c)를 형성한다. 또한, 제1 절연층(10) 및 제2 절연층(20)을 사이에 두고 배치된 화소전극(PE)과 스토리지 라인(STL)의 일부분은 스토리지 커패시터(Cst)를 형성한다. 스토리지 라인(STL)은 화소 전압과 다른 값의 스토리지 전압을 수신한다. 스토리지 전압은 공통 전압과 동일한 값을 가질 수 있다.

- [0067] 한편, 도 4에 도시된 화소(PX<sub>ij</sub>)의 단면은 하나의 예시에 불과하다. 도 3에 도시된 것과 달리, 컬러필터층(CF) 및 공통전극(CE) 중 적어도 어느 하나는 제1 기관(DS1) 상에 배치될 수 있다. 다시 말해, 본 실시예에 따른 액정 표시패널은 VA(Vertical Alignment)모드, PVA(Patterned Vertical Alignment) 모드, IPS(in-plane switching) 모드 또는 FFS(fringe-field switching) 모드, PLS(Plane to Line Switching) 모드 등의 화소를 포함할 수 있다.
- [0068] 도 5는 본 발명의 일 실시예에 따른 게이트 구동회로(100)의 블럭도이다.
- [0069] 도 1 및 도 5를 참조하면, 게이트 구동회로(100)는 n개의 게이트 신호들(GS1~GSn)을 n개의 게이트 라인들(GL1~GLn)에 출력한다.
- [0070] 도 5에 도시된 것과 같이, 게이트 구동회로(100)는 복수 개의 구동 스테이지들(SRC1~SRCn)을 포함한다. 구동 스테이지들(SRC1~SRCn)은 서로 종속적으로 연결된다.
- [0071] 본 실시예에서 구동 스테이지들(SRC1~SRCn)은 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 각각 연결된다. 구동 스테이지들(SRC1~SRCn)은 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인들에 게이트 신호들(GS1~GSn)을 각각 제공한다.
- [0072] 게이트 구동회로(100)는 구동 스테이지들(SRC1~SRCn) 중 말단에 배치된 구동 스테이지(SRCn)에 연결된 더미 스테이지들(SRCd1, SRCd2)을 더 포함할 수 있다. 더미 스테이지들(SRCd1, SRCd2)은 더미 게이트 라인들(GLd) 중 대응하는 더미 게이트 라인에 연결된다.
- [0073] 구동 스테이지들(SRC1~SRCn) 각각은 출력단자(OUT), 캐리단자(CR), 입력단자(IN), 제1 제어단자(CT1), 제2 제어단자(CT2), 클럭단자(CK), 클럭바 단자(CKB), 제1 전압 입력단자(V1), 및 제2 전압 입력단자(V2)를 포함한다.
- [0074] 구동 스테이지들(SRC1~SRCn) 각각의 출력단자(OUT)는 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 연결된다. 구동 스테이지들(SRC1~SRCn)로부터 생성된 게이트 신호들(GS1~GSn)은 출력단자(OUT)를 통해 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 제공된다.
- [0075] 구동 스테이지들(SRC1~SRCn) 각각의 캐리단자(CR)는 해당 구동 스테이지 다음의 구동 스테이지의 입력단자(IN)에 전기적으로 연결된다. 캐리단자들(CR)은 캐리 신호들(CRS1~CRSn)을 출력한다.
- [0076] 구동 스테이지들(SRC1~SRCn) 각각의 입력단자(IN)는 해당 구동 스테이지 이전의 구동 스테이지의 캐리 신호를 수신한다. 예컨대, 3번째 구동 스테이지(SRC3)의 입력단자(IN)는 2번째 구동 스테이지(SRC2)의 캐리 신호(CRS2)를 수신한다. 구동 스테이지들(SRC1~SRCn) 중 첫번째 구동 스테이지(SRC1)의 입력단자(IN)는 이전 구동 스테이지의 캐리 신호 대신에 게이트 구동회로(100)의 구동을 개시하는 개시신호(STV)를 수신한다.
- [0077] 구동 스테이지들(SRC1~SRCn) 각각의 제1 제어단자(CT1)는 해당 구동 스테이지 다음의 구동 스테이지의 캐리단자(CR)에 전기적으로 연결된다. 구동 스테이지들(SRC1~SRCn) 각각의 제1 제어단자(CT1)는 해당 구동 스테이지 다음의 구동 스테이지의 캐리 신호를 수신한다. 예컨대, 2번째 구동 스테이지(SRC2)의 제1 제어단자(CT1)는 3번째 구동 스테이지(SRC3)의 캐리단자(CR)로부터 출력된 캐리 신호(CRS3)를 수신한다. 본 발명의 다른 실시예에서 구동 스테이지들(SRC1~SRCn) 각각의 제1 제어단자(CT1)는 해당 구동 스테이지 다음의 구동 스테이지의 출력단자(OUT)에 전기적으로 연결될 수도 있다.
- [0078] 말단에 배치된 구동 스테이지(SRCn)의 제1 제어단자(CT1)는 제1 더미 스테이지(SRCd1)의 캐리단자(CR)로부터 출력된 캐리 신호(CRSd1)를 수신한다. 제1 더미 스테이지(SRCd1)의 제어단자(CT)는 제2 더미 스테이지(SRCd2)의 캐리단자(CR)로부터 출력된 캐리 신호(CRSd2)를 수신한다.
- [0079] 구동 스테이지들(SRC1~SRCn) 각각의 제2 제어단자(CT2)는 해당 구동 스테이지 다다음의(after next) 구동 스테이지의 캐리단자(CR)에 전기적으로 연결된다. 구동 스테이지들(SRC1~SRCn) 각각의 제2 제어단자(CT2)는 해당 구동 스테이지 다다음의 구동 스테이지의 캐리 신호를 수신한다. 예컨대, 첫번째 구동 스테이지(SRC1)의 제2 제어단자(CT2)는 3번째 구동 스테이지(SRC3)의 캐리단자(CR)로부터 출력된 캐리 신호(CRS3)를 수신한다.
- [0080] 구동 스테이지들(SRC1~SRCn) 각각의 클럭단자(CK)는 제1 클럭 신호(CK1)를 수신한다. 구동 스테이지들(SRC1~SRCn) 각각의 클럭바 단자(CKB)는 제1 클럭바 신호(CKB1)를 수신한다. 제1 클럭 신호(CK1)와 제1 클럭바 신호(CKB1)는 위상차가 180도 이다.
- [0081] 구동 스테이지들(SRC1~SRCn) 각각의 제1 전압 입력단자(V1)에는 제1 로우 전압(VSS1)이 인가된다. 구동 스테이

지들(SRC1~SRCn) 각각의 제2 전압 입력단자(V2)에는 제2 로우 전압(VSS2)이 인가된다. 제2 로우 전압(VSS2)은 제1 로우 전압(VSS1)보다 낮을 수 있다. 예를들어, 제1 로우 전압(VSS1)의 레벨은 -15V 내지 -5V 일 수 있으며, 고정적이지 않고 점점 작아지거나 점점 커질 수 있다. 제1 로우 전압(VSS1)의 레벨에 대한 설명은 도 7 내지 도 9b에서 상세히 설명한다.

- [0082] 제2 로우 전압(VSS2)의 레벨은 프레임 구간들(FR-0, FR-E)에서 -35V 내지 -14V 일 수 있다. 단, 제1 로우 전압(VSS1) 및 제2 로우 전압(VSS2)의 레벨은 이에 제한되는 것은 아니며, 다른 범위의 레벨을 가질 수 있다.
- [0083] 본 발명의 일 실시예에서 구동 스테이지들(SRC1~SRCn) 각각은 그 회로구성에 따라 출력단자(OUT), 캐리단자(CR), 입력단자(IN), 제1 제어단자(CT1), 제2 제어단자(CT2), 클럭단자(CK), 클럭바 단자(CKB), 제1 전압 입력단자(V1), 또는 제2 전압 입력단자(V2) 중 어느 하나가 생략되거나, 다른 단자들이 더 포함될 수 있다. 예컨대, 제1 전압 입력단자(V1) 또는 제2 전압 입력단자(V2) 중 어느 하나는 생략될 수 있다. 또한, 구동 스테이지들(SRC1~SRCn)의 연결관계도 변경될 수 있다.
- [0084] 도 6은 도 5에 도시된 복수 개의 구동 스테이지들(SRC1~SRCn) 중 i번째 구동 스테이지(SRC<sub>i</sub>)를 예시적으로 도시하였다. 도 7은 도 6에 도시된 i번째 구동 스테이지(SRC<sub>i</sub>)의 입력력신호 파형도이다. 도 5 도시된 복수 개의 구동 스테이지들(SRC1~SRCn) 각각은 i번째 구동 스테이지(SRC<sub>i</sub>)와 동일한 회로를 가질 수 있다.
- [0085] 도 6을 참조하면, i번째 구동 스테이지(SRC<sub>i</sub>)는 출력부(111, 112), 제어부(120), 및 폴다운부(131, 132)를 포함한다. 출력부(111, 112)는 i번째 게이트 신호(GS<sub>i</sub>)를 출력하는 제1 출력부(111) 및 i번째 캐리 신호(CRS<sub>i</sub>)를 출력하는 제2 출력부(112)를 포함한다. 폴다운부(131, 132)는 출력단자(OUT)를 다운시키는 제1 폴다운부(131) 및 캐리단자(CR)를 다운시키는 제2 폴다운부(132)를 포함한다.
- [0086] i번째 구동 스테이지(SRC<sub>i</sub>)는 복수개의 구동 트랜지스터들(TRG1 내지 TRG8, 이하 TRG)를 포함한다. 구동 트랜지스터들(TRG)은 역할에 따라, 출력 트랜지스터들(TRG1, TRG2), 제어 트랜지스터들(TRG3, TRG4, TRG5, TRG6), 및 폴다운 트랜지스터들(TRG7, TRG8)로 구분된다.
- [0087] i번째 구동 스테이지(SRC<sub>i</sub>)의 회로는 예시적인 것에 불과하며, 이는 변경될 수 있다.
- [0088] 제1 출력부(111)는 제1 출력 트랜지스터(TRG1)를 포함한다. 제1 출력 트랜지스터(TRG1)는 제1 클럭 신호(CK1)를 수신하는 입력전극, Q-노드(NQ)에 접속된 제어전극, 및 i번째 게이트 신호(GS<sub>i</sub>)를 출력하는 출력전극을 포함한다.
- [0089] 제2 출력부(112)는 제2 출력 트랜지스터(TRG2)를 포함한다. 제2 출력 트랜지스터(TRG2)는 제1 클럭 신호(CK1)를 수신하는 입력전극, Q-노드(NQ)에 연결된 제어전극, 및 i번째 캐리 신호(CRS<sub>i</sub>)를 출력하는 출력전극을 포함한다.
- [0090] 도 7에 도시된 것과 같이, 제1 클럭 신호(CK1)와 제1 클럭바 신호(CKB1) 각각은 제1 클럭 전압(VCK1)과 제2 클럭 전압(VCK2) 사이를 스윙한다. 제1 클럭 전압(VCK1)은 약 15V 내지 35V 일 수 있다. 제2 클럭 전압(VCK2)은 약 -35V 내지 -14V 일 수 있다. 제2 클럭 전압(VCK2)은 제2 로우 전압(VSS2)과 동일한 레벨을 가질 수 있다.
- [0091] 제1 전압 입력단자(V1)에는 제1 로우 전압(VSS1)을 갖는 제1 입력 신호가 인가되고, 제2 전압 입력단자(V2)에는 제2 로우 전압(VSS2)을 갖는 제2 입력 신호가 인가된다.
- [0092] 제1 입력 신호는 제1 로우 전압(VSS1)이 제1 레벨(VSS11)부터 제2 레벨(VSS12)로 낮아지는 구간을 포함할 수 있다. 제1 레벨(VSS11)은 -15V 이상 -5V 이하일 수 있고, 제2 레벨(VSS12)은 -35V 이상 -14V 이하일 수 있다. 본 발명의 일 실시예에서, 제1 입력 신호는 제1 로우 전압(VSS1)의 레벨이 일정한 구간을 더 포함할 수 있다. 본 발명의 일 실시예에서, 제1 입력 신호는 제1 로우 전압(VSS1)의 레벨이 증가하는 구간을 더 포함할 수 있다.
- [0093] 반면에, 제2 로우 전압(VSS2)은 일정한 레벨을 가질 수 있다. 단, 이에 제한되는 것은 아니고, 본 발명의 다른 실시예에서, 제2 로우 전압(VSS2) 역시 제1 로우 전압(VSS1)과 같이 레벨이 변할 수 있다.
- [0094] i번째 게이트 신호(GS<sub>i</sub>)는 전압이 낮은 게이트-오프 신호와 전압이 상대적으로 높은 게이트-온 신호를 포함한다. 게이트-오프 신호를 포함하는 구간은 로우 구간으로 정의되고, 게이트-온 신호를 포함하는 구간은 하이 구간으로 정의된다.



- [0095] 게이트-오프 신호는 제1 입력 신호가 제1 풀다운부(131)를 통해 출력단자(OUT)에 전달되어 생성될 수 있다. 이에 따라,  $i$ 번째 게이트 신호( $GS_i$ )의 로우 전압(VL-G)은 제1 로우 전압(VSS1)과 동일한 레벨을 가질 수 있다. 로우 전압(VL-G)의 레벨은  $-15V$  내지  $-5V$  일 수 있으며, 고정적이지 않고 점점 작아지거나 점점 커질 수 있다.
- [0096] 로우 구간 중에서, 게이트-오프 신호가 제1 입력 신호에 따라 레벨이 낮아지는 구간은 하강구간으로 정의된다.
- [0097]  $i$ 번째 게이트 신호( $GS_i$ )는 일부 구간 동안에 제1 클럭 신호(CK1)의 제2 클럭 전압(VCK2)과 동일한 레벨을 가질 수 있다.  $i$ 번째 게이트 신호( $GS_i$ )가 하이 전압(VH-G)이 되기 전에 프리차징 된 Q-노드(NQ)에 의해 제1 클럭 신호(CK1)의 제2 클럭 전압(VCK2)이 출력되는 것이다.
- [0098]  $i$ 번째 게이트 신호( $GS_i$ )의 하이 전압(VH-G)은 제1 클럭 신호(CK1)의 제1 클럭 전압(VCK1)과 동일한 레벨을 가질 수 있다.
- [0099]  $i$ 번째 캐리 신호( $CRS_i$ )는 전압이 낮은 캐리-오프 신호와 전압이 상대적으로 높은 캐리-온 신호를 포함한다.  $i$ 번째 캐리 신호( $CRS_i$ )는 제1 클럭 신호(CK1)에 근거하여 생성되었기 때문에 제1 클럭 신호(CK1)와 동일/유사한 전압 레벨을 갖는다.
- [0100] 제어부(120)는 제1 출력부(111) 및 제2 출력부(112)의 동작을 제어한다. 제어부(120)는  $i-1$ 번째 구동 스테이지( $SRC_{i-1}$ )로부터 출력된  $i-1$ 번째 캐리 신호( $CRS_{i-1}$ )에 응답하여 제1 출력부(111) 및 제2 출력부(112)를 턴-온 시킨다. 제어부(120)는  $i+1$ 번째 캐리 신호( $CRS_{i+1}$ ) 및  $i+2$ 번째 캐리 신호( $CRS_{i+2}$ )에 응답하여 제1 출력부(111) 및 제2 출력부(112)를 턴-오프 시킨다.
- [0101] 제어부(120)는 제1 제어 트랜지스터(TRG3), 제2 제어 트랜지스터들(TRG4), 제3 제어 트랜지스터들(TRG5), 제4 제어 트랜지스터(TRG6), 및 커패시터(CP)를 포함한다.
- [0102] 제1 제어 트랜지스터(TRG3)는 Q-노드(NQ)의 전위를 제어하는 제어 신호를 Q-노드(NQ)에 출력한다. 도 7은 복수 개의 수평 구간들 중  $i$ 번째 게이트 신호( $GS_i$ )가 출력되는 수평 구간( $HP_i$ , 이하  $i$ 번째 수평 구간), 바로 이전 수평 구간( $HP_{i-1}$ , 이하  $i-1$ 번째 수평 구간), 및 바로 이후 수평 구간( $HP_{i+1}$ , 이하  $i+1$ 번째 수평 구간)을 표시하였다.
- [0103] 제1 제어 트랜지스터(TRG3)는 입력단자(IN)로부터 Q-노드(NQ) 방향으로만 전류가 흐르도록 입력단자(IN)와 Q-노드(NQ) 사이에 다이오드 형태로 접속된다. 제1 제어 트랜지스터(TRG3)는 입력단자(IN)에 공통으로 접속된 제어전극과 입력전극, 및 Q-노드(NQ)에 연결된 출력전극을 포함한다.
- [0104] 커패시터(CP)는 제1 출력 트랜지스터(TRG1)의 출력전극과 제1 출력 트랜지스터(TRG1)의 제어전극(또는 Q-노드(NQ)) 사이에 접속된다.
- [0105] 제2 제어 트랜지스터(TRG4)는 Q-노드(NQ)에 캐리단자(CR)의 신호를 제공한다. 제2 제어 트랜지스터(TRG4)는 클럭단자(CK)와 접속된 제어전극, 캐리단자(CR)와 접속된 입력전극, 및 Q-노드(NQ)에 접속된 출력전극을 포함한다.
- [0106] 제3 제어 트랜지스터(TRG5)는 제2 전압 입력단자(V2)와 Q-노드(NQ) 사이에 연결된다. 제3 제어 트랜지스터(TRG5)의 제어전극들은 제1 제어단자(CT1)에 접속된다. 제3 제어 트랜지스터들(TRG5)은  $i+1$ 번째 캐리 신호( $CRS_{i+1}$ )에 응답하여 Q-노드(NQ)에 제2 로우 전압(VSS2)을 갖는 제2 입력 신호를 제공한다. 본 발명의 다른 실시예에서 제3 제어 트랜지스터(TRG5)는  $i+1$ 번째 게이트 신호에 의해 턴-온 될 수도 있다.
- [0107] 제4 제어 트랜지스터(TRG6)는 제2 전압 입력단자(V2)와 Q-노드(NQ) 사이에 연결된다. 제4 제어 트랜지스터(TRG6)의 제어전극들은 제2 제어단자(CT2)에 접속된다. 제4 제어 트랜지스터들(TRG6)은  $i+2$ 번째 캐리 신호( $CRS_{i+2}$ )에 응답하여 Q-노드(NQ)에 제2 로우 전압(VSS2)을 갖는 제2 입력 신호를 제공한다. 본 발명의 다른 실시예에서 제4 제어 트랜지스터(TRG6)는  $i+2$ 번째 게이트 신호에 의해 턴-온 될 수도 있다.
- [0108] 도 6에 도시된  $i$ 번째 구동 스테이지( $SRC_i$ )의 구조는 일 실시예이며, 이에 한정되지는 않는다. 예를들어,  $i$ 번째 구동 스테이지( $SRC_i$ )는 클럭바 단자(CKB)가 없고, 인버터부를 더 포함할 수도 있다. 또한, 제3 제어 트랜지스터(TRG5)와 제4 제어 트랜지스터(TRG6) 중 어느 하나는 제2 전압 입력단자(V2)가 아닌 제1 전압 입력단자(V1)에

접속될 수 있다.

- [0109] 도 7에 도시된 것과 같이,  $i-1$ 번째 수평 구간( $HP_{i-1}$ ) 동안에 Q-노드(NQ)의 전위는  $i-1$ 번째 캐리 신호( $CRS_{i-1}$ )에 의해 제1 하이 전압( $VQ1$ )으로 상승한다.  $i-1$ 번째 캐리 신호( $CRS_{i-1}$ )가 Q-노드(NQ)에 인가되면 커패시터(CP)는 그에 대응하는 전압을 충전한다.  $i$ 번째 수평 구간( $HP_i$ ) 동안에,  $i$ 번째 게이트 신호( $GS_i$ )가 출력된다. 이때, Q-노드(NQ)는 제1 하이 전압( $VQ1$ )으로부터 제2 하이 전압( $VQ2$ )으로 부스팅된다.
- [0110]  $i+1$ 번째 수평 구간( $HP_{i+1}$ ) 동안에 Q-노드(NQ)의 전압은 Q-노드 기초 전압( $VQ0$ )으로 다운된다. 그에 따라 제1 출력 트랜지스터(TRG1) 및 제2 출력 트랜지스터(TRG2)는 턴-오프된다
- [0111] 제1 풀다운부(131)는 제1 풀다운 트랜지스터(TRG7)를 포함한다. 제1 풀다운 트랜지스터(TRG7)는 제1 전압 입력 단자( $V1$ )에 접속된 입력전극, 클럭바 단자(CKB)에 접속된 제어전극, 및 제1 출력 트랜지스터(TRG1)의 출력전극에 접속된 출력전극을 포함한다. 본 발명의 다른 실시예에서 제1 풀다운 트랜지스터(TRG7)의 입력전극은 제2 전압 입력단자( $V2$ )에 연결될 수도 있다.
- [0112] 도 7에 도시된 것과 같이,  $i+1$ 번째 수평 구간( $HP_{i+1}$ ) 이후의  $i$ 번째 게이트 신호( $GS_i$ )의 전압은 제1 풀다운 트랜지스터(TRG7)의 출력전극의 전압에 대응한다.  $i+1$ 번째 수평 구간( $HP_{i+1}$ ) 동안에 제1 풀다운 트랜지스터(TRG7)는 제1 클럭바 신호(CKB1)에 응답하여 제1 출력 트랜지스터(TRG1)의 출력전극에 제1 로우 전압( $VSS1$ )을 제공한다.
- [0113] 제2 풀다운부(132)는 제2 풀다운 트랜지스터(TRG8)를 포함한다. 제2 풀다운 트랜지스터(TRG8)는 제2 전압 입력 단자( $V2$ )에 접속된 입력전극, 클럭바 단자(CKB)에 접속된 제어전극, 및 제2 출력 트랜지스터(TRG2)의 출력전극에 접속된 출력전극을 포함한다. 본 발명의 다른 실시예에서 제2 풀다운 트랜지스터(TRG8)의 입력전극은 제1 전압 입력단자( $V1$ )에 연결될 수도 있다.
- [0114] 도 7에 도시된 것과 같이,  $i+1$ 번째 수평 구간( $HP_{i+1}$ ) 이후의  $i$ 번째 캐리 신호( $CRS_i$ )의 전압은 제2 풀다운 트랜지스터(TRG8)의 출력전극의 전압에 대응한다.  $i+1$ 번째 수평 구간( $HP_{i+1}$ ) 동안에 제2 풀다운 트랜지스터(TRG8)는  $i+1$ 번째 캐리 신호에 응답하여 제2 출력 트랜지스터(TRG2)의 출력전극에 제2 로우 전압( $VSS2$ )을 갖는 제2 입력 신호를 제공한다.
- [0115] 도 8a 내지 도 8d는 각각 본 발명의 일 실시예에 따른 게이트 신호( $GS_i$ )의 파형도이다.
- [0116] 도 8a를 참고하면, 로우구간은 하강구간 및 상기 하강구간 이후에 존재하는 일정구간을 포함할 수 있다. 일정구간은 게이트 신호( $GS_i$ )의 로우 전압(VL-G)의 레벨이 일정한 구간으로 정의된다. 로우구간에서, 하강구간만 계속적으로 지속되다보면, 로우 전압(VL-G)의 레벨이 너무 낮아져서 구동적으로 문제점이 발생할 수 있다. 따라서, 로우 전압(VL-G)의 레벨이 특정값에 도달하면 더 이상 레벨이 낮아지지 않고, 일정한 값을 유지할 수 있다.
- [0117] 도 8b를 참고하면, 로우구간은 하강구간 및 상기 하강구간 이전에 존재하는 일정구간을 포함할 수 있다. 본 발명의 실시예에 따라서, 로우구간에서 하강구간이 처음에는 불필요할 수 있다. 따라서, 처음에는 일정구간을 유지하다가, 이후 필요에 따라서 하강구간이 등장할 수 있다.
- [0118] 도 8c를 참고하면, 로우구간은 순서대로 등장하는 일정구간, 하강구간, 및 일정구간을 포함할 수 있다. 도 8c의 실시예는 도 8a의 실시예의 효과 및 도 8b의 실시예의 효과를 모두 가질 수 있다.
- [0119] 도 8d를 참고하면, 로우구간은 상승구간을 더 포함할 수 있다. 상승구간은 로우 전압(VL-G)의 레벨이 점점 높아지는 구간으로 정의된다. 하강구간의 지속으로, 화소 트랜지스터(TRP, 도 3 참조)의 구동특성이 변하는 경우, 상승구간에서 이를 교정할 수 있다.
- [0120] 도 9는 본 발명의 일 실시예에 따른 제1 로우 전압( $VSS1$ )의 변화를 도시한 것이다. 표시장치(DD, 도 1 참조)는 외부로부터 전력을 공급받아 턴-온 되어 사용자들에게 이미지를 제공하는 Turn-on 구간 및 외부로부터 전력이 차단되어 턴-오프 되는 Turn-off 구간을 포함한다. Turn-on 구간에서 전원 전압( $Vpower$ )의 레벨( $Von$ )은 Turn-off 구간에서 전원 전압( $Vpower$ )의 레벨( $Voff$ )보다 높다.
- [0121] Turn-on 구간에서, 제1 로우 전압( $VSS1$ )은 제1 레벨( $VSS11$ )부터 제2 레벨( $VSS12$ )까지 지속적으로 낮아질 수 있다.
- [0122] Turn-on 구간이 종료되고 Turn-off 구간이 시작되면, 제1 로우 전압( $VSS1$ )의 레벨은 초기화된다.

- [0123] Turn-off 구간이 종료되고 Turn-on 구간이 시작되면, 제1 로우 전압(VSS1)은 다시 제1 레벨(VSS11)부터 제2 레벨(VSS12)까지 지속적으로 낮아질 수 있다.
- [0124] 도 10a는 본 발명의 일 실시예에 따른 제1 로우 전압(VSS1-1)의 변화를 도시한 것이다. 도 10b는 도 10a의 AA를 확대하여 도시한 것이다.
- [0125] 도 10a 및 도 10b를 참조하면, 제1 로우 전압(VSS1-1)은 도 9의 제1 로우 전압(VSS1)과 달리 Turn-on 구간에서 레벨이 지속적으로 낮아지지 않을 수 있다.
- [0126] 프레임 구간들(FR-0, FR-E) 동안, 제1 로우 전압(VSS1-1)의 레벨은 지속적으로 낮아질 수 있다. 블랭크 구간(BLK)의 제1 로우 전압(VSS1-1)의 레벨은 프레임 구간들(FR-0, FR-E)의 제1 로우 전압(VSS1-1)의 레벨보다 더 낮다.
- [0127] 블랭크 구간(BLK)에는 표시장치(DD, 도 1 참조)를 통해 표시되는 이미지 정보가 없다. 따라서, 블랭크 구간(BLK)내의 제1 로우 전압(VSS1-1)의 레벨을 프레임 구간들(FR-0, FR-E)내의 제1 로우 전압(VSS1-1)의 레벨 보다 더 낮게 하여도 이미지 품질에 미치는 영향이 적을 수 있다.
- [0128] 도 11a 및 도 11b는 본 발명의 일 실시예에 따른 화소 트랜지스터들(TRP)의 문턱전압(Vth)의 변화를 도시한 전류 그래프(GP)이다.
- [0129] 상기에서 설명한바와 같이, 게이트 신호들(GS1~GSn)의 로우 전압(VL-G)의 레벨은 -15V 내지 -5V 일 수 있으며, 하이 전압(VH-G)의 레벨은 15V 내지 35V 일 수 있다.
- [0130] 양의 전압인 하이 전압(VH-G)의 절대값이 음의 전압인 로우 전압(VL-G)의 의 절대값보다 크기 때문에, 게이트 신호들(GS1~GSn)의 전압의 평균 레벨은 양의 값이된다.
- [0131] 도 4 및 도 11a를 참조하면, 화소 제어전극(CEP)에 게이트 신호(GSi)가 인가되면, 높은 양의 레벨의 전압을 갖는 게이트-온 신호에 의해 화소 활성화층(ALP)의 캐리어인 전자가 절연층(ILP)에 트랩(Trap) 된다. 이에 따라, 화소 트랜지스터(TRP)이 열화되어 문턱전압(Vth)이 상승하게 된다. 문턱전압(Vth)이 증가하는 경우, 화소 트랜지스터들(TRP)의 턴-온 또는 턴-오프가 원활하지 않아서, 대응하는 화소(PX<sub>ij</sub>, 도 3 참조)의 충전 및 방전이 어려워지는 문제점이 발생한다.
- [0132] 표시장치(DD)가 턴-온 되어 있는 시간이 길어질수록, 이와 같은 화소 트랜지스터(TRP)의 열화현상이 심화된다. 따라서, 시간의 변화에 따라 이러한 문턱전압(Vth)의 상승을 조절해 줄 필요가 있다.
- [0133] 제1 전류 그래프(GP1)는 구동 트랜지스터들(TRG)이 열화되기 전의 제1 문턱전압(Vth1)을 도시한 것이다. 제2 전류 그래프(GP2)는 화소 트랜지스터들(TRP)이 열화된 후의 제2 문턱전압(Vth2)을 도시한 것이다.
- [0134] 본 발명의 실시예들과 같이, 게이트 신호들(GS1~GSn) 각각의 로우 전압(VL-G)의 레벨을 시간이 지남에 따라 점점 낮추는 경우, 화소 트랜지스터들(TRP)이 열화되는 것을 보상할 수 있다.
- [0135] 도 11b를 참조하면, 본 발명의 실시예들에 의해, 절연층(ILP)에 트랩(Trap)된 전자들이 디-트랩(De-trap)되어 화소 트랜지스터들(TRP)의 문턱전압(Vth)이 제2 문턱전압(Vth2)에서 제1 문턱전압(Vth1)으로 회복되는 것을 알 수 있다.
- [0136] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0137] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

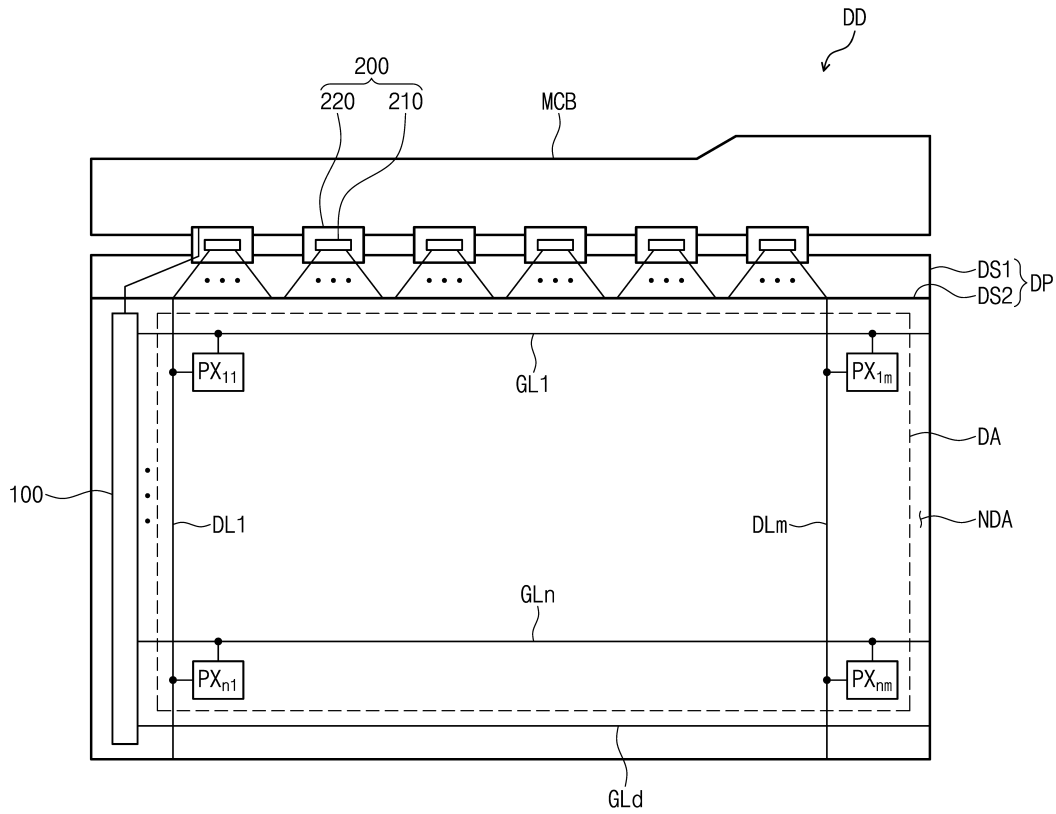
**부호의 설명**

- [0138] DD: 표시장치      DP: 표시패널
- DS1: 제1 기관      DS2: 제2 기관
- 100: 게이트 구동회로      200: 데이터 구동회로
- FR-0, FR-E: 프레임 구간들      BLK: 블랭크 구간

MCB: 회로기판      SRC1~SRCn: 구동 스테이지  
 111: 제1 출력부      112: 제2 출력부  
 120: 제어부      131: 제1 폴다운부  
 VSS1: 제1 로우 전압      VSS2: 제2 로우 전압

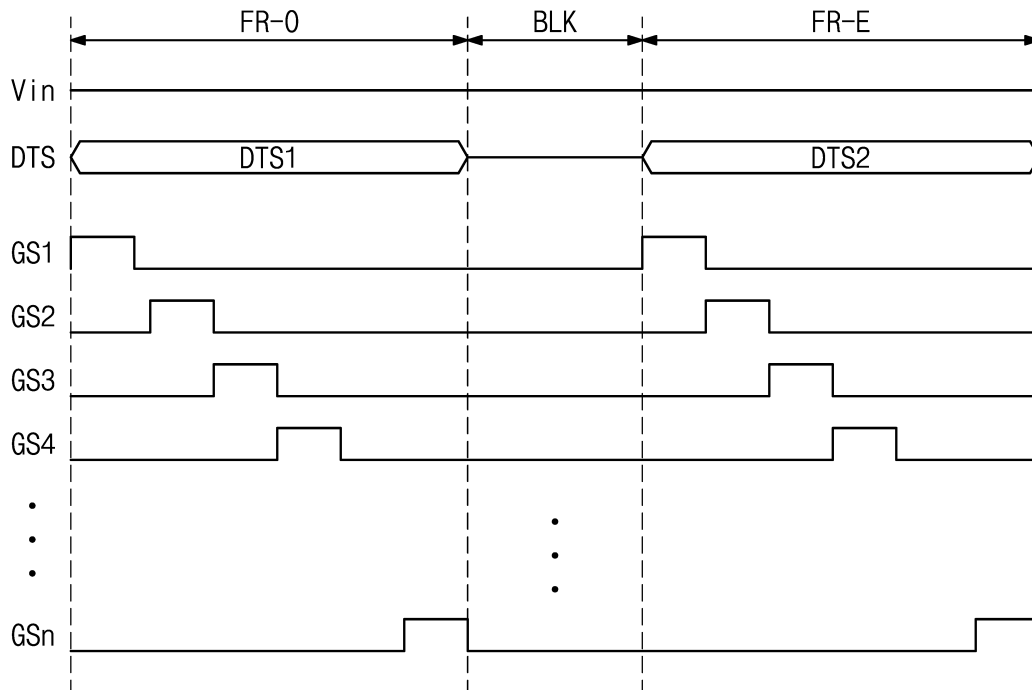
도면

도면1

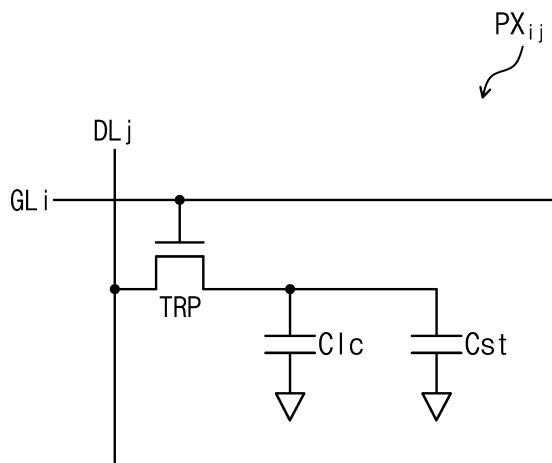




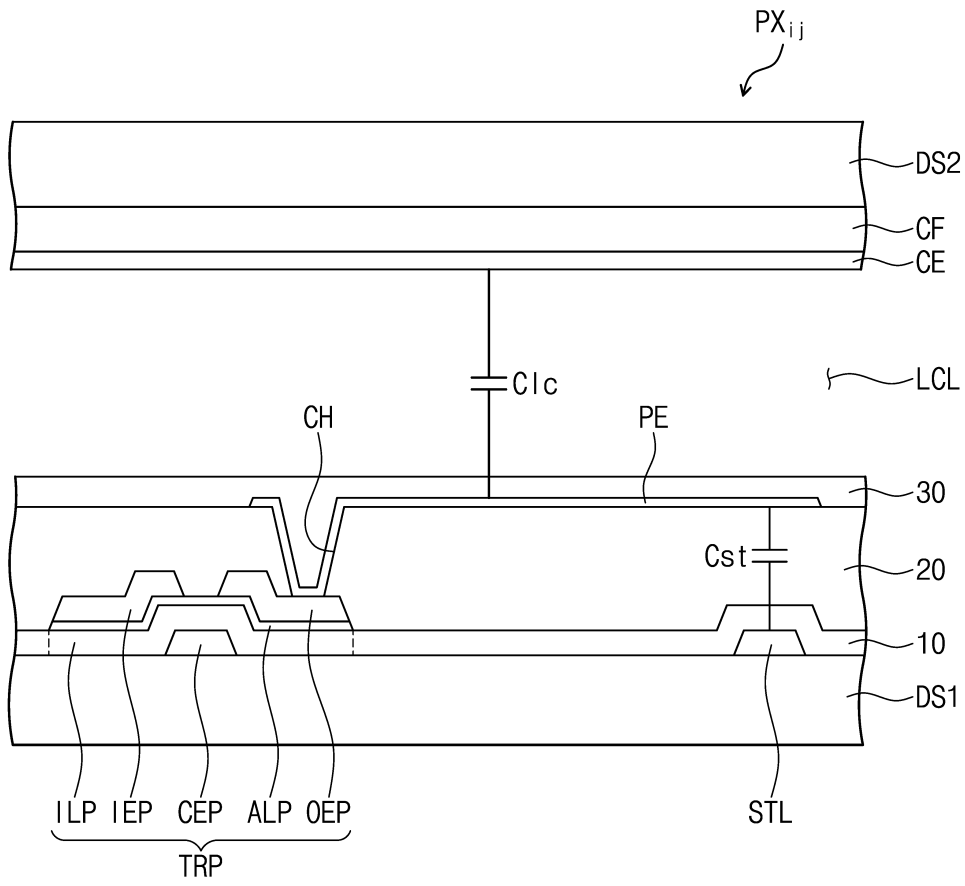
도면2



도면3

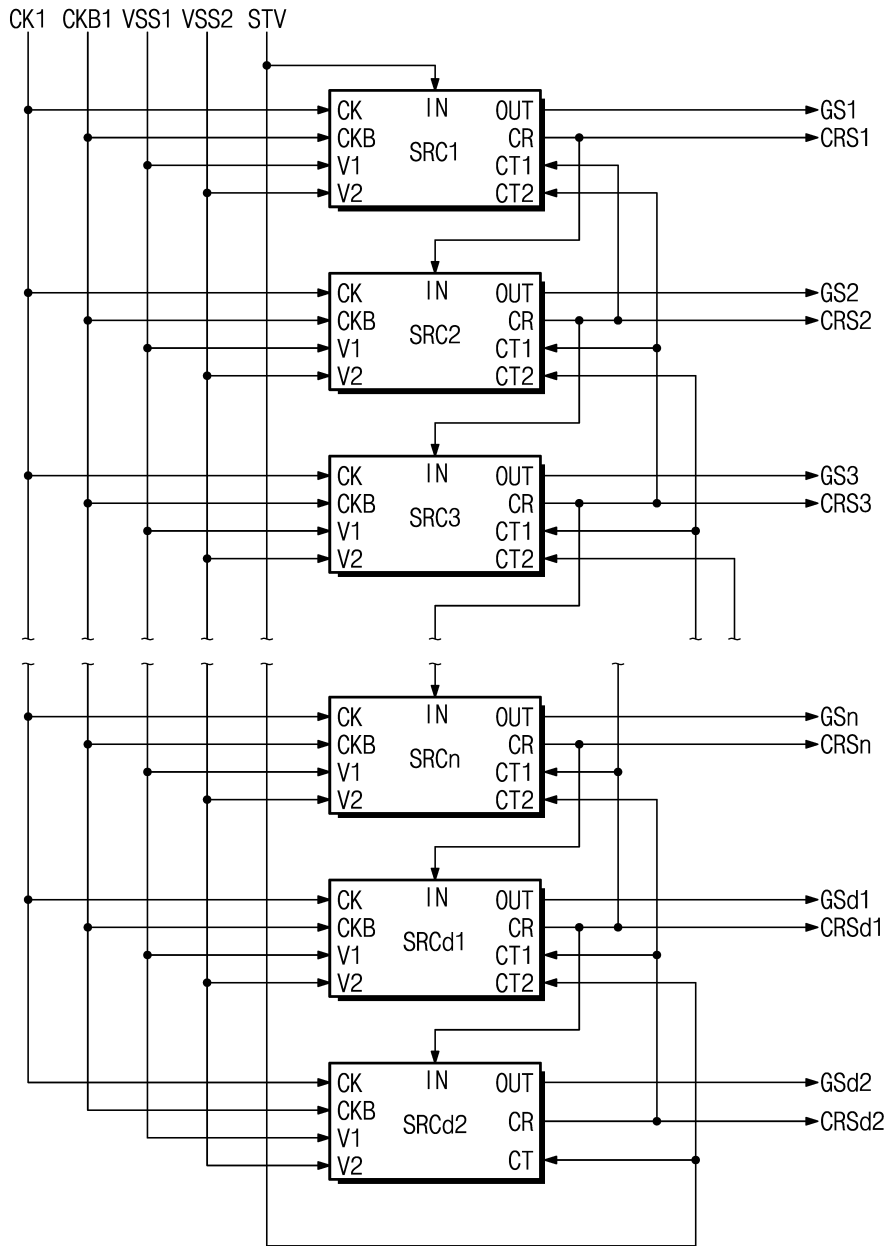


도면4

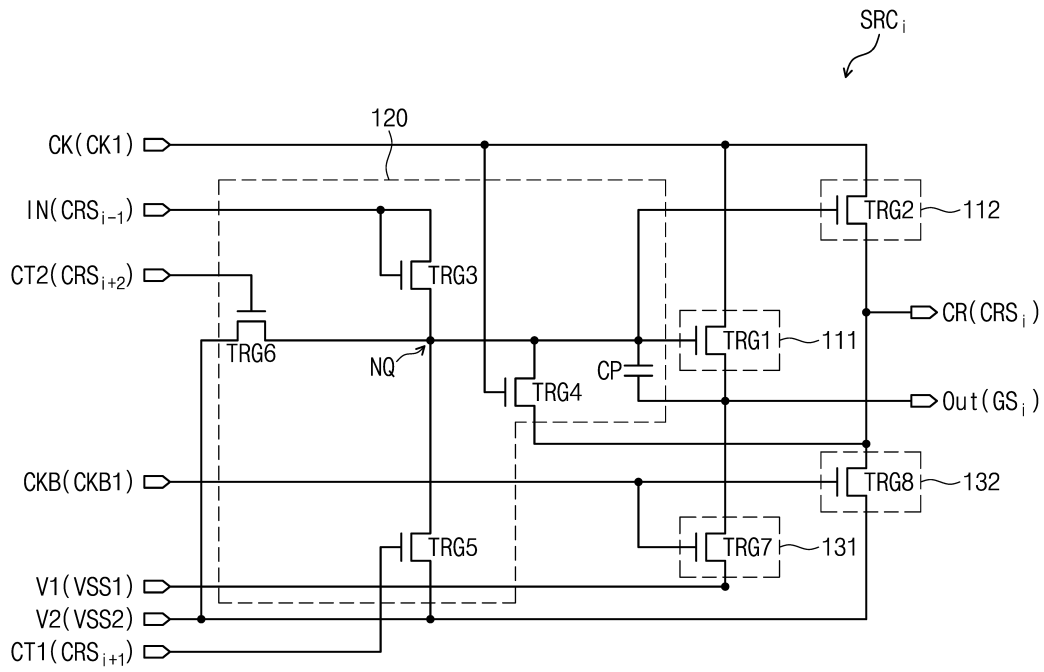


도면5

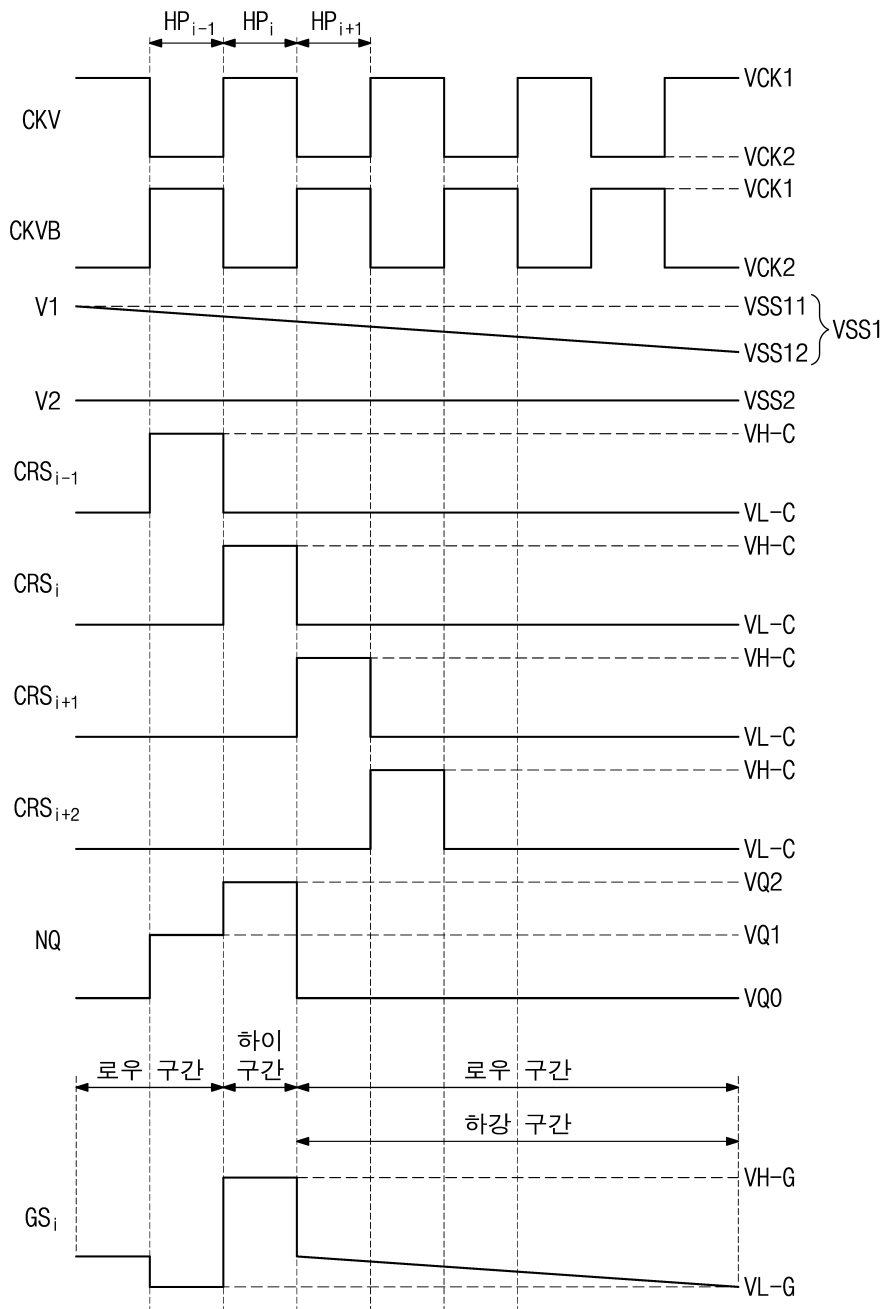
100A



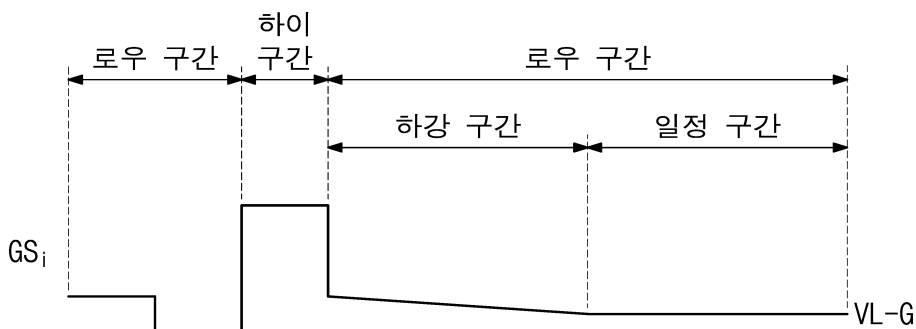
도면6



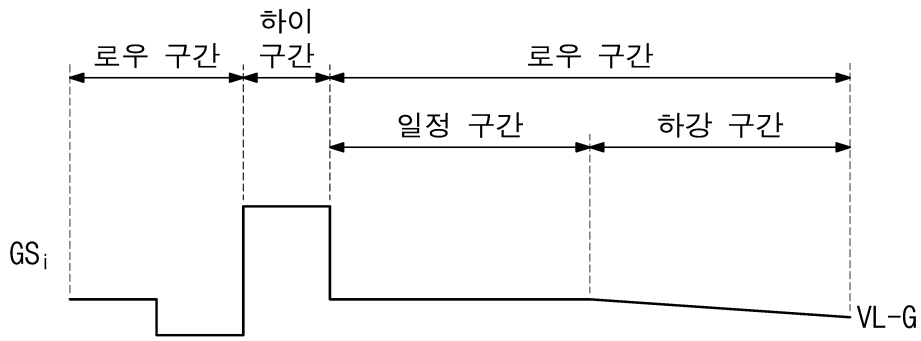
도면7



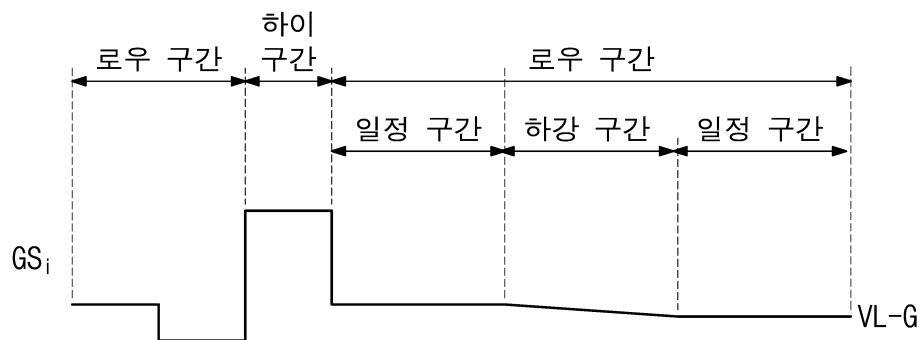
도면8a



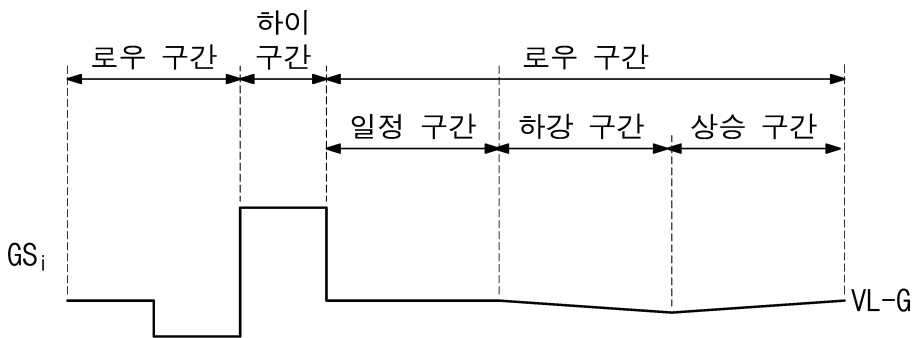
도면8b



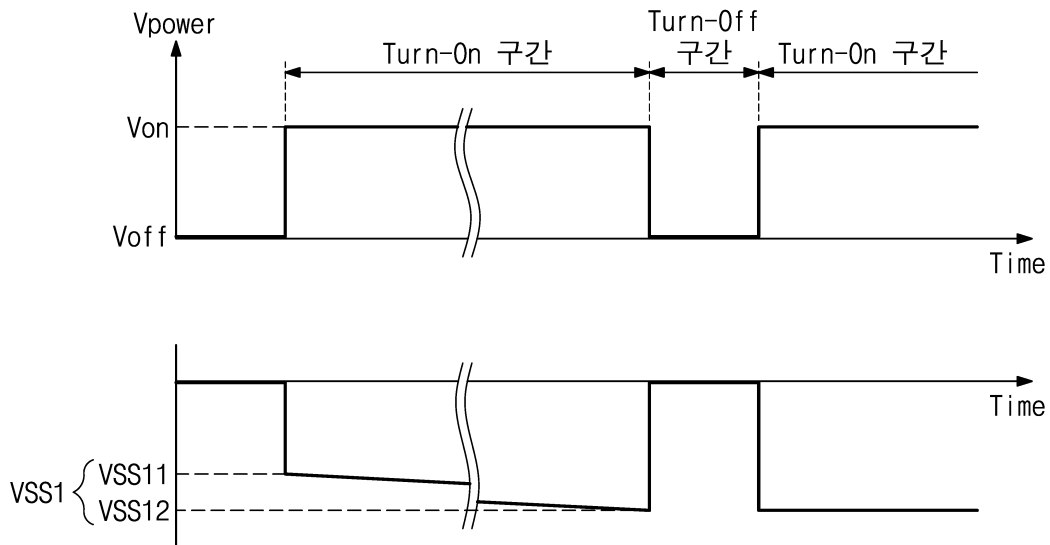
도면8c



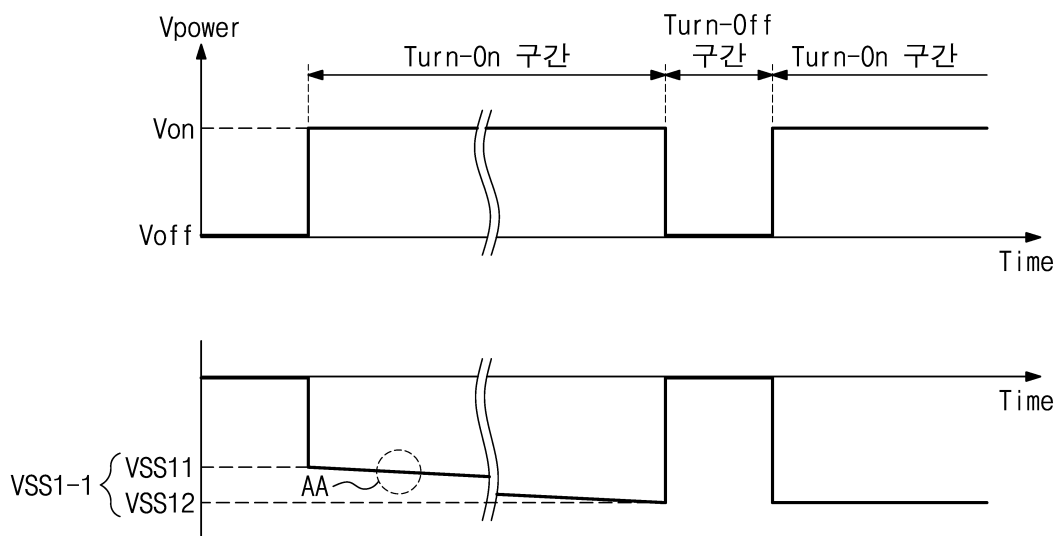
도면8d



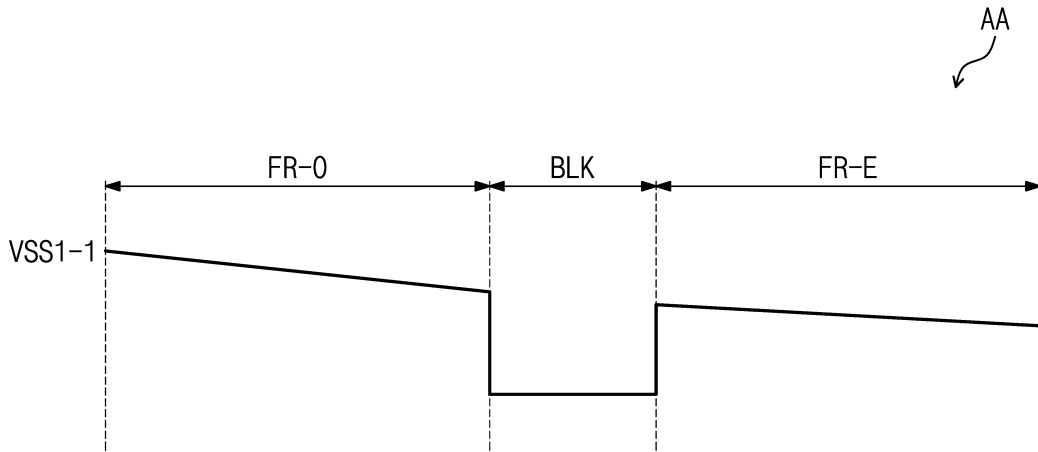
도면9



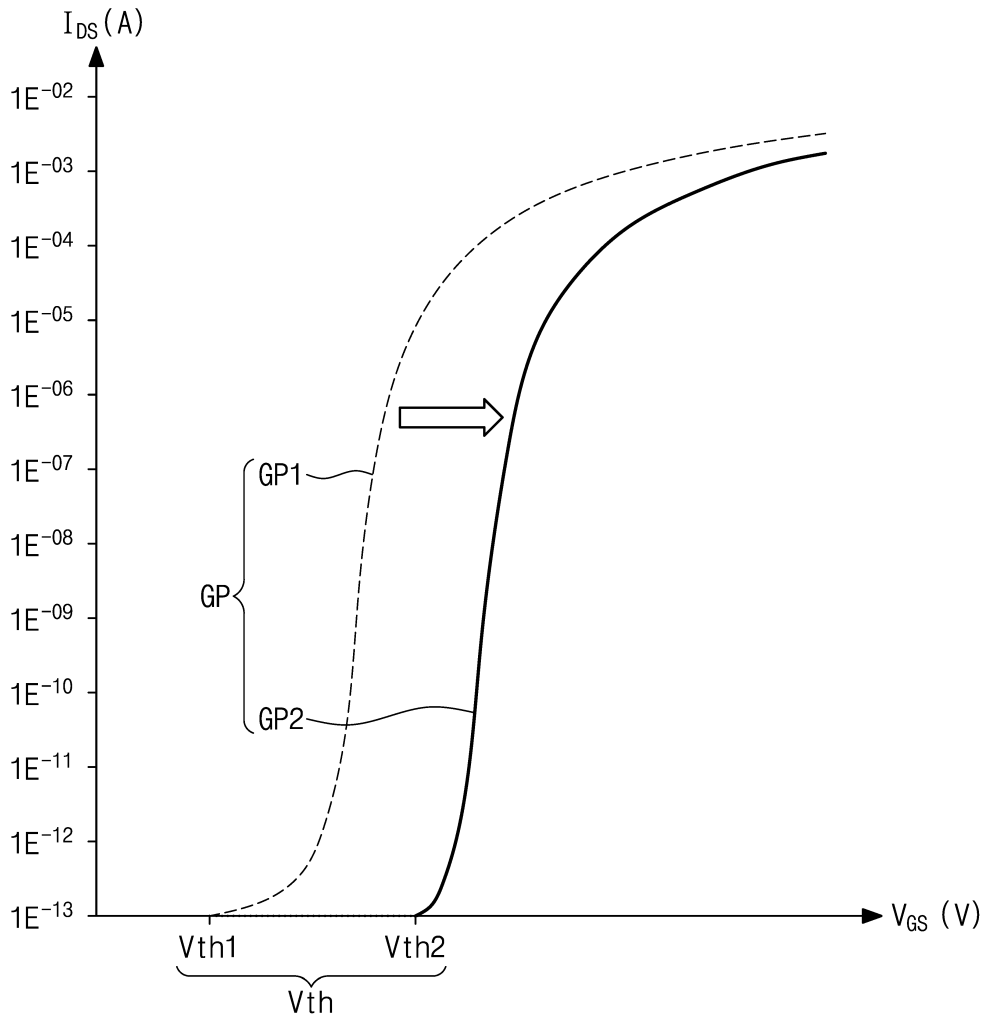
도면10a



도면10b



도면11a





도면11b

