



(12) 发明专利

(10) 授权公告号 CN 102222641 B

(45) 授权公告日 2013. 08. 07

(21) 申请号 201010198417. 5

US 2008/0213998 A1, 2008. 09. 04, 全文.

(22) 申请日 2010. 06. 07

审查员 叶常茂

(30) 优先权数据

12/761, 805 2010. 04. 16 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市新竹科学工业园区力行六路八号

(72) 发明人 潘兴强 郭涵馨 柯忠祁 谢静华

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 陈红

(51) Int. Cl.

H01L 21/768 (2006. 01)

(56) 对比文件

CN 101687896 A, 2010. 03. 31, 说明书第 29 段第 1 行 - 第 64 段第 5 行, 附图 1.

CN 101515562 A, 2009. 08. 26, 说明书第 10 页第 8 行 - 第 11 页第 28 行, 附图 7.

CN 1697175 A, 2005. 11. 16, 全文.

CN 1577794 A, 2005. 02. 09, 全文.

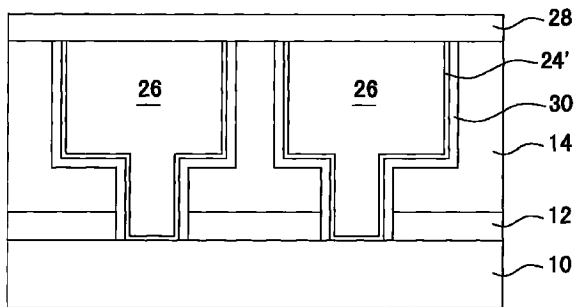
权利要求书2页 说明书7页 附图11页

(54) 发明名称

形成铜内连线结构的金属氧化障壁层的方法

(57) 摘要

本发明公开了一种铜内连线结构, 包含铜层、内衬层以及障壁层。铜层形成于介电层内, 内衬层形成于铜层与介电层之间, 障壁层形成于内衬层与介电层间的边界, 且障壁层由金属氧化物所形成。



1. 一种用以形成铜内连线结构的方法,其特征在于,包含:
  - 提供一基板;
  - 形成一介电层于该基板上;
  - 形成一孔洞于该介电层内;
  - 形成一种晶层于该孔洞上;
  - 填入一导电层于该孔洞内;执行化学机械研磨法,以移除该导电层以及该种晶层中超出该孔洞的部分,使该介电层的顶端面外露,并形成一平坦化表面;
  - 形成一蚀刻停止层于该平坦化表面上;以及提供一热制程,使该种晶层中的金属元素扩散至该介电层的界面,以与该介电层中的碳或氮反应,形成一金属氧化障壁层,该金属氧化障壁层配置于该导电层下,其中该金属氧化障壁层包含碳或氮。
2. 如权利要求 1 所述的用以形成铜内连线结构的方法,其特征在于,该介电层是一含碳且含氮介电层,其中该介电层所含碳的重量相对该介电层所含硅的重量的比例约等于或大于 0.5,而该介电层所含氮的重量相对该介电层所含硅的重量的比例约等于或大于 0.3。
3. 如权利要求 1 所述的用以形成铜内连线结构的方法,其特征在于,还包含:
  - 形成一内衬层于该孔洞的多个侧壁上,其中该内衬层包含至少碳、氮及其组合物三者的其中一者,其中该内衬层的厚度介于约 5 埃与约 50 埃之间。
4. 如权利要求 1 所述的用以形成铜内连线结构的方法,其特征在于,还包含:
  - 提供一制程于该基板以结合位于该孔洞的多个侧壁内的碳、氮或其组合物,其中该制程包含至少一热制程、一电浆制程或一布值制程,其中该热制程于含碳与氮的环境中,或者于含碳或含氮的环境中执行,并于一介于约摄氏 100 度与约摄氏 400 度之间的温度范围中执行该热制程,而该电浆制程利用二氧化碳、氨气、氮气、氟、碳氢化合物及其组合物的至少其中一者以执行。
5. 如权利要求 1 所述的用以形成铜内连线结构的方法,其特征在于,该种晶层为一铜合金层,该铜合金层包含金属锰、金属铝及其组合物的至少其中一者。
6. 一种用以形成铜内连线结构的方法,其特征在于,包含:
  - 提供一半导体基板;
  - 形成一介电层于该半导体基板上;
  - 形成一孔洞于该介电层内;
  - 形成一内衬层于位于该介电层内的该孔洞上;
  - 形成一种晶层于该内衬层上;
  - 填入一导电层于该孔洞内;以及提供一热制程,使该种晶层中的金属元素透过该内衬层,扩散至该介电层的界面,以与该介电层中的碳或氮反应,形成一金属氧化障壁层,该金属氧化障壁层配置于该导电层下,其中该金属氧化障壁层包含碳或氮。
7. 如权利要求 6 所述的用以形成铜内连线结构的方法,其特征在于,该内衬层借由对配置于该介电层内的该孔洞执行一热制程来形成,该热制程于至少一含碳环境或一含氮环境两者的其中一者执行,或者该内衬层借由对配置于该介电层内的该孔洞执行一电浆制程

而形成,其中该电浆制程利用二氧化碳、氨气、氮气、氰、碳氢化合物或其组合物的至少其中之一者以执行。

8. 如权利要求 6 所述的用以形成铜内连线结构的方法,其特征在于,该内衬层所含碳的重量相对该内衬层所含硅的重量的比例约等于或大于 0.5,而该内衬层所含氮的重量相对该内衬层所含硅的重量的比例约等于或大于 0.3。

9. 如权利要求 6 所述的用以形成铜内连线结构的方法,其特征在于,该内衬层为碳化硅、碳氮化硅、碳氧化硅、氮化硅、碳氧硅氮化物及其组合物的至少其中之一者。

10. 如权利要求 6 所述的用以形成铜内连线结构的方法,其特征在于,该内衬层借由至少化学气相沉积法、物理气相沉积法、原子层沉积法或电浆化学气相沉积法四者的其中之一者以沉积,其中该方法还包含:

提供一电浆蚀刻制程于该半导体基板,以移除该内衬层的多个突悬结构以及该内衬层形成于该孔洞底部的部分。

## 形成铜内连线结构的金属氧化障壁层的方法

### 技术领域

[0001] 本发明关于一种半导体装置,且特别是关于一种铜内连线结构及其制造方法。

### 背景技术

[0002] 半导体装置应用于各式电子产品中,诸如个人计算机、手机、数字照相机与其它电子产品中。随着科技的进步,对于具有高效能的小型半导体装置的需求日益增加。此外,随着结构密度的增加,导线宽度与后端内连线结构的导线间的间距亦需按照比例缩小。

[0003] 为符合上述对半导体装置的需求,发展出使用不同于习知用在半导体装置设计上的材料。为减少电阻-电容时间延迟,因此使用低介电常数(low-k)的材料以作为绝缘材料,且开关是使用铜而非使用铝来作为其内连线材料。使用铜作为半导体装置的内连线的好处包含:更快的操作速度与可制造更薄的导线,这是基于铜相较于铝具有低电阻与更高的电子迁移阻抗。举例而言,通过减少电阻-电容时间延迟,结合铜内连线与low-k材料可提升内连线速度。

[0004] 铜内连线使用镶嵌制程而非表面蚀刻制程来形成。镶嵌制程典型地若非单镶嵌制程就是双镶嵌制程,且镶嵌制程包含利用微影或蚀刻内金属介电(inter-metal dielectric, IMD)层来形成多个孔洞,并填入铜于前述些孔洞内。由于铜易于扩散进入某些介电材料,特别是某些low-k型的介电材料。是故,通常于形成铜之前,先于镶嵌孔洞的内壁上沉积扩散障壁层。高熔点金属(例如钽、钛及其氮化物)用以作为扩散障壁层的材料。然而,由于高熔点金属具有高电阻,于铜镶嵌结构中使用高熔点金属时将遇到一些难题,例如导致铜线的电阻的提高,以及电阻-电容时间延迟的提升,特别是在小且窄尺寸的结构中。

[0005] 随着近年来铜线尺寸的缩小,使用更薄的扩散障壁层已成为一种趋势。用以沉积薄型氮化钽及/或钽障壁层的物理气像沉积法在更小尺寸的内连线结构中遭遇难题。原子层沉积法(Atomic layer deposition, ALD)是可以均匀覆盖形式,来沉积极薄扩散障壁层的更佳选择,然而其具有低沉积率与低生产率的缺点。此外,在氮化钽或/及钽的制成中,将无法以合适的黏着方式来接着扩散障壁层与内金属介电层。举例而言,铜线会于界面脱落,导致半导体装置生产力的下降。

[0006] 因此,亟待业界改善铜内连线结构中的扩散障壁层及其形成方法。

### 发明内容

[0007] 根据本发明的一实施方式,本发明关于一种用以形成铜内连线结构的方法。前述方法包含以下步骤:提供基板;形成介电层于基板上;形成孔洞于介电层内;形成种晶层于孔洞上;填入导电层于孔洞内;以及提供热制程以形成金属氧化障壁层,前述金属氧化障壁层配置于导电层下,且前述金属氧化障壁层包含碳或氮。

[0008] 根据本发明的另一实施方式,本发明关于一种用以形成铜内连线结构的方法。前述方法包含以下步骤:提供半导体基板;形成介电层于半导体基板上;形成孔洞于介电层

内；形成内衬层于位于介电层内的孔洞上；形成种晶层于内衬层上；填入导电层于孔洞内；以及提供热制程以形成金属氧化障壁层，前述金属氧化障壁层配置于导电层下，且前述金属氧化障壁层包含碳或氮。

[0009] 为了让本发明的上述和其它目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附附图，作详细说明如下。

### 附图说明

[0010] 为了让本发明的上述和其它目的、特征、优点与实施例能更明显易懂，所附附图的说明如下：

[0011] 图 1A 至图 1F 绘示依照本发明一实施方式的一种用以形成铜内连线结构的不同制程步骤中的结构剖面图；

[0012] 图 2A 至图 2H 绘示依照本发明另一实施方式的一种用以形成铜内连线结构的不同制程步骤中的结构剖面图；

[0013] 图 3A 至图 3G 绘示依照本发明再一实施方式的一种用以形成铜内连线结构的不同制程步骤中的结构剖面图。

### [0014] 【主要附图标记说明】

|        |              |                |
|--------|--------------|----------------|
| [0015] | 10 : 半导体基板   | 22 : 内衬层       |
| [0016] | 12 : 第一蚀刻停止层 | 22' : 反应后内衬层   |
| [0017] | 14 : 内金属介电层  | 22a : 突悬       |
| [0018] | 14' : 内金属介电层 | 24 : 导电种晶层     |
| [0019] | 16 : 上沟渠部    | 24' : 反应后导电种晶层 |
| [0020] | 18 : 低通孔部    | 26 : 导电层       |
| [0021] | 20 : 双镶嵌孔洞   | 28 : 第二蚀刻停止层   |
| [0022] | 21 : 制程      | 30 : 障壁层       |

### 具体实施方式

[0023] 图 1A 至图 1F 绘示依照本发明一实施方式的一种用以形成铜内连线结构的不同制程步骤中的结构剖面图。请参照图 1A，提供具有堆叠介电结构的半导体基板 10，半导体基板 10 包含第一蚀刻停止层 12 与内金属介电层 14 形成于其上。半导体基板 10 作为使用于半导体集成电路制程中的基板，而集成电路可形成于其内及 / 或其上。半导体基板此一专有名词定义为任何包含半导体材料的结构，诸如具有或不具有磊晶层的硅基板、具有埋入绝缘层的绝缘层上硅基板或具有硅化锗层的基板。使用于此的集成电路此一专有名词与电子电路相关，前述电子电路具有多个个别电路元件，诸如晶体管、二极管、电阻、电容、电感及其它主动或被动半导体装置。

[0024] 形成于半导体基板 10 内及 / 或上的主动区为导电布线的一部分，且具有外露表面，可以平坦化制程（例如：化学机械研磨法 (chemical mechanical polishing, CMP)）来处理前述外露表面。适合制造前述导电主动区的材料可包含但不限于铜、铝，铜合金或其它便携式导电材料。铜内连线层可为半导体装置的第一或任何次金属内连线层。

[0025] 第一蚀刻停止层 12 沉积于半导体积板 10 上，在后续蚀刻制程中，第一蚀刻停止层

12用以控制蚀刻停止点。第一蚀刻停止层12可以氧化硅、氮化硅、碳化硅、氮氧化硅或其组合来形成,且第一蚀刻停止层12的厚度介于约10埃和约1000埃之间,并可以任何沉积技术包含低压化学气相沉积法(low-pressure chemical vapor deposition,LPCVD)、常压化学气相沉积法(atmospheric-pressure chemical vapor deposition,APCVD)、电浆增强型化学气相沉积法(plasma-enhanced chemical vapor deposition,PECVD)、物理气相沉积法(physical vapor deposition)、溅镀法以及未来发展出来的沉积技术。

[0026] 内金属介电层14可为单层或多层结构,其厚度根据应用的技术而有所不同,例如其厚度可介于约1000埃和约30000埃之间。内金属介电层14可以二氧化硅、碳掺杂二氧化硅、相对低介电常数(k value)介电材料或其组合,前述介电材料的介电常数小于约4.0。内金属介电层14可以低介电常数(low-k)介电材料、超低介电常数(extreme low-k)介电材料、多孔质低介电常数(porous low-k)介电材料及其组合所形成。低介电常数此一名词定义介电材料的介电常数等于或小于3.0;超低介电常数此一名词定义介电材料的介电常数等于或小于2.5,此外,介电材料的介电常数为介于1.9和2.5之间更佳;多孔质低介电常数此一名词定义介电材料的介电常数等于或小于2.0,介电材料的介电常数为等于或小于1.5更佳。

[0027] 不同的low-k材料可应用于不同的实施例中,诸如旋涂式无机介电质(spin-on inorganic dielectrics)、旋涂式有机介电质(spin-on organic dielectrics)、多孔质介电材料(porous dielectric materials)、有机聚合物(organic polymer)、有机二氧化硅玻璃(organic silica glass)、氟硅玻璃(FSG)系列材料、含氢硅酸盐类(hydrogen silsesquioxane, HSQ)系列材料、甲基硅酸盐类(methyl silsesquioxane, MSQ)系列材料或多孔质的有机系列材料。内金属介电层14可以任何不同的技术来沉积,诸如化学气相沉积法(chemical vapor deposition, CVD)、物理气相沉积法、原子层沉积法、远程电浆增强型化学气相沉积法(remote plasma-enhanced chemical vapor deposition, RPECVD)、液态源雾化化学沉积法(liquid source misted chemical deposition, LSMCD)、涂布、旋转涂布或其它适合于基板上形成薄膜层的制程。

[0028] 在另一实施例中,内金属介电层14为含氮层、含碳层或含氮且含碳层,以于次化学机械研磨制程中增加耐蚀性及/或提升电子迁移阻抗。于再一实施例中,内金属介电层14为含硅且含氮介电层。在又一实施例中,内金属介电层14为含硅且含碳介电层。于再一实施例中,内金属介电层14为含硅、含氮且含碳介电层。在一实施例中,内金属介电层14所含碳的重量相对内金属介电层14所含硅的重量的比例约等于或大于0.5。在另一实施例中,内金属介电层14所含氮的重量相对内金属介电层14所含硅的重量的比例约等于或大于0.3。于再一实施例中,内金属介电层14所含碳的重量相对内金属介电层14所含硅的重量的比例约等于或大于0.5,并且内金属介电层14所含氮的重量相对内金属介电层14所含硅的重量的比例约等于或大于0.3。

[0029] 孔洞20例示性的为双镶嵌空洞20,双镶嵌空洞20包含上沟渠部16与低通孔部18,上沟渠部16与低通孔部18微影于内金属介电层14以于半导体基板10上界定出一接触区。虽然在前述实施例中,仅揭露内金属介电层14的双镶嵌孔洞结构,惟内金属介电层14的单镶嵌孔洞结构亦具重要性。在双镶嵌技术中包含通孔先制微影法则或沟渠先至微影法则,上沟渠部16与低通孔部18可以典型的微影技术配合光罩技术与非等向性蚀刻操作

(电浆蚀刻或反应离子蚀刻)来形成。底部蚀刻停止层、中间蚀刻停止层、研磨停止层或抗反射(anti-reflective coating, ARC)层可选择性地沉积在内金属介电层 14 上或在内金属介电层 14 之内,以提供何时终止特定蚀刻制程的明确指示。

[0030] 请参照图 1B,导电种晶层 24 形成于上述结构以作为双镶嵌孔洞 20 的侧壁与底部间的内衬层。导电种晶层 24 的厚度介于约 100 埃与约 1000 埃之间,此外,其厚度介于约 500 埃与约 700 埃之间更佳。在一实施例中,导电种晶层 24 是金属合金层,前述金属合金层包含至少一种主要金属元素(例如:铜)以及第一添加金属(例如:锰、铝)。在另一实施例中,导电种晶层 24 为铜锰合金层,在铜锰合金层中锰与铜的比例不限。于再一实施例中,可利用其它添加金属来形成导电种晶层 24,诸如钛、铝、铌、铬、钒、钇、镓、铯或其它相类金属。导电种晶层 24 可利用物理气相沉积法、化学气相沉积法、电浆增强型化学气相沉积法、低压化学气相沉积法或其它习知沉积技术来形成。

[0031] 请参照图 1C,为填满双镶嵌孔洞 20,利用沉积制程以于导电种晶层 24 上形成导电层 26 并填满上沟渠部 16 与低通孔部 18。导电层 26 至少包含主要金属元素(如导电种晶层所包含的铜),导电层 26 还可包含不同于第一添加金属元素的第二添加金属元素,诸如钽、铟、锡、锌、锰、铬、钛、锆、锶、铂、镁、铝或铅。

[0032] 在图 1D 中,在形成导电层 26 之后,执行化学机械研磨制程以移除导电层 26 与导电种晶层 24 中多余的部分(例如超出双镶嵌孔洞 20 的部分),因而使内金属介电层 14 的顶端面外露,并形成平坦化表面。

[0033] 请参照图 1E,第二蚀刻停止层 28 形成于上述平坦化表面。第二蚀刻停止层 28 可用以控制在后续蚀刻制程中的蚀刻停止点。第二蚀刻停止层 28 可以氧化硅、氮化硅、碳化硅、氮氧化硅或其组合物来形成,且第二蚀刻停止层 28 的厚度介于约 10 埃与约 1000 埃之间,并可以任何沉积技术包含低压化学气相沉积法、常压化学气相沉积法、电浆增强型化学气相沉积法、物理气相沉积法、溅镀法以及未来发展出来的沉积技术。

[0034] 此外,在形成导电层 26 之后,于基板 10 上执行热制程(例如:退火制程)。在一实施例中,热制程的步骤是在导电层 26 形成后随即执行。在另一实施例中,热制程的步骤是在化学机械研磨制程的步骤(此步骤是用以移除导电层 26 与导电种晶层 24 中超出双镶嵌孔洞 20 的多余的部分)之后随即执行。于再一实施例中,热制程的步骤是在第二蚀刻停止层 28 形成后随即执行。在又一实施例中,热制程的步骤是在形成保护层于顶端金属层上之后才执行。执行退火制程的温度介于约摄氏 137 度与约摄氏 600 度之间为佳,此外,执行退火制程的温度介于约摄氏 280 度与约摄氏 400 度之间更佳。执行退火制程的时间介于约 10 分钟与约 60 分钟之间,且退火制程使用镭炉、快速热处理(rapid thermal processing, RTP)或热板设备来执行。在退火制程执行的期间及/或退火制程执行完成之后,导电种晶层 24 的第一添加金属元素可部分或完全扩散至内金属介电层 14 的表面,并与内金属介电层 14 发生反应。

[0035] 请参照图 1F,障壁层 30 借由内金属介电层 14 与经扩散后的第一添加金属元素反应来形成。障壁层 30 利用自我对准方法,形成在介于内金属介电层 14 与导电种晶层 24 间的边界,且障壁层 30 的厚度可介于约 5 埃与约 30 埃之间。此外,障壁层 30 的厚度介于约 10 埃与约 20 埃之间更佳。障壁层 30 的形成会消耗部分导电种晶层 24 与部分内金属介电层 14。在一实施例中,由于碳与氮存在内金属介电层 14 内,并于退火制程中与第一添加金

属元素发生反应,因此障壁层 30 为含碳层或含氮层。在另一实施例中,障壁层 30 为具有碳及 / 或氮的氧化锰 ( $MnO_x$ ) 及 / 或氧化硅锰 ( $MnSi_yO_z$ )。于再一实施例中,障壁层 30 所含碳的重量相对障壁层 30 所含硅的重量的比例约等于或大于 0.5 及 / 或障壁层 30 所含氮的重量相对障壁层 30 所含硅的重量的比例约等于或大于 0.3。障壁层 30 可作为保护层以防止导电层 26 扩散进入内金属介电层 14。

[0036] 在退火制程之后,导电种晶层 24 转换为反应后导电种晶层 24'。在一实施例中,反应后导电种晶层 24' 包含主要金属元素以及残留于其内的第一添加金属元素,且在反应后导电种晶层 24' 中第一添加金属元素的含量较导电种晶层 24 中第一添加金属元素的含量为少。在另一实施例中,反应后导电种晶层 24' 包含主要金属元素,但不包含任何第一添加金属,这是由于第一添加金属元素在退火制程后已被全数用尽。

[0037] 图 2A 至图 2H 绘示依照本发明另一实施方式的一种用以形成铜内连线结构的不同制程步骤中的结构剖面图。请参照图 2A,提供具有堆叠介电结构的半导体基板 10,半导体基板 10 包含第一蚀刻停止层 12 与内金属介电层 14' 形成于其上,且孔洞 20 形成于堆叠介电结构内。内金属介电层 14' 可由二氧化硅、碳掺杂二氧化硅、相对低介电常数 (k value) 介电材料或其组合物,前述介电材料的介电常数小于约 4.0。内金属介电层 14' 可以 low-k 介电材料、extremelow-k 介电材料、porous low-k 介电材料及其组合物来形成。

[0038] 请参照图 2B,内衬层 22 沉积于上述结构以作为双镶嵌孔洞 20 的侧壁与底部间的内衬层。内衬层 22 的厚度介于约 5 埃与约 300 埃之间,此外,其厚度介于约 5 埃与约 50 埃之间更佳。在一实施例中,内衬层 22 为含碳介电层及 / 或含氮介电层,举例而言,内衬层 22 为碳化硅 ( $SiC$ )、碳氮化硅 ( $SiCN$ )、碳氧化硅 ( $SiCO$ )、氮化硅 ( $SiN$ )、碳氧硅氮化物 ( $SiCON$ ) 或其类似化合物,且可以合适的制程来形成内衬层 22,诸如化学气相沉积法、物理气相沉积法、原子层沉积法或电浆增强型化学气相沉积法。

[0039] 请参照图 2C,提供一制程于上述结构以移除多个突悬 22a 以及形成于双镶嵌孔洞 20 底部的内衬层,前述些突悬 22a 位于上沟渠部 16 及 / 或低通孔部 18 的肩部。前述制程例示性的为电浆蚀刻制程。请参照图 2D,导电种晶层 24 形成于前述结构上以作为双镶嵌孔洞 20 的内衬层 22 与底部间的内衬层。

[0040] 在图 2E 中,导电层 26 以图 1C 中所述的制程来填入双镶嵌孔洞 20。请参照图 2F,执行化学机械研磨法以移除导电层 26 中多余的部分以及导电种晶层 24 与内衬层 22 中超出双镶嵌孔洞 20 的部分,因而使内金属介电层 14 的顶端面外露,并形成平坦化表面。

[0041] 请参照图 2G,第二蚀刻停止层 28 形成于上述平坦化表面上。可于基板 10 上执行热制程,在热制程执行的期间及 / 或热制程执行完成之后,导电种晶层 24 的第一添加金属元素可透过内衬层 22 以部分或完全扩散至内金属介电层 14' 的界面。经扩散的第一添加金属元素可与内衬层 22 与内金属介电层 14' 发生反应,以形成如图 2H 所示的障壁层 30。

[0042] 障壁层 30 利用自我对准方法,形成在介于内金属介电层 14' 与内衬层 22 间的边界,且障壁层 30 的厚度可介于约 5 埃与约 30 埃之间。此外,障壁层 30 的厚度介于约 10 埃与约 20 埃之间更佳。在一实施例中,由于碳及 / 或氮存在内衬层 22 内,因此障壁层 30 为含碳层及 / 或含氮层。在另一实施例中,障壁层 30 为具有碳及 / 或氮的氧化锰 ( $MnO_x$ ) 及 / 或氧化硅锰 ( $MnSi_yO_z$ )。于再一实施例中,障壁层 30 所含碳的重量相对障壁层 30 所含硅的重量的比例约等于或大于 0.5,并且障壁层 30 所含氮的重量相对障壁层 30 所含硅的重量



的比例约等于或大于 0.3。在退火制程之后,内衬层 22 会被转换为反应后内衬层 22',或完全被转换为障壁层 30 而不出现于最终结构中。

[0043] 图 3A 至图 3G 绘示依照本发明再一实施方式的一种用以形成铜内连线结构的不同制程步骤中的结构剖面图。请参照图 3A,提供具有堆叠介电结构的半导体基板 10,半导体基板 10 包含第一蚀刻停止层 12 与内金属介电层 14' 形成于其上,且孔洞 20 形成于堆叠介电结构内。内金属介电层 14' 可由二氧化硅、碳掺杂二氧化硅、相对地低介电常数 (k value) 介电材料或其组合物来形成,前述介电材料的介电常数小于约 4.0。内金属介电层 14' 可以 low-k 介电材料、extreme low-k 介电材料、porous low-k 介电材料及其组合物所形成。

[0044] 请参照图 3B,制程 21 可于上述结构执行,制程 21 包含热制程、电浆制程、布植制程或其它合适的制程以结合位于内金属介电层 14' 的表面的碳及 / 或氮,来形成内衬层 22a 于双镶嵌孔洞 20 的侧壁上。在一实施例中,电浆制程是以二氧化碳、氨气、氮气、氰、碳氢化合物或其组合物来执行。在另一实施例中,热制程利用二甲基六硅氮烷 (hexamethyl disilazane, HMDS) 或其它类似物质于含碳及 / 或含氮的环境中执行,并于介于约摄氏 100 度与约摄氏 400 度之间的温度范围中执行热制程。内衬层 22a 的厚度介于约 5 埃与约 300 埃之间,此外,其厚度介于约 5 埃与约 30 埃之间更佳。内衬层 22a 所含碳的重量相对内衬层 22a 所含硅的重量的比例约等于或大于 0.5 及内衬层 22a 所含氮的重量相对内衬层 22a 所含硅的重量的比例约等于或大于 0.3。

[0045] 请参照图 3C,导电种晶层 24 形成于内衬层 22a 的侧壁以及双镶嵌孔洞 20 的底部。在图 3D 中,导电层 26 填入双镶嵌孔洞 20 内。请参照图 3E,执行化学机械研磨法以移除导电层 26 中多余的部分以及导电种晶层 24 与内衬层 22a 中超出双镶嵌孔洞 20 的部分,因而使内金属介电层 14' 的顶端面外露,并形成平坦化表面。

[0046] 请参照图 3F,第二蚀刻停止层 28 形成于上述平坦化表面上。可于基板 10 上执行热制程。在热制程执行的期间及 / 或热制程执行完成之后,导电种晶层 24 的第一添加金属元素可透过内衬层 22a 以部分或完全扩散至内金属介电层 14' 的界面。经扩散的第一添加金属元素可与内衬层 22a 与内金属介电层 14' 发生反应,以形成如图 3G 所示的障壁层 30。

[0047] 障壁层 30 利用自我对准方法,形成在介于内金属介电层 14' 与内衬层 22a 间的边界,且障壁层 30 的厚度可介于约 5 埃与约 30 埃之间。此外,障壁层 30 的厚度介于约 10 埃与约 20 埃之间更佳。在一实施例中,由于碳及 / 或氮存在内衬层 22a 内,因此障壁层 30 为含碳层及 / 或含氮层。在另一实施例中,障壁层 30 为具有碳及 / 或氮的氧化锰 ( $MnO_x$ ) 及 / 或氧化硅锰 ( $MnSi_yO_z$ )。于再一实施例中,障壁层 30 所含碳的重量相对障壁层 30 所含硅的重量的比例约等于或大于 0.5,并且障壁层 30 所含氮的重量相对障壁层 30 所含硅的重量的比例约等于或大于 0.3。在退火制程之后,内衬层 22a 会被转换为反应后内衬层 22'a,或完全被转换为障壁层 30 而不出现于最终结构中。

[0048] 在退火制程之后,导电种晶层 24 转换为反应后导电种晶层 24',且在反应后导电种晶层 24' 中第一添加金属元素的含量较导电种晶层 24 中第一添加金属元素的含量为少。在一实施例中,反应后导电种晶层 24' 包含主要金属元素,但不包含任何第一添加金属,这是由于第一添加金属元素在退火制程后已被全数用尽。

[0049] 在一实施例中,形成导电层 26 以作为内连线结构,且导电层 26 形成于微影在内金属介电层 14 内的双镶嵌孔洞 20。具有碳及 / 或氮的障壁层 30 形成于导电层 26 与内金

属介电层 14(或 14') 之间。第二蚀刻停止层 28 形成于导电层 26 与内金属介电层 14(或 14') 之上,而反应后导电种晶层 24'可形成于导电层 26 与障壁层 30 之间。障壁层 30 利用自我对准方法来形成,以解决接触问题,进而提升封装能力。此外,障壁层 30 包含碳及 / 或氮以于次化学机械研磨制程中提升耐蚀性及 / 或提升电子迁移阻抗,从而提升装置性能。

[0050] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何本领域普通技术人员,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当视后附的权利要求书所界定的范围为准。

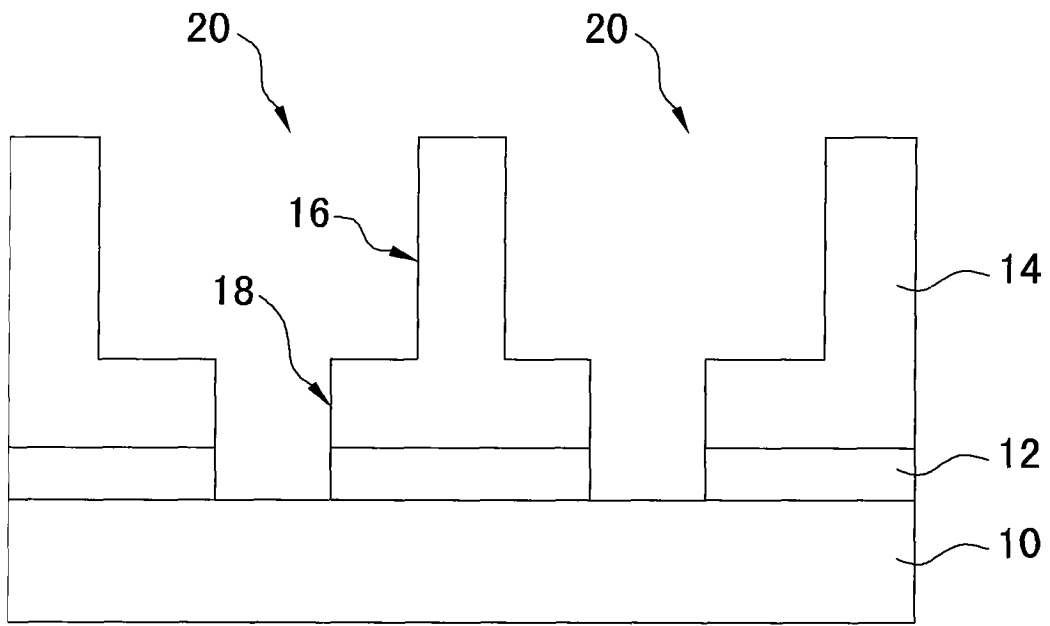


图 1A

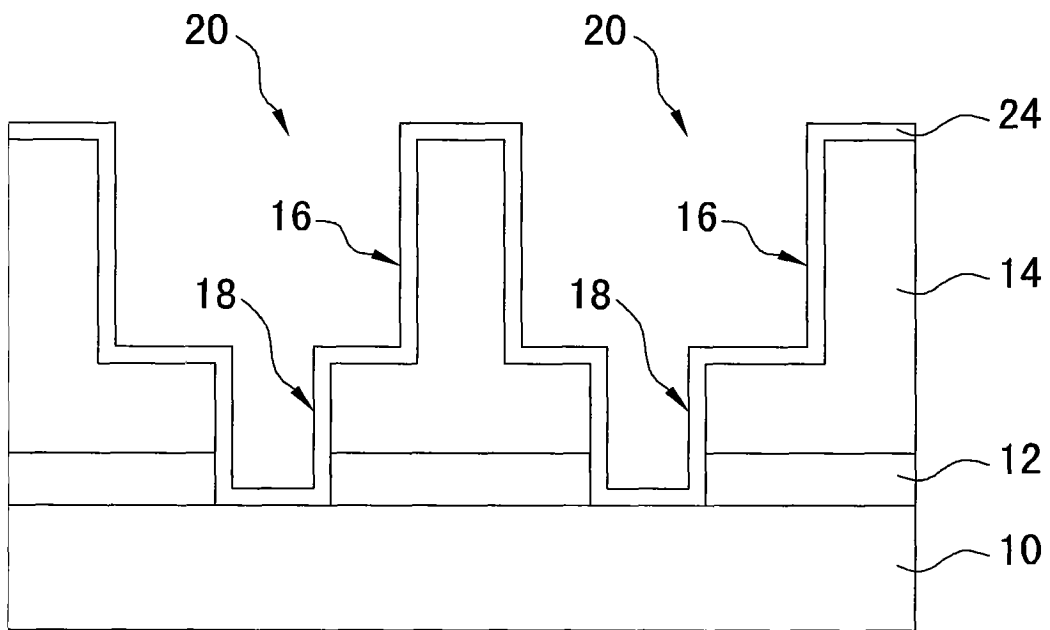


图 1B

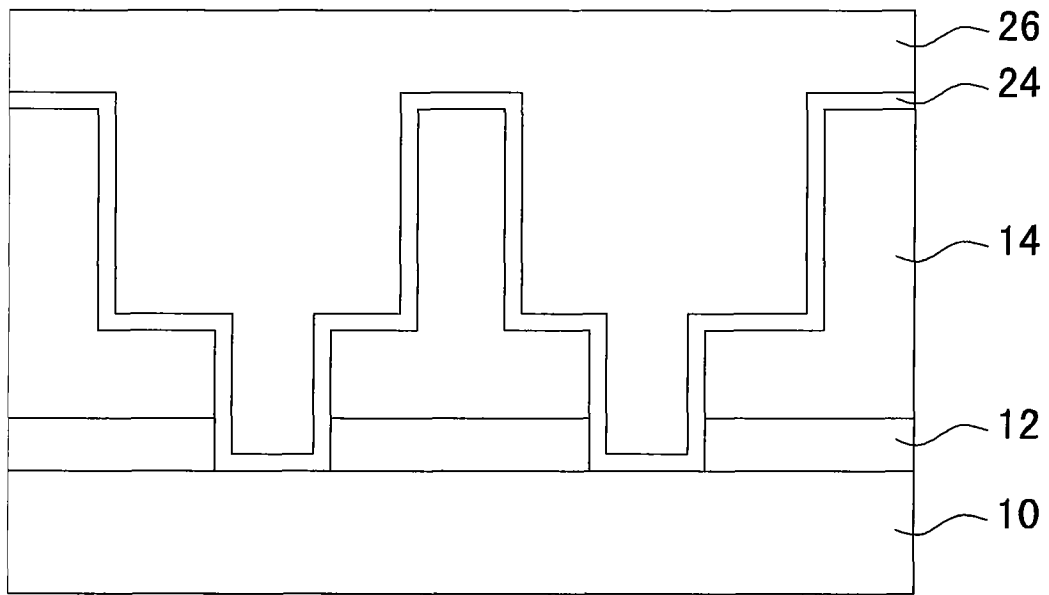


图 1C

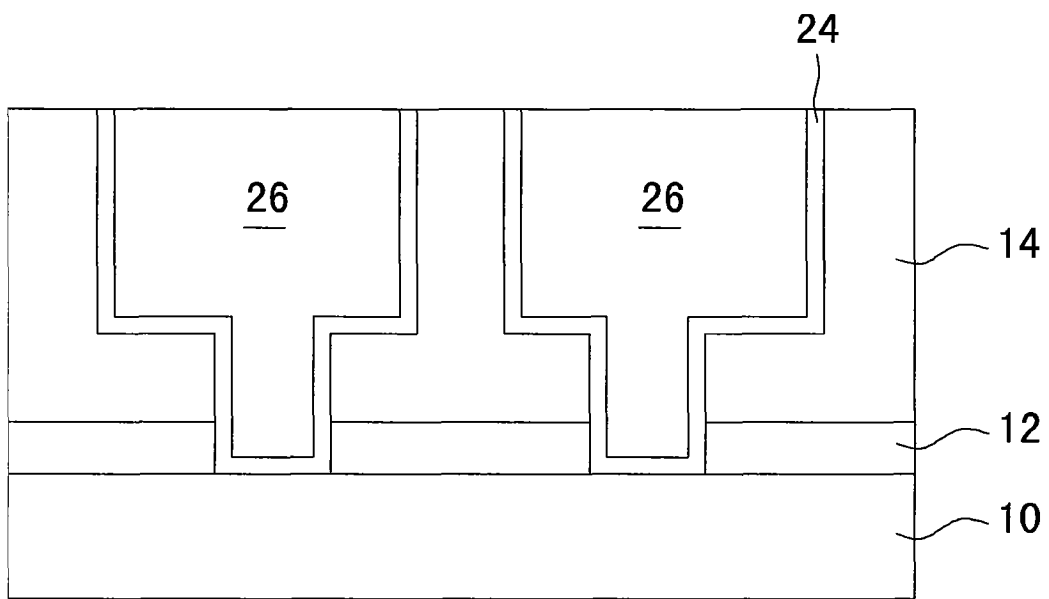


图 1D

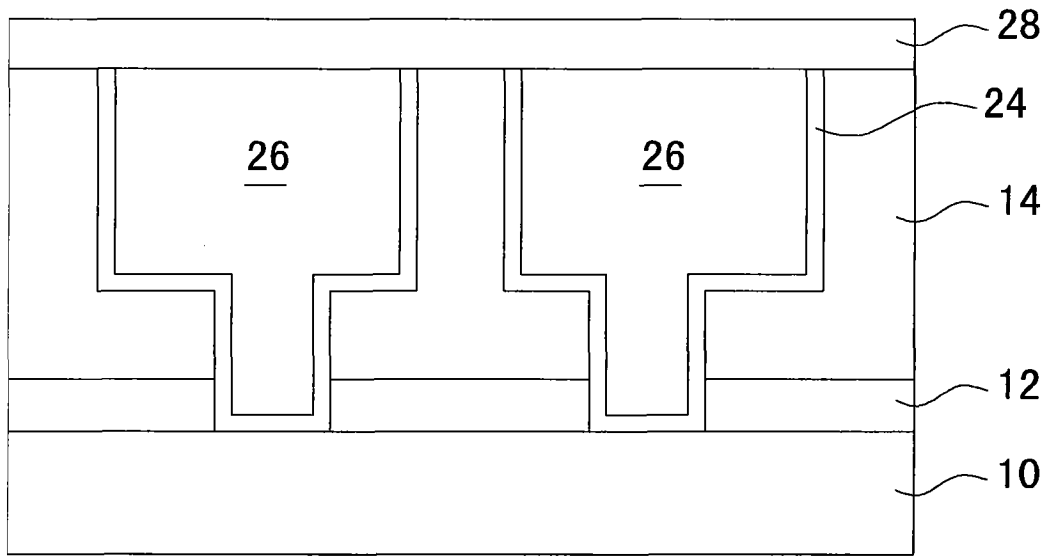


图 1E

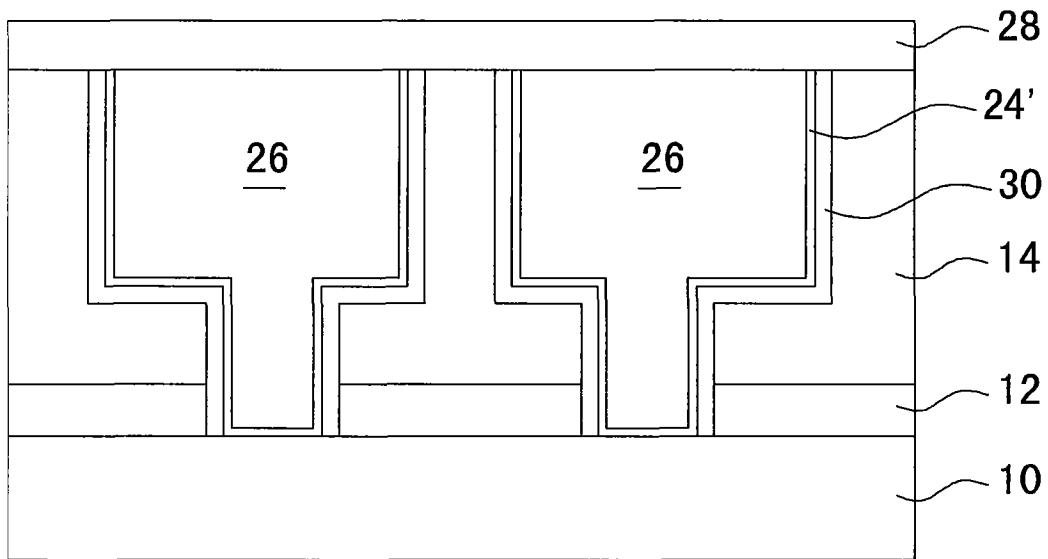


图 1F

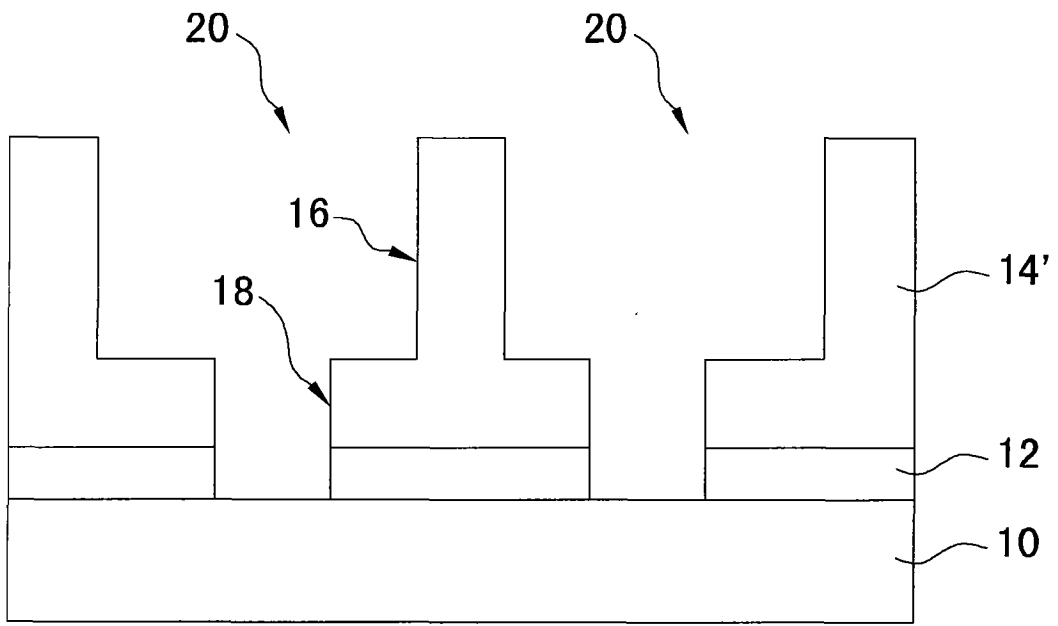


图 2A

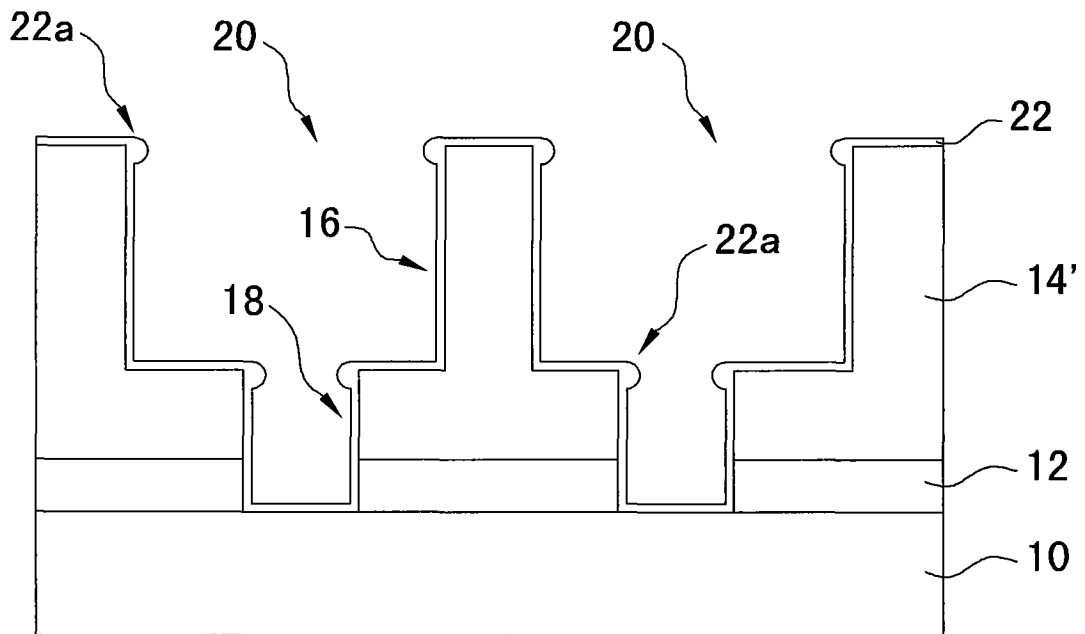


图 2B

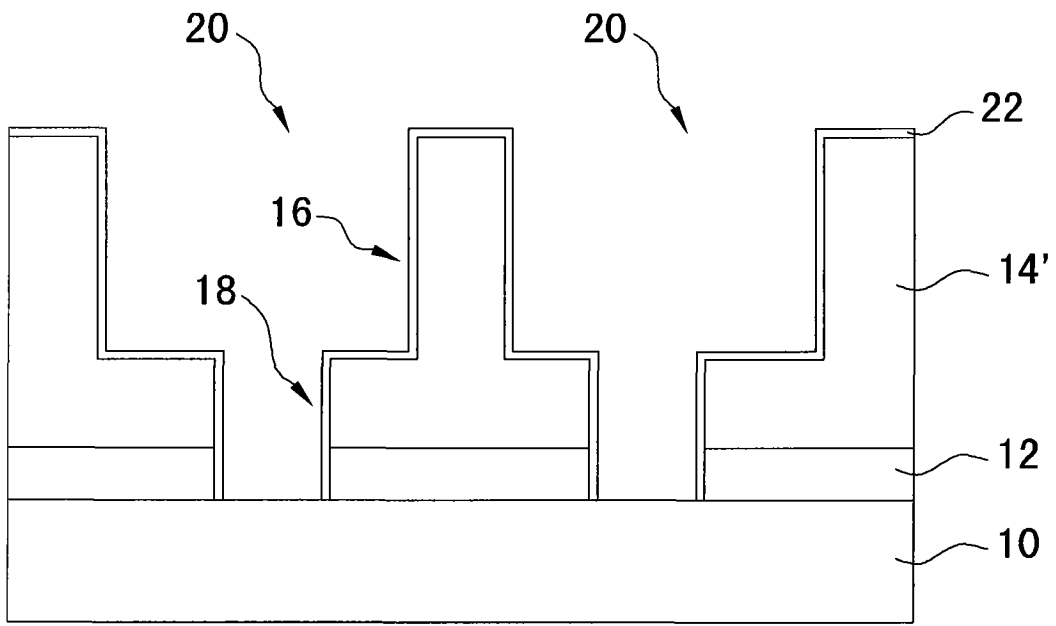


图 2C

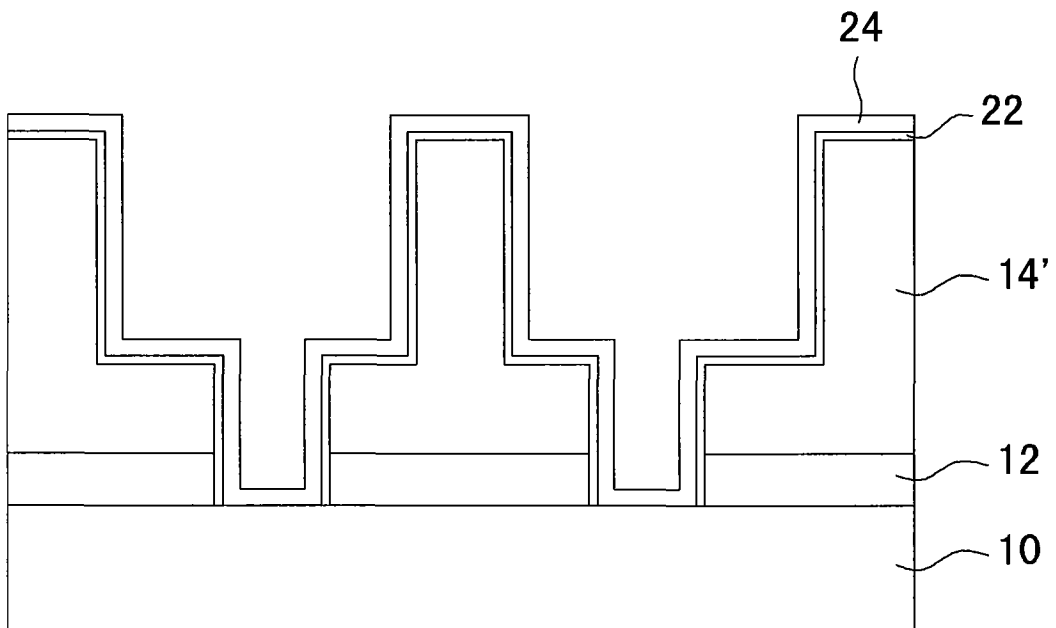


图 2D

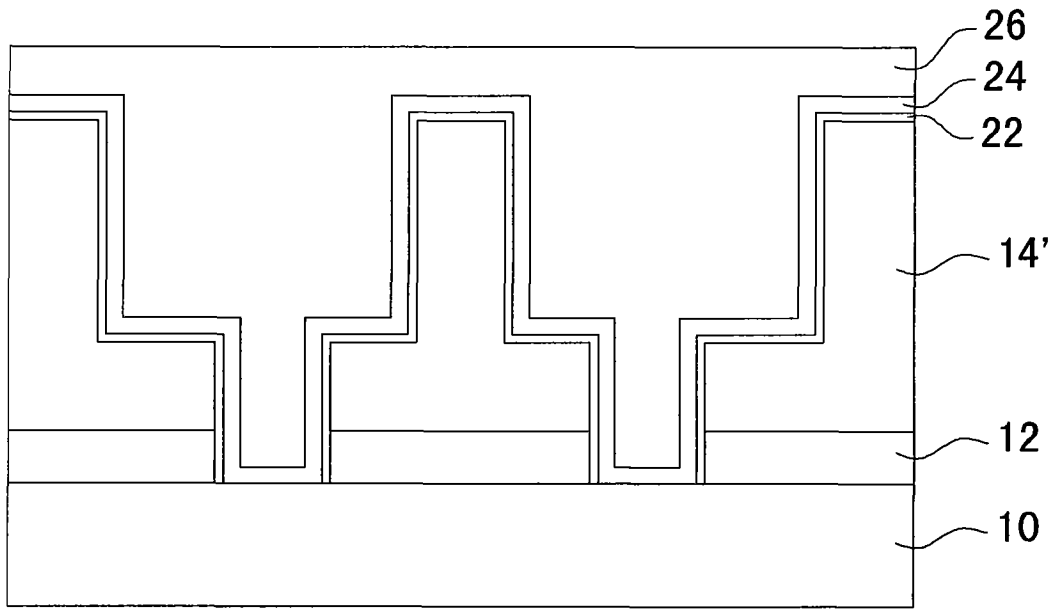


图 2E

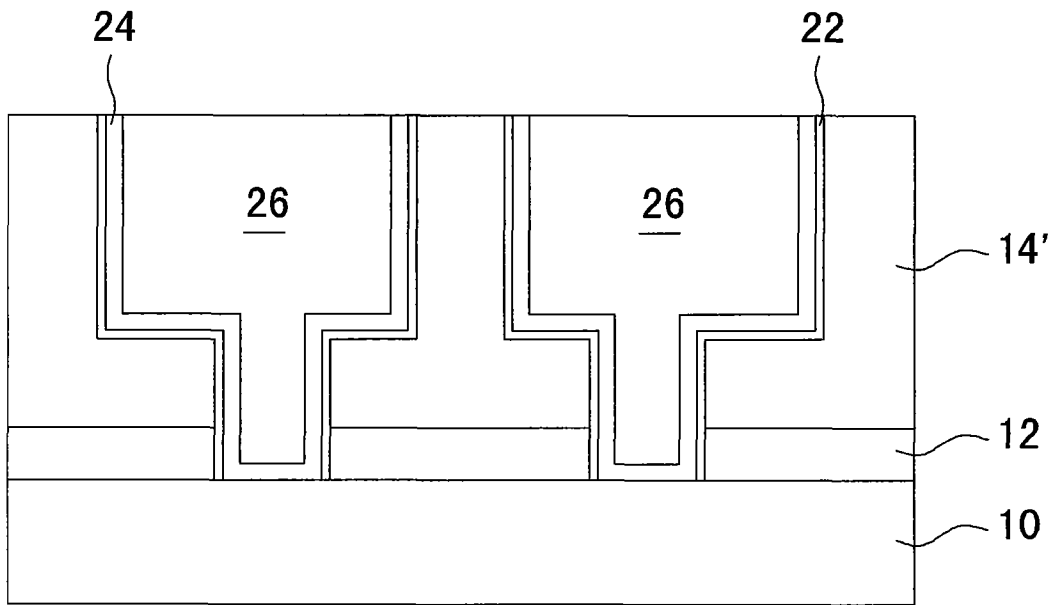


图 2F



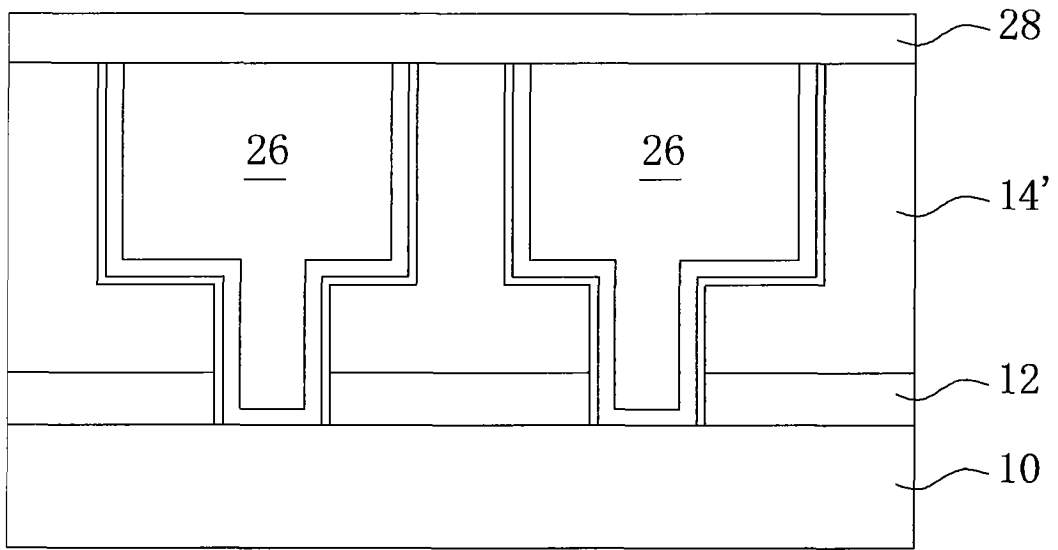


图 2G

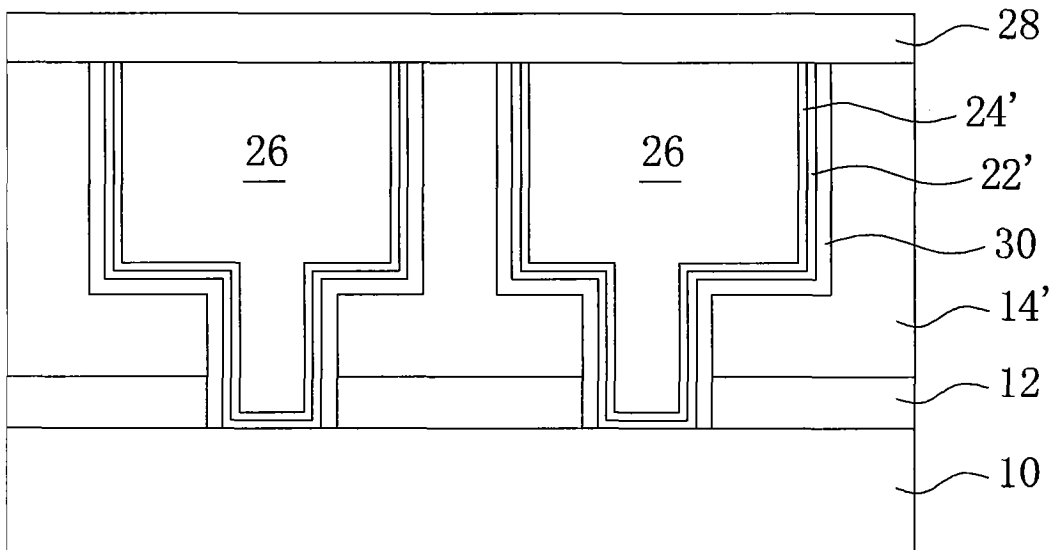


图 2H

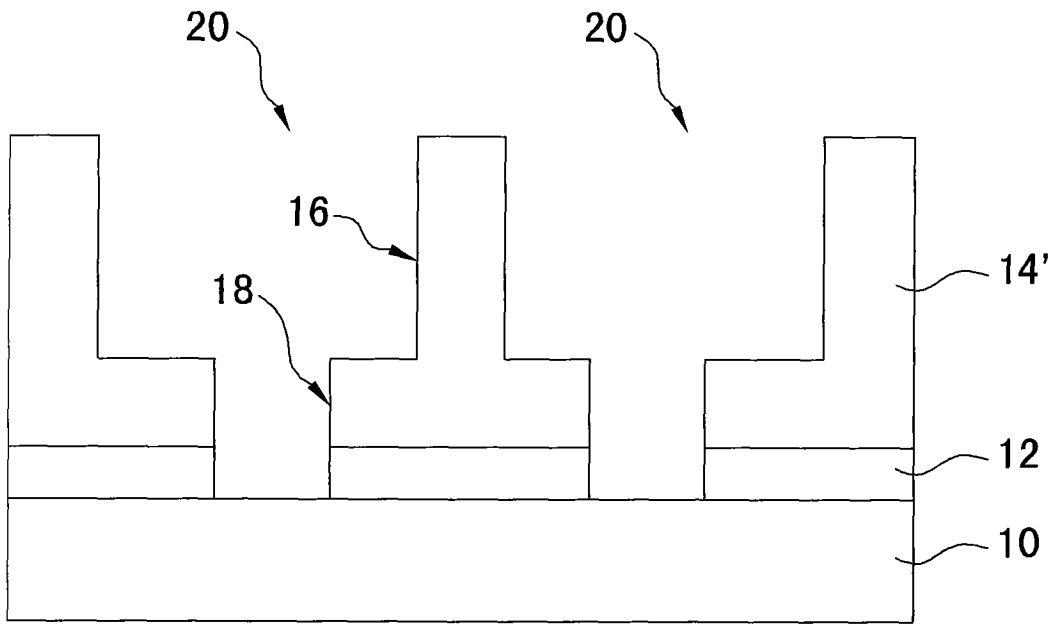


图 3A

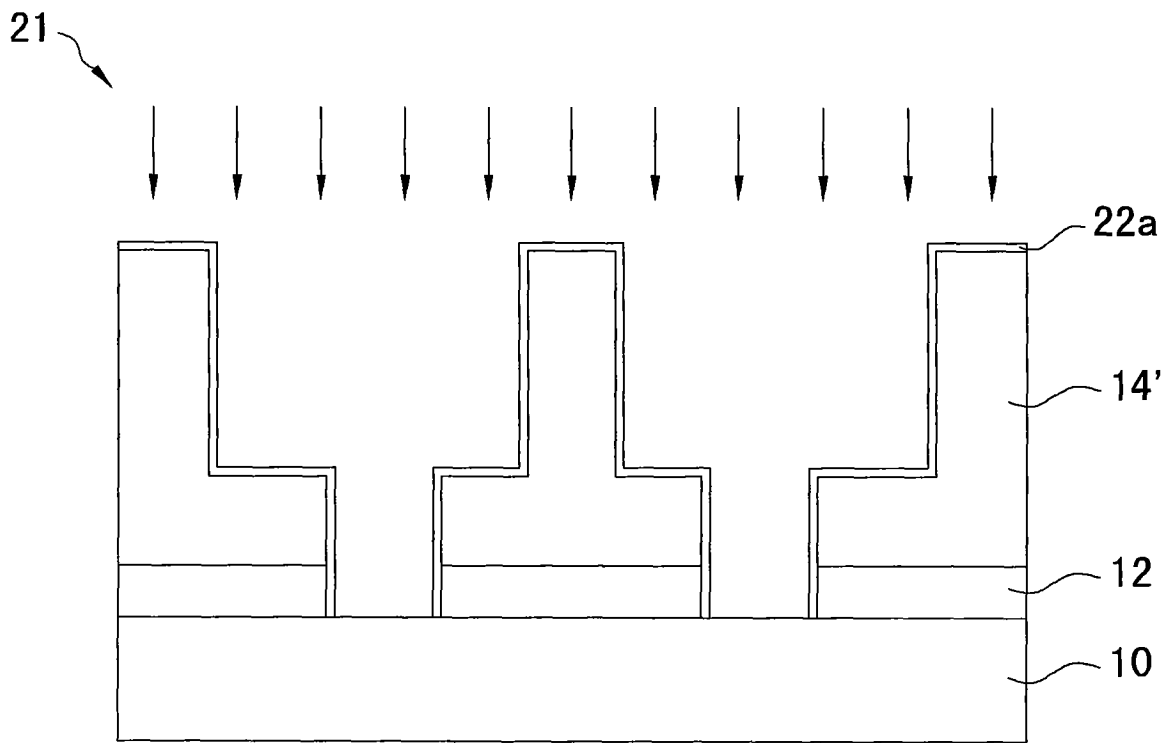


图 3B

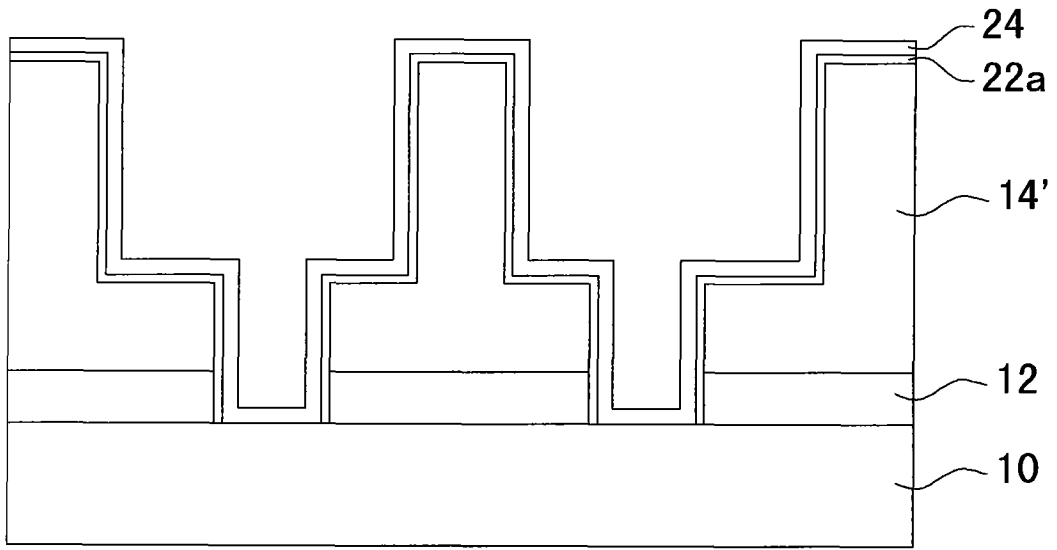


图 3C

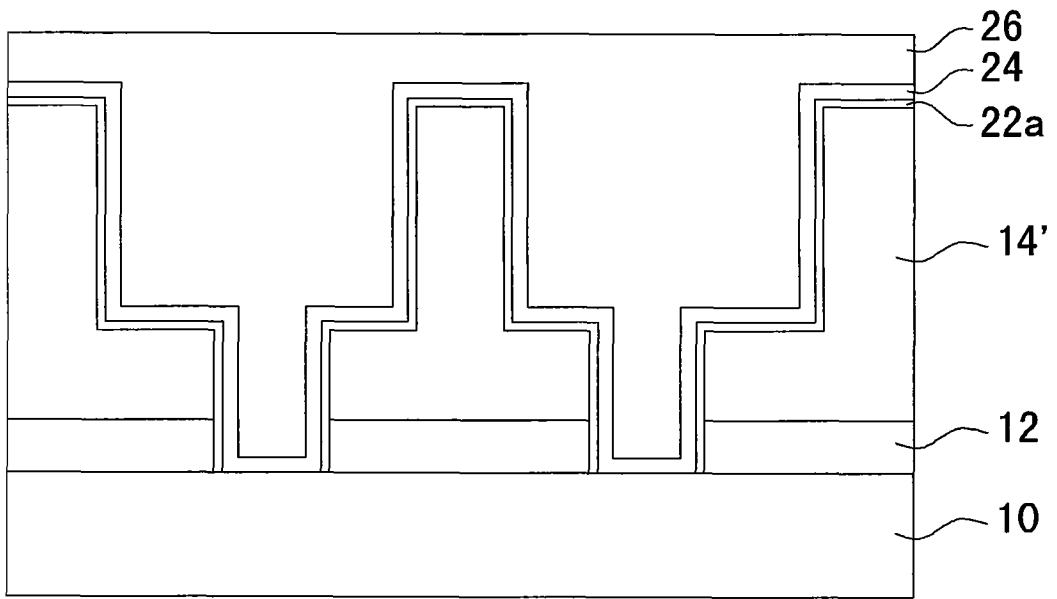


图 3D

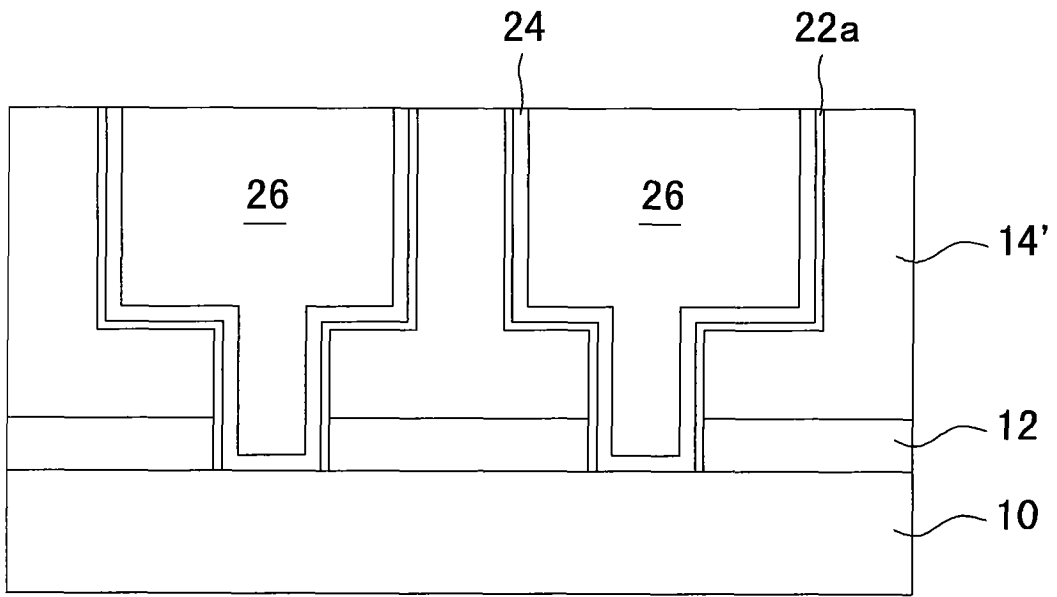


图 3E

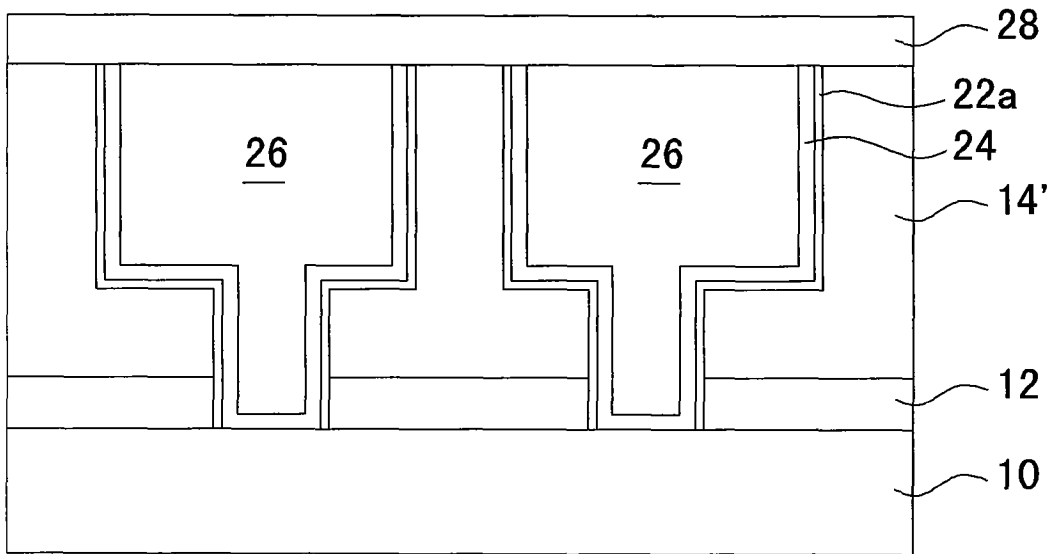


图 3F

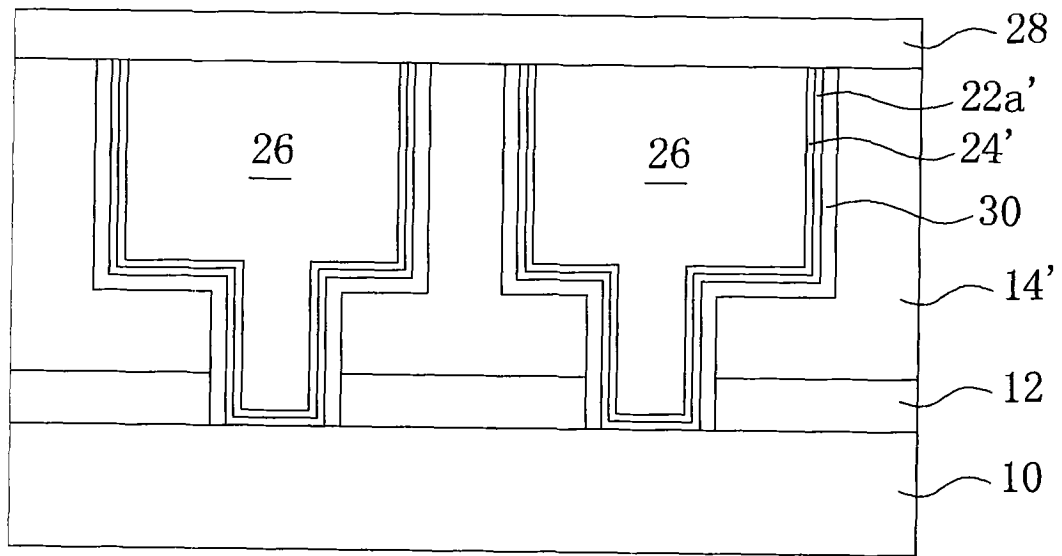


图 3G