



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I512886 B

(45) 公告日：中華民國 104 (2015) 年 12 月 11 日

(21) 申請案號：100136427

(22) 申請日：中華民國 100 (2011) 年 10 月 07 日

(51) Int. Cl. : H01L21/76 (2006.01)

H01L29/78 (2006.01)

(30) 優先權：2011/09/21 美國

13/237,969

(71) 申請人：格羅方德半導體私人有限公司 (新加坡) GLOBALFOUNDRIES SINGAPORE PTE. LTD. (SG)

新加坡

(72) 發明人：馬司 夏恩 MATHEW, SHAJAN (IN)；威馬 帕拉克 拉傑 VERMA, PURAKH RAJ (SG)

(74) 代理人：洪武雄；陳昭誠

(56) 參考文獻：

TW 201131695

US 7625793

審查人員：邱智強

申請專利範圍項數：20 項 圖式數：2 共 42 頁

(54) 名稱

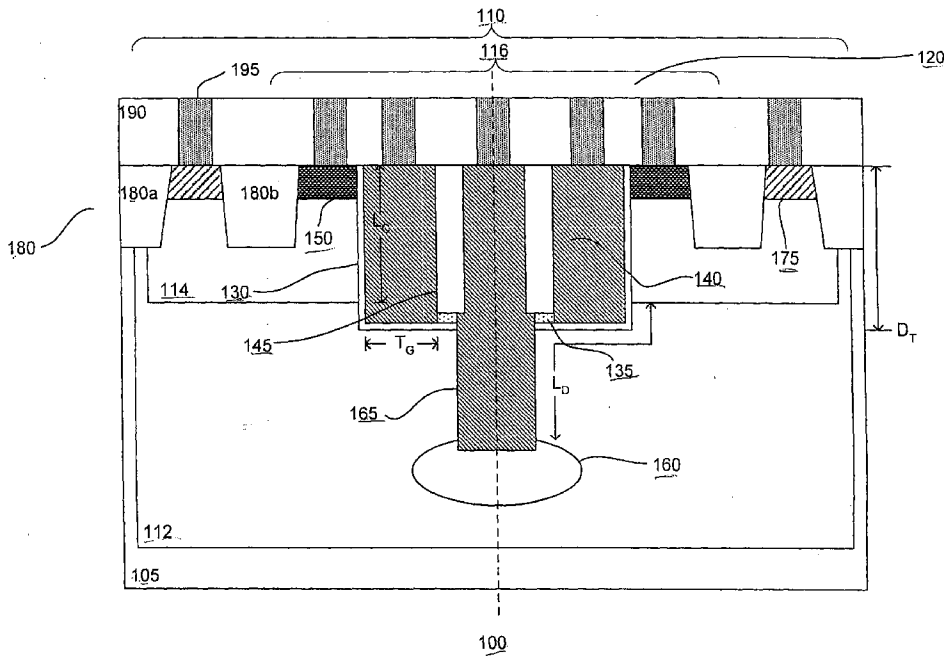
有溝渠電晶體

TRENCH TRANSISTOR

(57) 摘要

本發明係揭露一種形成裝置的方法。提供一種定義有裝置區的基板，於該基板的該裝置區內形成埋入式摻雜區，於該基板的該裝置區之溝渠內形成閘極，於該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ，形成相鄰該閘極之表面摻雜區。

A method of forming a device is disclosed. A substrate defined with a device region is provided. A buried doped region is formed in the substrate in the device region. A gate is formed in a trench in the substrate in the device region. A channel of the device is disposed on a sidewall of the trench. The buried doped region is disposed below the gate. A distance from the buried doped region to the channel is a drift length L_D of the device. A surface doped region is formed adjacent to the gate.



第 1a 圖

- 100 . . . 裝置
- 105 . . . 基板
- 110 . . . 裝置區
- 112 . . . 第一摻雜井
- 114 . . . 第二摻雜井
- 116 . . . 電晶體區
- 120 . . . 電晶體
- 130 . . . 閘極介電
- 135 . . . 次閘極絕緣體
- 140 . . . 閘極電極
- 145 . . . 主閘極絕緣體
- 150 . . . 第一源極/汲極區
- 160 . . . 第二源極/汲極區
- 165 . . . 汲極連接件
- 175 . . . 本體接觸
- 180 . . . 隔離區
- 180a . . . 裝置隔離區
- 180b . . . 內部裝置隔離區
- 190 . . . 介電層
- 195 . . . 接觸點
- D_T . . . 溝渠深度
- L_C . . . 通道長度
- L_D . . . 漂移長度
- T_G . . . 閘極電極厚度

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100136427

※申請日：100.10.07 ※IPC 分類：

H01L 21/76 (2006.01)

一、發明名稱：(中文/英文)

H01L 28/18 (2006.01)

有溝渠電晶體

TRENCH TRANSISTOR

二、中文發明摘要：

本發明係揭露一種形成裝置的方法。提供一種定義有裝置區的基板，於該基板的該裝置區內形成埋入式摻雜區，於該基板的該裝置區之溝渠內形成閘極，於該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ，形成相鄰該閘極之表面摻雜區。

三、英文發明摘要：

A method of forming a device is disclosed. A substrate defined with a device region is provided. A buried doped region is formed in the substrate in the device region. A gate is formed in a trench in the substrate in the device region. A channel of the device is disposed on a sidewall of the trench. The buried doped region is disposed below the gate. A distance from the buried doped region to the channel is a drift length L_D of the device. A surface doped region is formed adjacent to the gate.

四、指定代表圖：

(一)本案指定代表圖為：第(1a)圖。

(二)本代表圖之元件符號簡單說明：

100	裝置	105	基板
110	裝置區	112	第一摻雜井
114	第二摻雜井	116	電晶體區
120	電晶體	130	閘極介電
135	次閘極絕緣體	140	閘極電極
145	主閘極絕緣體	150	第一源極/汲極區
160	第二源極/汲極區		
165	汲極連接件	175	本體接觸
180	隔離區	180a	裝置隔離區
180b	內部裝置隔離區		
190	介電層	195	接觸點
D_T	溝渠深度	L_c	通道長度
L_D	漂移長度	T_G	閘極電極厚度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種具有快速切換速度及高崩潰電壓的電晶體。

【先前技術】

橫向擴散(Lateral Double-Diffused; LD)電晶體已廣泛應用於高電壓的應用中。該橫向擴散電晶體的性能取決於汲極-源極導通電阻($R_{ds(on)}$)以及崩潰電壓(breakdown voltage)。例如，低 $R_{ds(on)}$ 造成高切換速度，而高崩潰電壓增加電壓能力。

實現高崩潰電壓的習知技術會造成在汲極及閘極之間的距離增加。然而，隨之而來將增加 $R_{ds(on)}$ ，以及不必要的降低切換速度。

【發明內容】

本發明係揭露形成裝置的方法。於一個實施例中，該方法包括提供定義有裝置區之基板，該方法亦包括於該基板的該裝置區內形成埋入式摻雜區，該方法復包括於該基板的該裝置區之溝渠內形成閘極，於該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ，該方法復包括形成相鄰於該閘極的表面摻雜區。

於一個實施例中，本發明係揭露形成半導體裝置的方法。該方法包括提供定義有裝置區之基板，該方法亦包括於該裝置區內提供第一及第二裝置摻雜井，該第一裝置摻

雜井包括第一極性型摻雜物，而該第二裝置摻雜井包括第二極性型摻雜物。該第一裝置摻雜井的深度大於該第二裝置摻雜井的深度，該方法亦包括於該第二裝置摻雜井內形成埋入式摻雜區，該方法復包括於該基板的該裝置區之溝渠內形成閘極，於該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ，形成相鄰於該閘極的表面摻雜區。

於又一個實施例中，本發明係揭露一種半導體裝置。該半導體裝置包括定義有裝置區的基板。該半導體裝置亦包括於該基板之該裝置區內之埋入式摻雜區，該半導體裝置復包括於該基板的溝渠內之閘極，於該溝渠的側壁上配置該裝置的通道。於該閘極下方配置該埋入式摻雜區。該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D 。該半導體裝置復包括相鄰於該閘極之表面摻雜區。

藉由如下的描述及附圖，此處揭露的實施例等之優點及特徵會變得明顯。此外，可以理解此處所描述之各種實施例之特點是不會相互排斥，可以存在於不同的排列組合。

【實施方式】

實施例一般係有關於半導體裝置。一些實施例中有關於裝置如低功率損耗降壓及升壓調節器、功率放大器及電源管理電路。例如，此種裝置能包含獨立的裝置、或積體電路(IC)如微控制器或系統單晶片(SoC)。例如，該裝置或積體電路可包含或使用電子產品如揚聲器、電腦、手機及

個人數位助理(PDA)。

第 1a 圖係顯示裝置 100 的實施例之剖視圖。如圖所示，該剖視圖說明沿著通道長度 L_c 的裝置。如圖所示，該裝置形成於定義在基板 105 上的裝置區 110 中。例如，該基板為矽基板如半導體基板。於一個實施例中，該基板可為 p-型摻雜基板。例如，該 p 型摻雜基板為輕摻雜 p 型基板。其他類型的半導體基板亦可能是有用的。例如，該基板可為矽鍺、鍺、鎵砷化物，或絕緣層上覆晶(COI)如絕緣層上覆矽(SOI)。該基板可為摻雜基板。該基板可能會摻雜 p 型或 n 型摻雜物。該摻雜基板可為輕摻雜基板。提供具有其他類型的摻雜物或濃度之基板，其係包括未摻雜的基板亦可能是有用的。

該裝置可包括具有不同摻雜濃度的摻雜區或井。例如，該裝置可包括重摻雜區、中摻雜區及輕摻雜區。該摻雜區可指定由 x^- 、 x 及 x^+ 表示，其中 x 表示該摻雜的極性如 p 型或 n 型，以及：

x^- = 輕摻雜；

x = 中摻雜；

x^+ = 重摻雜。

輕摻雜區的摻雜濃度約低於 $5E13/cm^3$ ，中摻雜區的摻雜濃度大約為 $5E13-5E15/cm^3$ ，重摻雜區的摻雜濃度約高於 $5E15/cm^3$ 。p-型摻雜可包括硼(B)、鋁(Al)、銻(In)、或其組合，而 n-型摻雜可包括磷(P)、砷(As)、銻(Sb)、或其組合。

可提供隔離區 180 隔離或分離該基板的不同區。於一個實施例中，藉由裝置隔離區 180a，而將該裝置區隔離於其他區或裝置區。例如，該裝置隔離區包圍該裝置區。例如，該隔離區為淺溝渠隔離(STI)區。其他類型的隔離區亦可採用。例如，隔離區可為深溝渠隔離(DTI)區。例如，該隔離區延伸約 4000Å(埃)的深度。提供延伸到其他深度的隔離區如 0.5-10 微米(μm)作為深溝渠隔離區亦可能是有用的。於一個實施例中，該隔離區的寬度約 0.3 微米，提供具有不同深度及寬度的隔離區亦可能是有用的。

於一個實施例中，於該基板內配置第一及第二裝置摻雜井 112 及 114，其中包括該裝置區。於一個實施例中，該第二裝置摻雜井配置於該第一裝置摻雜井內。例如，該第一裝置摻雜井的深度大於該第二裝置摻雜井的深度。於其他實施例中，該第一裝置摻雜井實質上配置於該裝置區內。例如，該第一裝置摻雜井延伸到深度約 3-5 微米。例如，藉由裝置的崩潰電壓及隔離要求來決定該深度。例如，該第二裝置摻雜井的深度及該第一裝置摻雜井有關該第二裝置摻雜井之相對深度應達到所需的崩潰電壓及隔離要求。提供不同深度的第一裝置摻雜井亦將可能是有用的。於一個實施例中，該第一裝置摻雜井具有第一極性型摻雜物，而該第二裝置摻雜井具有第二極性型摻雜物。

於一個實施例中，該第二裝置摻雜井作為第一極性型裝置之本體井，該第二裝置摻雜井可摻雜第二極性型摻雜物。例如，該第二裝置摻雜井的摻雜濃度可約為

$5E12-1E13/cm^3$ 。例如，該第一裝置摻雜井作為該第一極性型摻雜的漂移井。該漂移井將該基板與該本體隔離及輕摻雜及極擴張，以提供高崩潰電壓。該第一裝置摻雜井可輕摻雜第一極性型摻雜物。例如，該第一裝置摻雜井的摻雜濃度可約為 $1-5E12/cm^3$ 。於 n 型裝置的情況下，該第一裝置摻雜井可為 n^- ，而該第二裝置摻雜井可為 p^- 。

提供內部裝置隔離區 180b 以分離該裝置區為子區。該內部裝置隔離區可用以提供不同的子區作為不同類型的摻雜區如表面擴散區。例如，該內部裝置隔離區提供介於其與該裝置隔離區之間的本體區作為本體接觸區 175，以偏壓該第二裝置摻雜井。例如，該本體接觸區可重摻雜第二極性型摻雜物。

例如，可於該裝置區之一側上提供該內部裝置隔離區。如圖所示，該內部裝置隔離區可沿著該閘極的寬度方向配置於該裝置區內。提供垂直於該閘極的寬度方向之內部裝置隔離區亦可能是有用的。於一些實施例中，所提供兩內部裝置隔離區可提供兩本體接觸區。或者，該內部裝置隔離區可由該裝置區包圍。其他內部裝置隔離區的安排及配置亦可能是有用的。例如，可提供兩個以上的裝置隔離區。於其他實施例中，不提供內部裝置區。例如，可採用與源極區毗連的本體接觸。於某些應用中，本體接觸區不需要無偏壓本體井。

於該裝置區內提供電晶體區 116 作為電晶體 120。例如，該電晶體區是指該內部裝置隔離區。例如，於該裝置

隔離區包圍該內部裝置隔離區的情況下，該電晶體區於該內部裝置隔離區內。於提供兩內部裝置隔離區的情況下，於其間配置該電晶體區。於其他實施例中，如沿著該裝置區的方向，於內部裝置隔離區的情況下，該電晶體區介於該內部隔離區及裝置隔離區之間。該電晶體區的其他配置亦可能是有用的。

該電晶體包括第一及第二源極/汲極(S/D)區 150 及 160，係由閘極隔開。該 S/D 區為基板中的重摻雜區。於一個實施例中，該 S/D 區具有第一極性型摻雜物之重摻雜區。例如，該 S/D 區可為 n^+ 摻雜區作為 n 型裝置。於一個實施例中，該第一 S/D 區為源極，而該第二 S/D 區為汲極。S/D 區的其他配置亦是有益的。

於一個實施例中，該閘極包括閘極電極 140 及閘極介電 130。該閘極介電分離該閘極電極與該基板。例如，該閘極電極可為多晶矽。其他類型的閘極電極材料如複合材料亦可是有用的。於一些實施例中，該閘極電極可包括多個閘極電極層以形成複合閘極電極。例如，該複合閘極電極可為非晶矽、多晶矽及鎢。該閘極電極的厚度(T_G)可約為 1500 至 4000 埃。於一個實施例中，該閘極電極的厚度(T_G)可約為 2000 埃。其他閘極電極的厚度亦可能是有用的。

至於該閘極介電可為氧化矽。其他類型的閘極介電材料亦可能是有用的。例如，氮氧化合物。該閘極介電為高電壓閘極介電。該閘極介電的厚度可約為 100-1000 埃。其他閘極介電厚度亦可能是有用的。例如，該閘極介電的厚

度可取決於閘極的最大電壓(V_{GS})。

於一個實施例中，該電晶體為溝渠電晶體。該溝渠電晶體包括於基板之溝渠內配置的閘極。該閘極介電襯上(line)溝渠側壁及部分該溝渠底部，以分離該閘極電極及該基板。該溝渠具有深度 D_T 。於一個實施例中，該深度 D_T 深於該第一及第二裝置摻雜井的界面。例如，該溝渠延伸該第二裝置摻雜井至該第一裝置摻雜井中，該深度 D_T 應足以使該閘極電極延伸至該第一裝置摻雜井中。例如，該深度 D_T 可能會比該裝置摻雜井的界面約 0.3 微米(μm)更深。提供具有相對於該裝置摻雜井的界面之其他深度亦是有益的。

相鄰於該閘極之溝渠側壁形成電晶體的通道。於一個實施例中，相鄰於該閘極之溝渠側壁從該基板的表面至該裝置摻雜井的界面形成電晶體的通道。該通道長度 L_c 為從該基板的表面至裝置摻雜井的界面的距離。例如，該通道長度 L_c 可約為 0.3-3 微米。其他通道長度亦可能是有益的。例如，該通道長度係決定跨於該汲極及該源極的反向偏移崩潰電壓(BV_{DSS})及該汲極-源極導通電阻($R_{ds(on)}$)。

第一 S/D 區位於該基板相鄰於該閘極之表面。該第一 S/D 區具有約 2000 埃的深度。其他深度亦可能是有益的。於一個實施例中，該第一 S/D 區配置於該內部裝置隔離區及該閘極之間。配置該第一 S/D 區於其它位置亦可能是有益的。

第二 S/D 區配置於該閘極下方的基板內，以形成埋入

式 S/D 區。該第二 S/D 區為垂直配置或偏移於該電晶體的通道。例如，該第二 S/D 區配置於深度大於該第一及第二裝置摻雜井的界面以及該第一裝置摻雜井內。於一個實施例中，該第二 S/D 區配置於深度大於 D_T 。介於該第二 S/D 區及通道(例如，該裝置摻雜井的界面)之間的距離定義該電晶體的漂移長度 L_D 。該漂移長度 L_D 應足以阻止該汲極端的關閉電壓。例如，該漂移長度 L_D 可約為 0.5-1.5 微米。其它長度 L_D 亦可能是有用的。

於一個實施例中，從該閘極縱向及橫向配置該第二 S/D 區。於一個實施例中，從該電晶體的通道縱向及橫向移開該第二 S/D 區。例如，該第二 S/D 區包括從該通道縱向及橫向的位移分量。因此， L_D 包括該第二 S/D 區之縱向及橫向的位移分量。

該橫向位移便於提供汲極連接件 165，用於從該基板的表面存取該第二 S/D 區。例如，配置該汲極連接件於相鄰的閘極以及從該基板的表面延伸至該第二 S/D 區。該汲極連接件包括導電材料。於一個實施例中，該汲極連接件包括多晶矽。例如，該汲極連接件重摻雜第一極性型摻雜物。其他類型的導電材料亦可用於形成該汲極連接件。

藉由閘極絕緣體隔離該汲極連接件及該閘極。於一個實施例中，該閘極絕緣體包括主閘極絕緣體 145 及次閘極絕緣體 135。該主閘極絕緣體可為氧化矽，而次閘極絕緣體可為氮化矽。該閘極絕緣體亦可以其他介電材料形成。其他配置的閘極絕緣體亦可能是有用的。例如，該閘極絕

緣體可為單一閘極絕緣體或其他數個閘極絕緣體。

於該基板之上可配置介電層 190。據了解，附加層可介於該介電層及該基板之間，例如，蝕刻停止層。該介電層可作為層間介電層(ILD)。例如，該介電層可為氧化矽。其他類型的介電材料如摻雜的 SiO_2 ，Boron-Doped Phosphosilicate Glass(BPSG)或 Borophosphosilicate Tetraethylorthosilicate(BPTEOS)亦可為有用的 ILD 層。

該第一 S/D 區、該第二 S/D 區域、該閘電極及本體接觸區分別作為該裝置的源極、汲極、閘極及本體端。於該 ILD 層內提供包括接觸 195 及導電線(未顯示)之互連。該裝置可包括多個互連層。例如，該接觸提供連接該裝置的終端。例如，提供接觸至源極、汲極、閘極及本體接觸區。

該本體端耦合至偏壓源。於一個實施例中，該偏壓源為 0V 接地。耦合該本體端至其他電壓源亦可能是有用的。於一個實施例中，該本體端通常耦合至該電晶體的源極端(或第一 S/D 區)。

於一個實施例中，該裝置區為對稱的裝置區。沿著該閘極的厚度方向觀察，該裝置區是對稱的。例如，虛線分隔該裝置區兩半以互為鏡像。例如，此將產生具有兩個源極區、兩個本體接觸區、兩個閘極及一個汲極連接件的對稱裝置。例如，該裝置為雙閘極電晶體。於其他實施例中，可提供該電晶體超過兩個閘極。該裝置的其他配置亦可能是有用的。例如，於裝置區內可提供非對稱裝置。

如上所述，目前的裝置具有較長的漂移區，而不需橫

向增加裝置面積，允許該裝置操作於較低的閘極-汲極電容 (C_{dg}) 及 $R_{ds_{on}}$ 狀態。由於較高的 BV_{dd} ，這將大大增加該裝置的效能及可靠性。藉由縱向提供該源極，該閘極長度將不取決微影容差。因此，可藉由增加該溝渠深度、消除該橫向限制以增加該閘極長度。此外，可輕易整合製造溝渠 LDMOS 裝置的製程至 CMOS 製程，而不會產生額外的製造成本。

第 1b 圖顯示裝置 100 之另一個實際例。該裝置相似於第 1a 圖所示之裝置。因此，可能無法描述或詳細描述共同的元件。如圖所示，該裝置包括形成於該裝置區的第一及第二電晶體 110a-b，並行耦合該第一及第二電晶體以形成指型配置 (finger configuration)。共同耦合該電晶體相似類型的電極以形成指型配置。例如，共同耦合該電晶體的第一 S/D 區 150、共同耦合該電晶體的第二 S/D 區 160、共同耦合該電晶體的閘極 140、並且共同耦合該電晶體的本體接觸 175。於其他實施例中，可以指型配置來耦合兩個以上的電晶體。以指型配置耦合電晶體可增加該裝置的驅動電流。

第 2a 至 21 圖係顯示用以形成裝置或積體電路的製程之實施例的剖視圖。請參照第 2a 圖，提供基板 105。該基板可為矽基板如輕 p 型摻雜基板。其他類型的基板包括矽鍺或絕緣層上覆矽 (silicon-on-insulator, SOI) 亦很有用。

如第 2a 圖所示，於基板上定義裝置區 110。雖然顯示一個裝置區，然而，據理解，該基板可包括各類型區 (未顯

示)。例如，該基板可包括對裝置的其他類型之其他裝置區。該積體電路可包括形成邏輯裝置之邏輯區。例如，根據形成積體電路的類型，該邏輯區可包括不同電壓裝置區。例如，該邏輯區可包括高電壓(HV)裝置區、中等或中間電壓(IV)裝置區及低電壓(LV)裝置區。邏輯區的其他配置亦可能是有用的。此外，亦可提供裝置區的其他類型。

藉由裝置隔離區 180a 使其他區與該裝置分離。該裝置隔離區包圍該裝置區。於一個實施例中，該裝置區亦包括內部裝置隔離區 180b 以分離該裝置區為第一及第二裝置子區 110a 至 110b。例如，該內部裝置隔離區包圍該第一裝置子區。於一個實施例中，該裝置隔離區及內部裝置隔離區為同心狀隔離區。例如，藉由該內部裝置隔離區分離該第一及第二裝置子區、該第二裝置子區完全包圍該第一子區。於其他實施例中，配置該隔離區以提供部分包圍該第一裝置子區之第二裝置子區，如第一裝置子區之一、二或三側。隔離區的其他配置亦可能是有用的。

可提供內部裝置隔離區 180b 以分離裝置區為子區。該內部裝置隔離區可用以提供分離的子區為摻雜區之不同類型如表面擴散區。例如，可提供該內部裝置隔離區於該裝置區的一側，沿著該閘極的寬度方向可配置該內部裝置隔離於該裝置區內。提供該內部器件隔離地區垂直於該閘極的寬度方向亦可能是有用的。

於其他實施例中，該裝置區為對稱的裝置區。該裝置區包括內部裝置隔離區或於該裝置隔離區內的區域。該內

部裝置隔離區可為同心配置於該裝置區內的隔離區。於一些實施例中，可提供兩個內部裝置隔離區於該裝置隔離區內。隔離區的其他配置亦可能是有用的。

例如，該隔離區為淺溝渠絕緣。可採用各種製程以形成該淺溝渠絕緣區。例如，使用蝕刻及遮罩技術，可蝕刻該基板以形成填充介電材料如氧化矽的溝渠。可進行化學機械拋光(CMP)，以移除多餘的氧化及提供平面基板上表面。亦可以使用其他製程或材料以形成該淺溝渠絕緣。於其他實施例中，該隔離可為其他類型的隔離區。例如，該淺溝渠絕緣的深度可約為 3000 至 4500 埃。該淺溝渠絕緣的其他深度亦可能是有用的。

於該裝置區形成第一裝置摻雜井 112。該第一裝置摻雜井作為該裝置的漂移井。於一個實施例中，該第一裝置摻雜井為深裝置摻雜井。例如，第一裝置摻雜井的深度可約為 3-5 微米。提供其他深度的第一裝置摻雜井亦可能是有用的。例如，第一裝置摻雜井的深度應足以產生形成於該裝置內之電晶體所需的漂移長度 L_D 。該第一裝置摻雜井為第一極性型摻雜物作為第一極性型裝置。例如，提供 n 型第一裝置摻雜井作為 n 型裝置。形成 p 型第一裝置摻雜井作為 p 型裝置亦可能是有用的。於一個實施例中，該第一裝置摻雜井為輕摻雜井。其他摻雜濃度作為該第一裝置摻雜井亦可能是有用的。

於該裝置區內形成第二裝置摻雜井 114。該第二裝置摻雜井作為該第一型電晶體之本體井。該第二裝置摻雜井

為第二極性型摻雜物。於一個實施例中，該第二裝置摻雜井為輕或中摻雜裝置井。例如，該第二裝置摻雜井的摻雜濃度約為 $5E12-1E13/cm^3$ 。該第二裝置摻雜井之其他摻雜濃度亦可能是有用的。於一個實施例中，於該第一裝置摻雜井內形成該第二裝置摻雜井。例如，該第二裝置摻雜井具有比第一裝置摻雜井較淺的深度。例如，該深度等於形成於該裝置區內之電晶體所需的通道長度。於一個實施例中，該第二裝置摻雜井的深度約為 0.8 微米。該第二裝置摻雜井的其他深度亦可能是有用的。

為了形成裝置摻雜井，可使用曝露該裝置區之植入遮罩。例如，該植入遮罩為微影遮罩圖案化之光阻層。由於該裝置的隔離區可作為植入遮罩，這使得增加圖案化製程中的處理窗口以形成植入遮罩。使用植入遮罩，以植入摻雜物於該基板內，以適當的劑量及能量植入摻雜物。例如，於一些實施例中，藉由進行多個不同能量的植入，可形成裝置摻雜井。

用於形成該裝置摻雜井的植入製程可相容或相同於用於形成於該裝置內之其他相似類型的井之製程。例如，該製程可與目前 CMOS 製程相容，用於形成相似類型的井。例如，在同一時間可形成該第一裝置摻雜井作為深摻雜井。這使得目前 CMOS 植入遮罩相同的微影遮罩，用以圖案化該植入遮罩作為該第一裝置遮罩。例如，目前 CMOS 植入遮罩可定製包括該第一裝置摻雜井的開口。於其他實施例中，可使用分離第一裝置摻雜井以明確地訂製該第一裝置

摻雜井的摻雜。在這種情況下，亦可以用相同的遮罩形成該第二裝置摻雜井。

進行退火。於一個實施例中，形成該第一及第二裝置摻雜井之後進行退火。該退火從該植入擴散該摻雜物，係形成第一及第二裝置摻雜井，從而延長該裝置隔離區的底部。於其他實施例中，可進行單獨退火作為該第一及第二裝置摻雜井。例如，形成一個摻雜井之後可進行退火。

例如，形成該裝置摻雜井之前可形成該隔離區。於其他實施例中，形成該隔離區及裝置摻雜井的其他配置亦可能是有用的。

於基板的表面上形成硬遮罩層 223。於一個實施例中，該硬遮罩層為氮化矽。例如，該硬遮罩層的厚度可約為 1500 埃。於硬遮罩下方可提供墊層 221。例如，該墊層可為氧化矽，該墊層可能有助於改善硬遮罩對基板的附著性，該墊層的厚度約為 200 埃。其他類型的硬遮罩層或硬遮罩層及墊層的組合亦可能是有用的。

圖案化該硬遮罩及墊層以形成曝露於該基板表面的開口，該開口相應於形成該電晶體閘極的溝渠。可使用圖案化該硬遮罩、軟遮罩如光阻，使用光微影遮罩來圖案化該光阻以製造一個開口。為了提高微影解析度，於該光阻下方可提供抗反射鍍層 (ARC)，可採用非等向性刻蝕如離子蝕刻 (RIE) 轉移該光阻圖案至該硬遮罩。

請參照第 2b 圖，於基板上形成溝渠 228。於一個實施例中，使用該硬遮罩作為蝕刻遮罩，藉由離子蝕刻形成溝

渠。形成的溝渠具有比該第一及第二裝置摻雜井的界面較深的深度 D_T 。例如，該深度可於裝置摻雜井下方約 0.3 微米。相對於該裝置摻雜井的界面之其他深度亦可能是有用的。

例如，清洗該曝露的溝渠壁。例如，清洗該溝渠壁以移除任何從離子蝕刻的表面受損。於一個實施例中，藉由曝露於溫度範圍約 200 至 400°C 的一段時間（約 5 到 60 秒）之氫電漿，可進行該溝渠壁的清洗，用以清洗該基板的其他技術亦可能是有用的。例如，熱處理。在該溝渠壁上進行熱氧化以沉積氧化層。例如，藉由濕蝕刻移除該氧化層。

如第 2c 圖所示，於該曝露的溝渠壁上形成閘極介電層 230。於一個實施例中，該閘極介電層為氧化矽。其他類型的閘極介電材料如氮氧化矽亦可能是有用的。於一個實施例中，藉由熱處理形成該閘極介電層如熱氧化。例如，藉由於氧化環境中退火該基板，經過濕氧化形成該介電層。例如，該濕氧化溫度可約為 750 至 900°C。例如，於溫度約 1000°C 進行退火。另外，藉由部分濕氧化可形成該介電層。於該曝露溝渠壁上，該熱處理選擇性地形成閘極介電層。形成該閘極介電層的其他技術亦可能是有用的。該閘極介電層的厚度約為 100 至 1000 埃。其他閘極介電層的厚度亦可能是有用的。

如第 2d 圖所示，於基板上形成保護層 235，其係覆蓋該硬遮罩及閘極介電層。於後續處理期間，該保護層提供該閘極介電層保護免受損害以形成該裝置。例如，該保護

層為氮化矽。關於該閘極介電層，選擇性地移除其他類型的材料亦可能是有用的。該保護層厚度約為 100 至 500 埃。其他的保護層厚度亦可能是有用的。例如，藉由化學氣相沉積(CVD)可形成該保護層。形成該保護層的其他技術亦可能是有用的。

請參照第 2e 圖所示，於溝渠側壁上形成側壁間隔件 238。於一個實施例中，關於該保護層，可選擇性地移除介電材料以形成該側壁間隔。於一個實施例中，關於該保護層及隨後形成的汲極連接器材料，可選擇性地移除該介電材料。例如，從氧化矽形成該側壁間隔件。其他類型的間隔件材料亦可能是有用的。例如，該間隔件材料可包括氮化矽。

為了形成該側壁間隔件，於基板上形成側壁間隔件。該側壁間隔件覆蓋該保護層並襯上該基板上及襯上該溝渠壁。例如，藉由化學氣相沉積來配置該側壁間隔件層。用於形成該側壁間隔件層的其他技術亦可能是有用的。於一個實施例中，於基板上配置 TEOS 層。該側壁間隔件層的厚度應等於該閘極電極及閘絕緣層的厚度。於一個實施例中，該側壁間隔件的厚度約為 3000 埃。其他側壁間隔件層厚度亦可能是有用的。可進行非等向性蝕刻如離子蝕刻以移除橫向部分的側壁間隔件層，係於該溝渠側壁上形成側壁間隔件。

藉由使用該側壁間隔件及硬遮罩作為蝕刻遮罩之離子蝕刻以蝕刻該基板。如第 2f 圖所示，該蝕刻形成汲極連

接件溝渠 229，該汲極連接件係形成在汲極連接件溝渠 229 中。例如，該蝕刻移除曝露的保護層、閘極介電層及基板，以形成該汲極連接件溝渠。該汲極連接件溝渠的深度應在該溝渠及通道的底部之間產生所需的漂移長度 L_D 。例如，從該基板的表面，該汲極連接件溝渠的深度約為 0.5 至 5 微米。其他深度的汲極連接件溝渠亦可能是有用的。

摻雜物植入於該基板。於一個實施例中，第一極性型摻雜物植入於該基板。於該溝渠底部，使用該側壁間隔件及硬遮罩作為植入遮罩，該植入形成摻雜區。進行退火以擴散及活化摻雜物，以形成埋入式摻雜區。該埋入式摻雜區作為該裝置之埋入式汲極區。於一個實施例中，形成具有第一極性型摻雜物重摻雜之埋入式摻雜區。例如，該埋入式摻雜區具有摻雜濃度約 $5E15/cm^3$ ，形成具有其他摻雜濃度的埋入式摻雜區亦可能是有用的。例如，可於能量範圍約 30 至 60 千電子伏 (KeV) 內進行該植入能量。例如，該植入劑量的範圍可約 $E15/cm^2$ ，可用於其他植入能量及/或劑量以形成該埋入式摻雜區。

請參照第 2g 圖，於基板上沉積汲極連接件層 252。該汲極連接件層填充該汲極連接件溝渠及覆蓋基板表面。於一個實施例中，該汲極連接件層為多晶矽。可形成該汲極連接件層為非結晶或結晶層。於一個實施例中，以第一極性型摻雜物重摻雜多晶矽層，以提供電性耦合至該埋入式摻雜區。可採用各種技術來摻雜該汲極連接件層，例如，原位摻雜或離子注入。於一個實施例中，該汲極連接件層

為原位摻雜層。為了形成該汲極連接件層，如 CVD 之技術均可使用。其他技術亦可能是有用的。於一個實施例中，該汲極連接件層及該閘極電極最好為相同的材料。

於一些實施例中，該汲極連接件層及該閘極電極不需要相同的材料。其他類型的材料亦可用於形成該汲極連接件層。例如，該汲極連接件層可包括導電材料如鎢。

於第 2h 圖中，進行平坦化製程以移除該汲極連接件層多餘的材料。於一個實施例中，進行拋光製程如 CVD，以移除該基板表面多餘的汲極連接件材料。其他類型的平坦化製程亦可能是有用的，以移除多餘的汲極連接件材料。於一個實施例中，平坦化製程於該汲極連接件層及硬遮罩之間產生平坦頂端面。另外，可對該汲極連接件採用過度拋光(over-polish)，以確保移除該多餘的汲極連接件材料。例如，該過度拋光使凹進該汲極連接件材料於該硬遮罩頂端面下方的溝渠。

請參照第 2i 圖，移除該側壁間隔件。於一個實施例中，藉由非等向性蝕刻如濕蝕刻來移除該側壁間隔件。該蝕刻選擇性地移除該汲極連接件 165 的側壁間隔件及該保護層。例如，該蝕刻採用移除該側壁間隔件的化學，留下該汲極連接件及剩餘的保護層。移除該側壁間隔件將遺留介於該溝渠側壁之間間隙及曝露部分的汲極連接件。該間隙作為形成閘極於其內之閘極溝渠。

於曝露部分的汲極連接件上形成閘極絕緣體層 245。於一個實施例中，於曝露部分的汲極連接件上選擇性地形

成該閘極絕緣體層，於曝露部分的汲極連接件上採用熱製程，選擇性地形成該閘極絕緣體層。於一個實施例中，採用熱氧化製程以形成氧化矽閘極絕緣體層。例如，藉由濕式氧化法形成該氧化矽閘極絕緣體層。此外，藉由乾式氧化法形成該氧化矽閘極絕緣體層。形成其他類型的閘極絕緣體層亦可能是有用的。該閘極絕緣體層的厚度約為 1000 至 4000 埃。其他厚度的閘極絕緣體層亦可能是有用的。

請參照第 2j 圖，移除該保護層以曝露該閘極介電。於一個實施例中，使用濕蝕刻移除該保護層。該濕蝕刻選擇性地移除該保護層，剩餘該閘極介電，部分的保護層仍然形成次閘極絕緣體層 135。

於該基板上形成閘極電極層 242。該閘極電極層填充該閘極溝渠及覆蓋該基板。於一個實施例中，該閘極電極層為多晶矽。可形成該閘極電極層作為非結晶及結晶層。可採用各種技術以沉積該閘極電極層，例如，原位摻雜或離子注入。其他類型的閘極電極材料亦可能是有用的。例如，該閘極電極可為矽化鎢(WSi_x)。可藉由 CVD 形成該閘極電極層。其他技術亦可能是有用的。

如第 2k 圖所示，移除該基板上多餘的閘極電極材料。使用平坦化製程以移除多餘的汲極連接件材料。於一個實施例中，使用拋光製程如 CMP 來移除該基板表面上多餘的閘極電極材料。其他類型的平坦化製程亦可能是有用的，以移除多餘的閘極電極材料。例如，該硬遮罩作為平坦化製程中的拋光停止。於一個實施例，可採用過度拋光來確

定移除汲極連接件頂端上之閘極絕緣材料，以形成主閘極絕緣體 145。例如，該過度拋光使該材料(閘極及汲極連接件)凹進該汲極連接件材料於該硬遮罩頂端面下方的溝渠內。該過度拋光亦可能會導致於該基板的頂端面平坦化之溝渠內的材料。

如圖所示，於該汲極連接件之任一側，沿著該通道的寬度方向形成閘極 140。於其他實施例中，該閘極包圍該汲極連接件，移除該硬遮罩。於一個實施例中，使用濕蝕刻移除硬遮罩。例如，使用濕蝕刻移除該墊氧化物。可於該基板的表面上形成屏幕氧化物層，該屏幕氧化物層作為植入遮罩，用於形成該第一 S/D 區及本體接觸區。於另一個實施例中，該墊氧化物作為植入遮罩用於形成該第一 S/D 區及本體接觸區。形成該第一 S/D 區及本體接觸區。以第一極性型摻雜物重摻雜該第一 S/D 區，而以第二極性型摻雜物重摻雜該本體接觸區。使用具有分離植入遮罩之分離植入製程來形成該第一 S/D 區及本體接觸區。

以其他特定形式可實施其揭露，在不背離其精神及必要特徵。因此，上述實施例可於各方面考量，而不限制此處所揭露。因此，藉由附加的申請專利範圍表示其揭露的範圍，而不是由上述說明表示，以及所有變更必須擬接受其中申請專利範圍之等效的意義及範圍內。

【圖式簡單說明】

於圖式中，如參考符號一般是指於不同的視圖參照相同的部分。此外，所附圖式之大小均需配合本發明之原理。

於如下的說明中，將參照如下之圖式來描述本發明的各種實施例，其中：

第 1a 圖係顯示裝置的實施例之剖視圖；

第 1b 圖係顯示裝置的另一實施例之剖視圖；以及

第 2a 至 21 圖係顯示形成裝置實施例的製程之剖視圖。

【主要裝置符號說明】

100	裝置	105	基板
110	裝置區	110a	第一電晶體
110b	第二電晶體	112	第一摻雜井
114	第二摻雜井	116	電晶體區
120	電晶體	130	閘極介電
135	次閘極絕緣體	140	閘極電極
145	主閘極絕緣體	150	第一源極/汲極區
160	第二源極/汲極區	165	汲極連接件
175	本體接觸	180	隔離區
180a	裝置隔離區	180b	內部裝置隔離區
190	介電層	195	接觸點
200	製程	221	焊墊層
223	硬遮罩層	229	汲極連接件溝渠
230	閘極介電層	235	保護層
238	側壁間隔件	242	閘極電極層
245	閘極絕緣體層	252	汲極連接件層
D_r	溝渠深度	L_c	通道長度
L_b	漂移長度	T_g	閘極電極厚度

七、申請專利範圍：

1. 一種形成半導體裝置的方法，係包括：

提供定義有裝置區的基板；

於該基板的該裝置區內形成埋入式摻雜區；

於該基板的該裝置區之溝渠內形成閘極，其中，於該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，其中，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ；以及

形成相鄰該閘極之表面摻雜區。

2. 如申請專利範圍第 1 項所述的方法，其中，藉由裝置隔離區包圍該裝置區。

3. 如申請專利範圍第 2 項所述的方法，其中該裝置區包括一個或多個內部裝置區，係將該裝置區分割成多個子裝置區。

4. 如申請專利範圍第 3 項所述的方法，其中，該裝置區包括：

第一裝置摻雜井；

第二裝置摻雜井，該第二裝置摻雜井具有與該通道的通道長度 L_c 相同的深度；以及

其中，該第一裝置摻雜井的深度大於該第二裝置摻雜井的深度。

5. 如申請專利範圍第 4 項所述的方法，其中，該第一裝置摻雜井包括第一極性型摻雜物，而該第二元件摻雜井包括第二極性型摻雜物。

6. 如申請專利範圍第 5 項所述的方法，其中，實質上配置該第二裝置摻雜井於該第一裝置摻雜井內。
7. 如申請專利範圍第 6 項所述的方法，其中，形成閘極於該溝渠內，係包括：
 - 於該第一及該第二裝置摻雜井內形成該溝渠，該溝渠係具有第一及第二部分；
 - 於該溝渠內形成汲極連接件；
 - 於該溝渠的該第一部分內之該汲極連接件的任一側形成閘極絕緣體；
 - 於該溝渠的該第一部分內之該閘極絕緣體的任一側形成閘極電極。
8. 如申請專利範圍第 7 項所述的方法，其中，形成該溝渠包括：
 - 形成該溝渠的該第一部分，該第一部分的深度大於該第一及第二摻雜井的界面，其中，該第一部分的曝露側壁內襯有閘極介電層；
 - 於該閘極介電層上襯上保護層；
 - 於該溝渠的該第一部分的側壁上形成側壁間隔件，留下部分該第一部分未填充；以及
 - 蝕刻該第一裝置摻雜井內之該基板，以形成該溝渠的該第二部分，該側壁間隔件作為蝕刻遮罩。
9. 如申請專利範圍第 8 項所述的方法，其中，形成該汲極連接件包括於該溝渠內填充汲極連接件層。
10. 如申請專利範圍第 9 項所述的方法，其中，形成該閘極絕

緣體包括：

移除該側壁間隔件，該側壁間隔件的該移除留下介於該溝渠之該側壁之間間隙以及曝露部分該汲極連接件；以及

形成閘極絕緣體層於該汲極連接件的該曝露部分。

11. 如申請專利範圍第 10 項所述的方法，其中，形成該閘極電極包括：

除了該閘極絕緣體所保護的該部分以外，移除該保護層，該剩餘的保護層形成第二閘極絕緣體；

於溝渠之該側壁之間的該間隙填充閘極電極層；

平坦化該閘極電極層，其中，該閘極電極層的頂端面實質上與該基板的頂端面共平面。

12. 一種形成半導體裝置的方法，係包括：

提供定義有裝置區的基板；

於該裝置區內提供第一及第二裝置摻雜井，其中，該第一裝置摻雜井的深度大於該第二裝置摻雜井的深度；

於該第二裝置摻雜井內形成埋入式摻雜區；

於該基板的該裝置區之溝渠內形成閘極，其中，於該該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，其中，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ；以及

形成相鄰該閘極之表面摻雜區。

13. 如申請專利範圍第 12 項所述的方法，其中，該第二裝

置摻雜井的深度等於該通道之通道長度 L_c 。

14. 如申請專利範圍第 13 項所述的方法，其中，該第二裝置摻雜井實質上配置於該第一裝置摻雜井內。

15. 如申請專利範圍第 14 項所述的方法，其中，形成閘極於該溝渠內包括：

於該第一及第二裝置摻雜井內形成該溝渠，該溝渠係包括第一及第二部分；

於該溝渠內形成汲極連接件；

於該溝渠的該第一部分內之該汲極連接件的任一側形成閘極絕緣體；以及

於該溝渠的該第一部分內之該閘極絕緣體的任一側形成閘極電極。

16. 如申請專利範圍第 15 項所述的方法，其中，形成該溝渠包括：

形成該溝渠的該第一部分，該第一部分的深度大於該第一及第二摻雜井的界面，其中，該第一部分的曝露側壁內襯有閘極介電層；

於該閘極介電層上襯上保護層；

於該溝渠的該第一部分的側壁上形成側壁間隔件，留下部分該第一部分未填充；以及

蝕刻該第一裝置摻雜井內之該基板，以形成該溝渠的該第二部分，該側壁間隔件作為蝕刻遮罩。

17. 如申請專利範圍第 16 項所述的方法，其中，形成該汲極連接件包括於該溝渠內填充汲極連接件層。

18. 如申請專利範圍第 17 項所述的方法，其中，形成該閘極絕緣體包括：

移除該側壁間隔件，該側壁間隔件的該移除留下介於該溝渠之該側壁之間間隙以及曝露部分該汲極連接件；以及

於該汲極連接件的該曝露部分形成閘極絕緣體層。

19. 如申請專利範圍第 18 項所述的方法，其中，形成該閘極電極包括：

除了該閘極絕緣體所保護的該部分以外，移除該保護層，該剩餘的保護層形成第二閘極絕緣體；

於該溝渠之該側壁之間間隙內填充閘極電極層；
以及

平坦化該閘極電極層，其中，該閘極電極層的頂端面實質上與該基板的頂端面共平面。

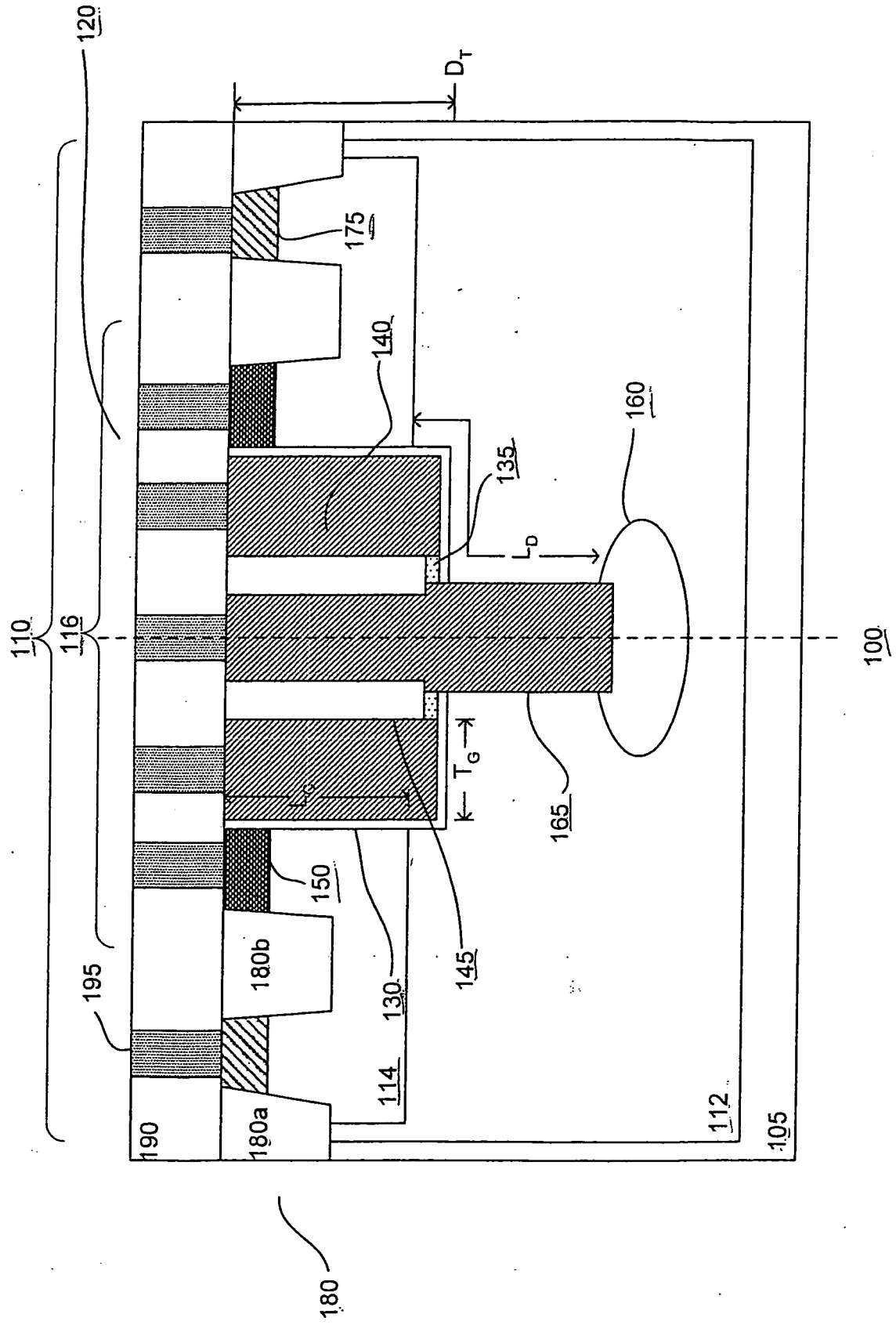
20. 一種半導體裝置，係包括：

定義有裝置區之基板；

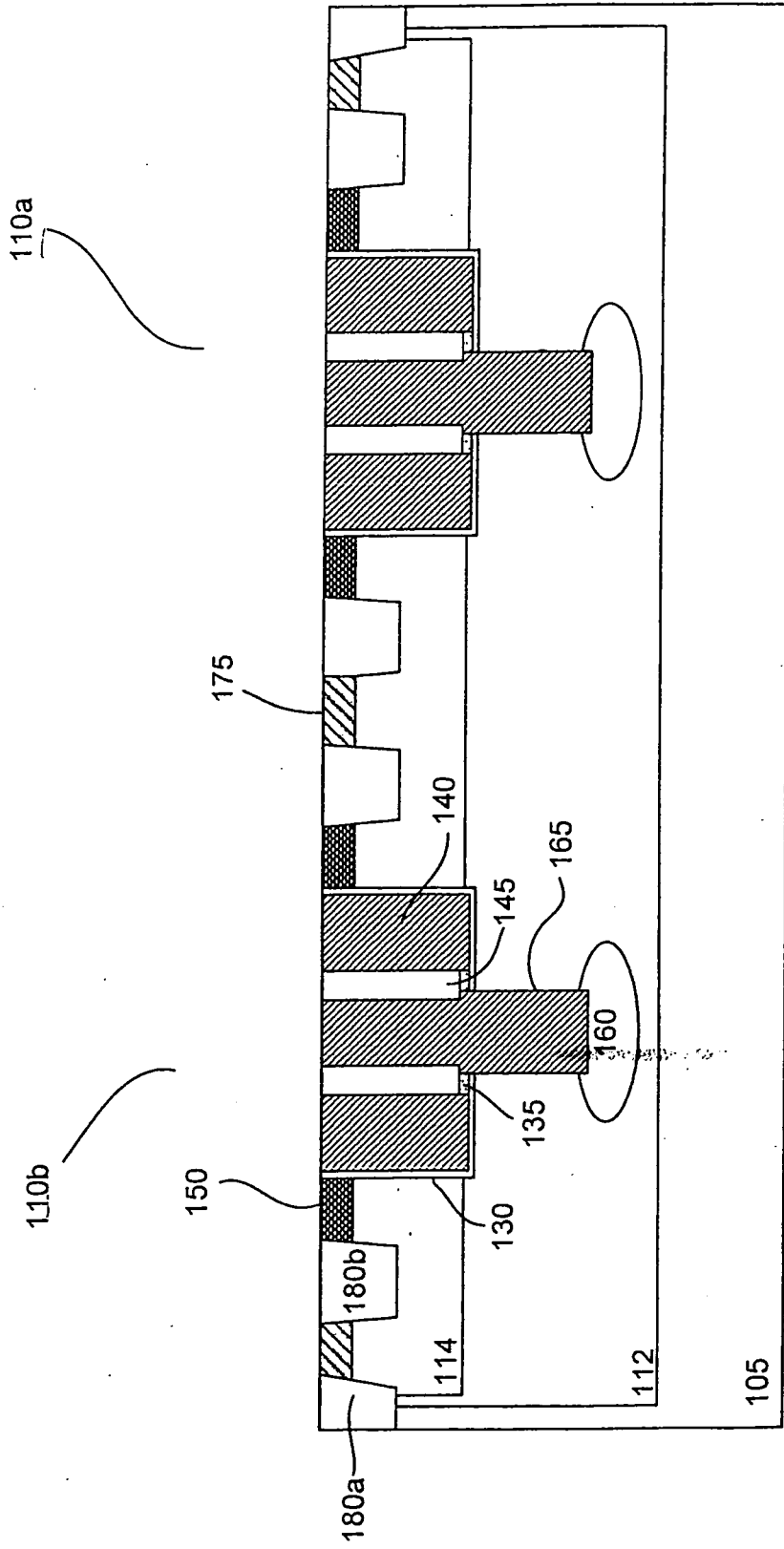
於該基板的該裝置區內之埋入式摻雜區；

於該裝置區中之溝渠內的閘極，其中，於相鄰於該閘極之該溝渠的側壁上配置該裝置的通道，於該閘極下方配置該埋入式摻雜區，其中，該埋入式摻雜區至該通道之距離為該裝置的漂移長度 L_D ；以及

相鄰該閘極之表面摻雜區。

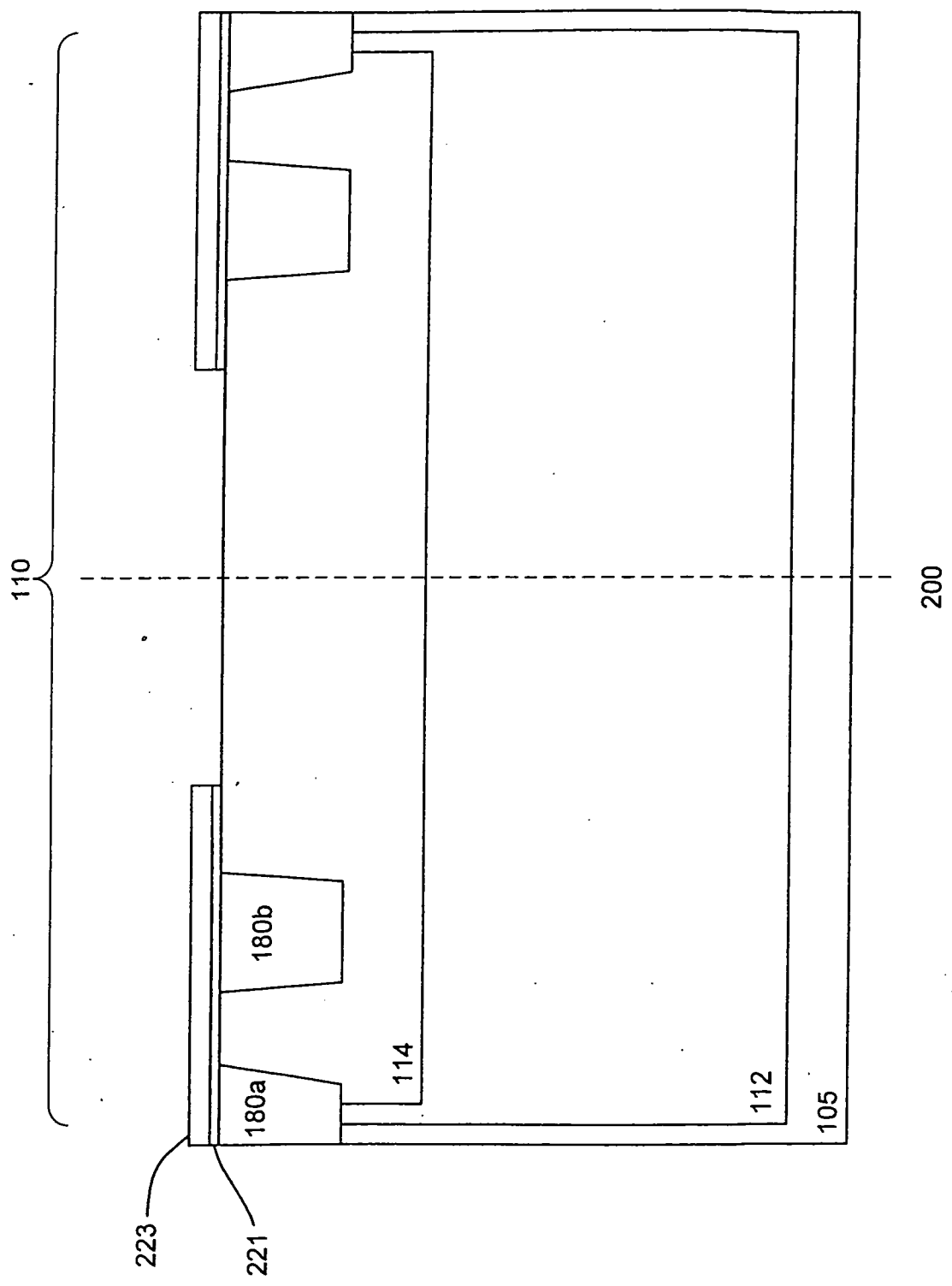


第 1a 圖

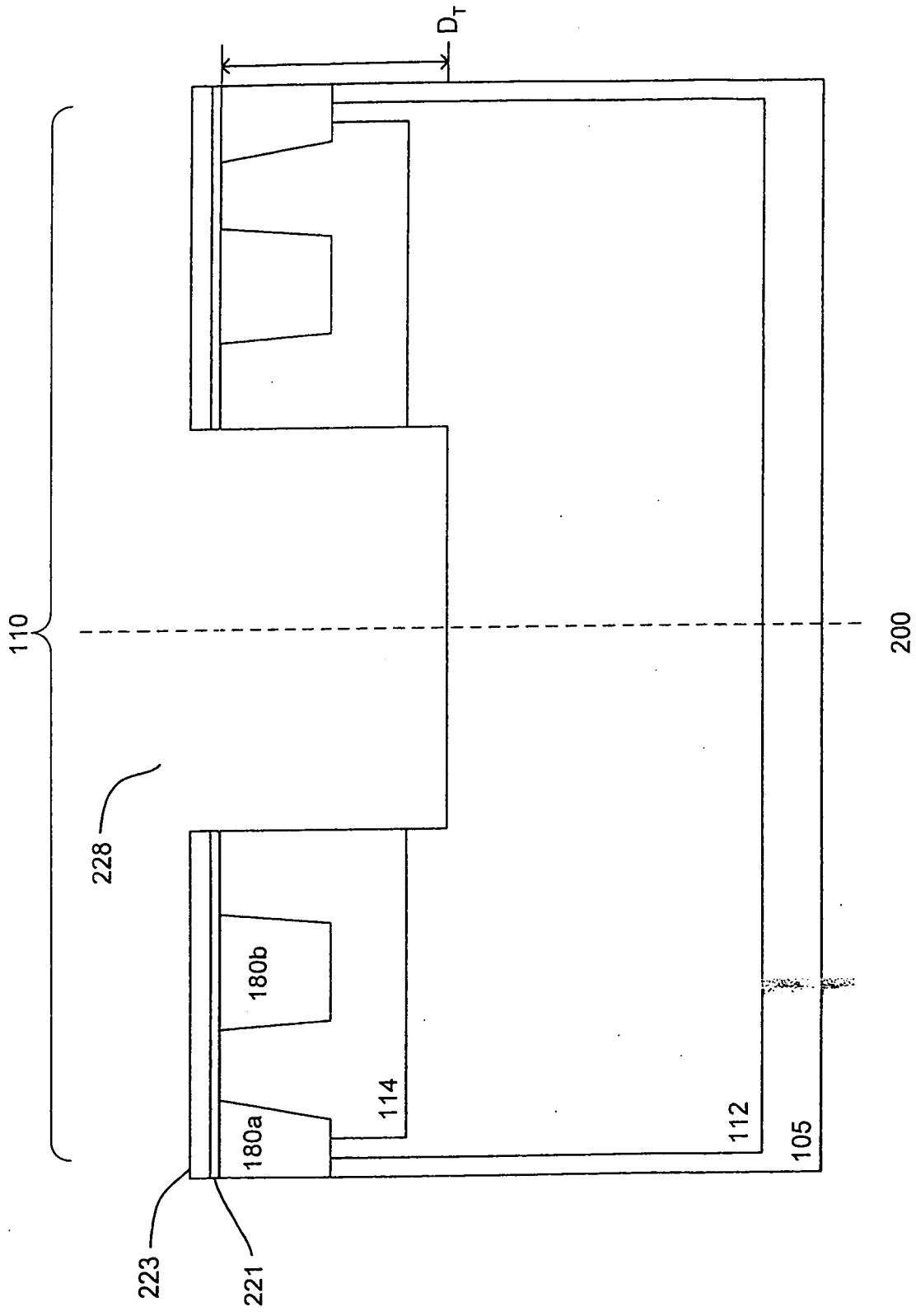


100

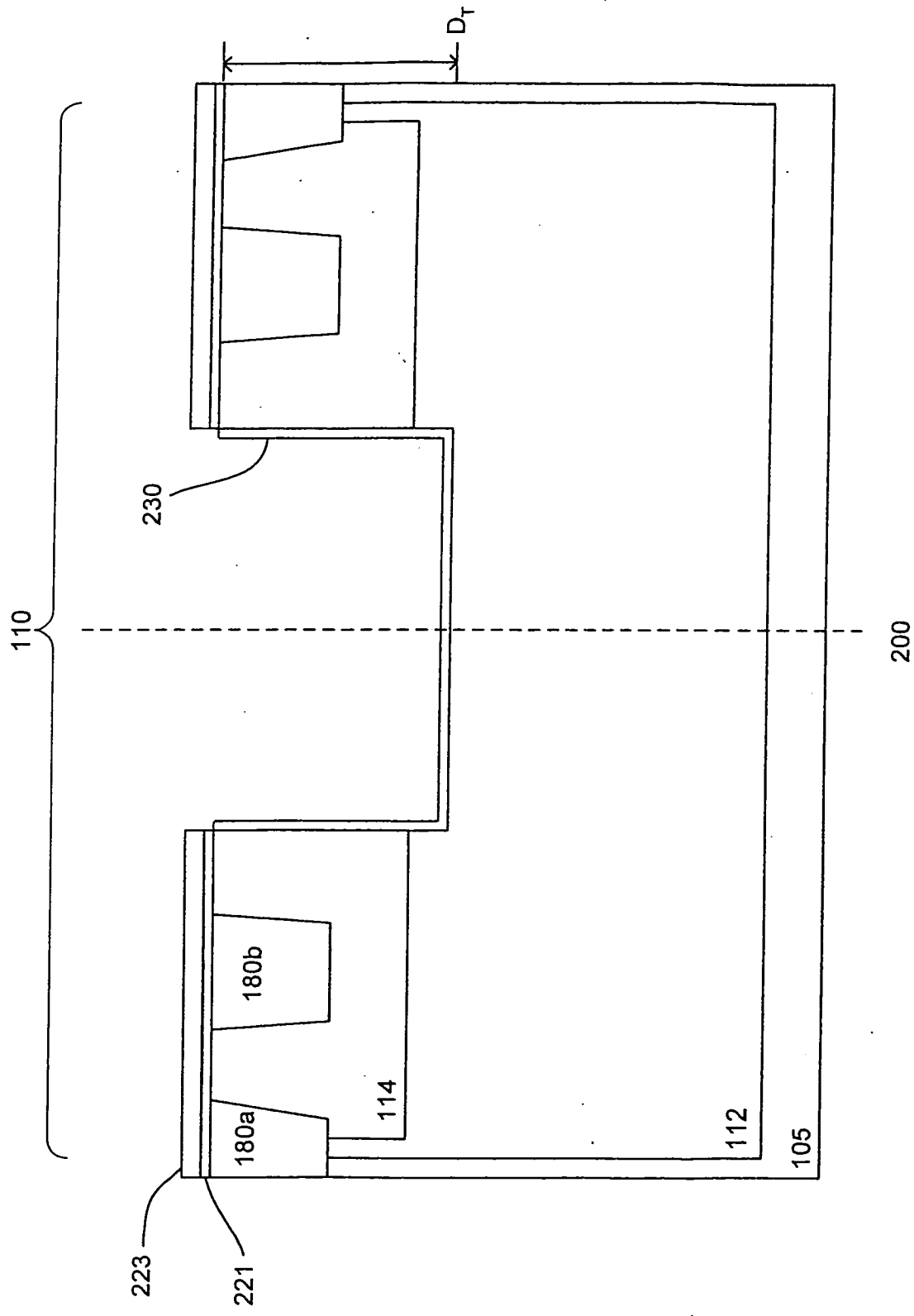
第 1b 圖



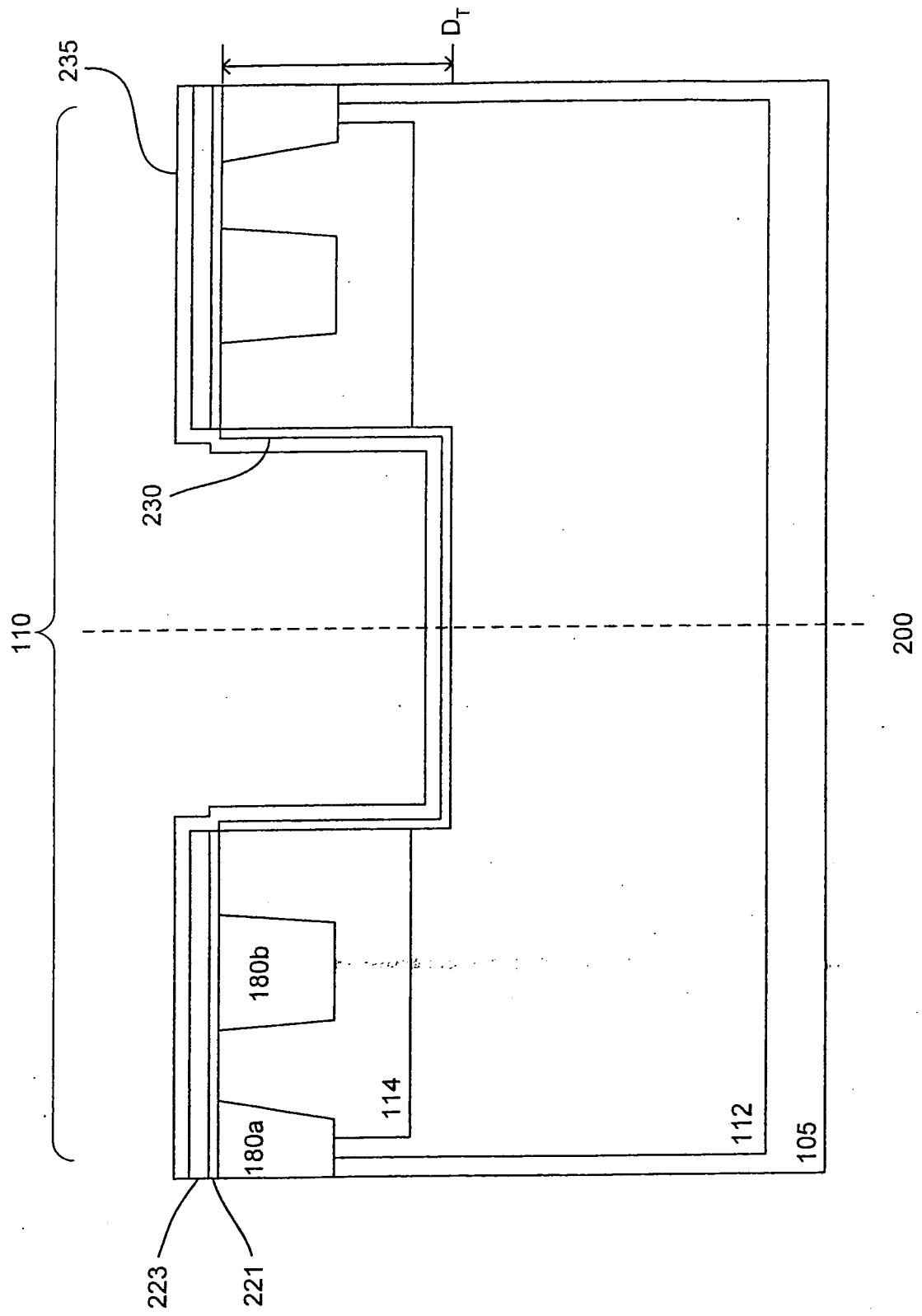
第 2a 圖



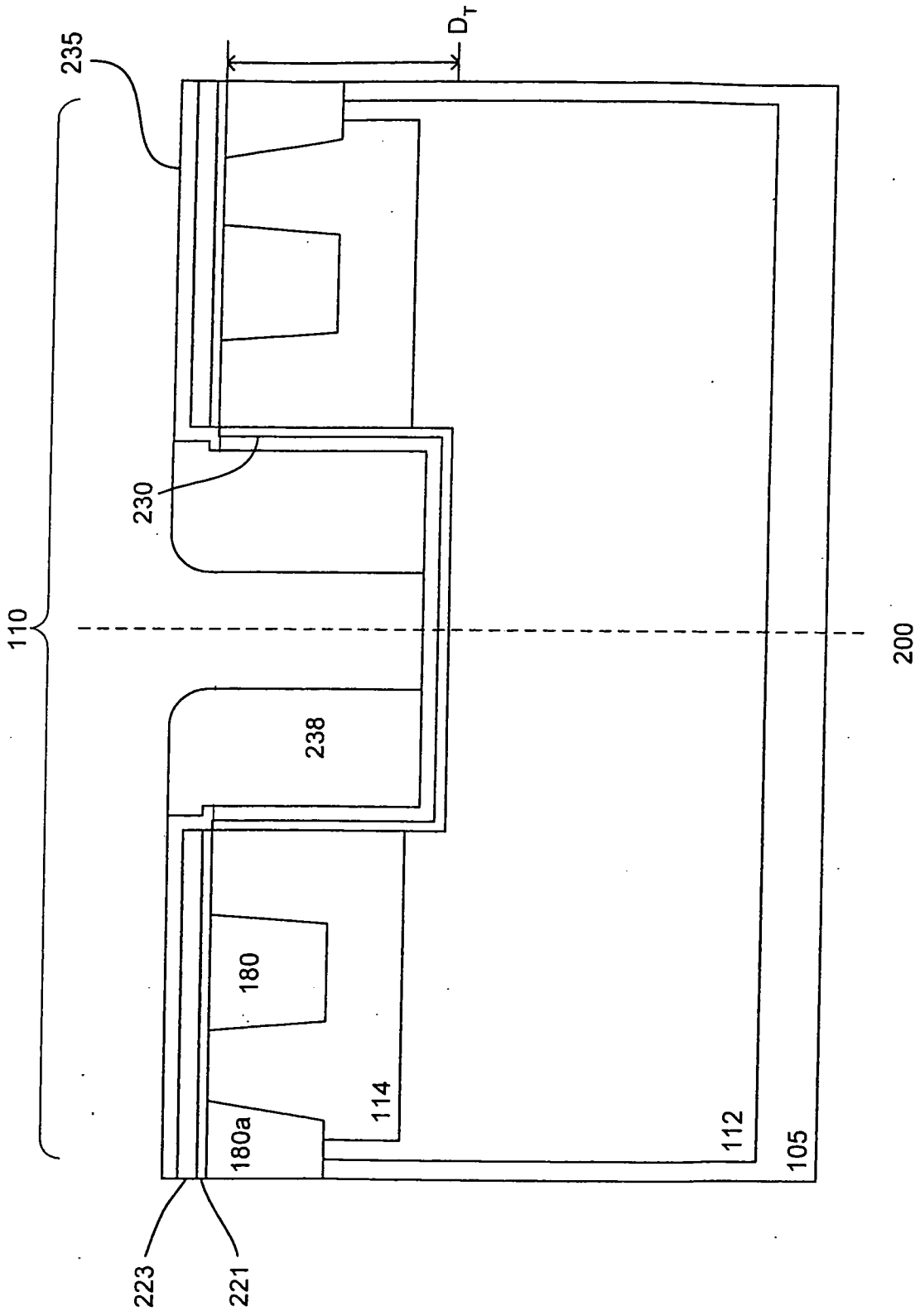
第 2b 圖



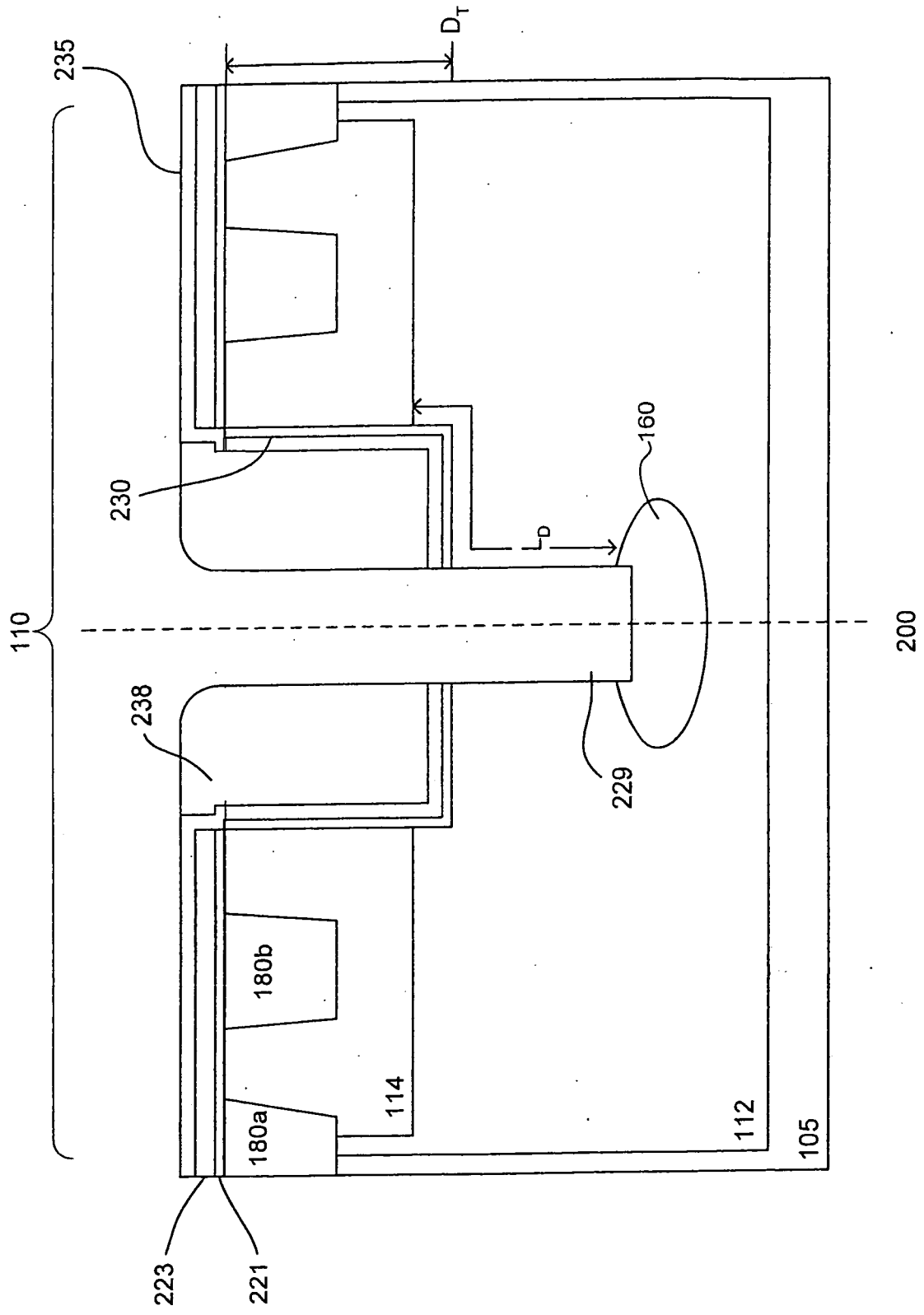
第 2C 圖



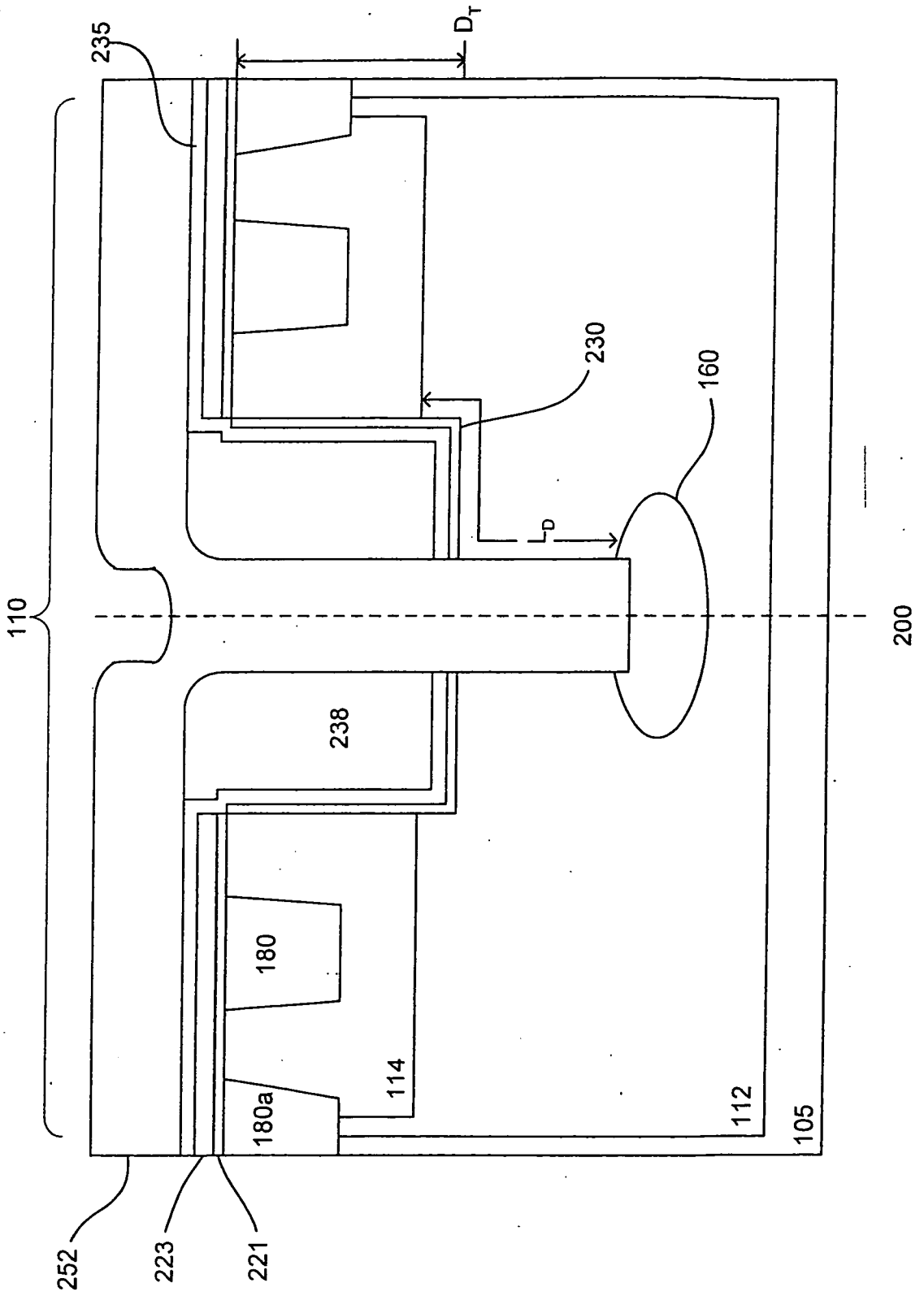
第 2d 圖



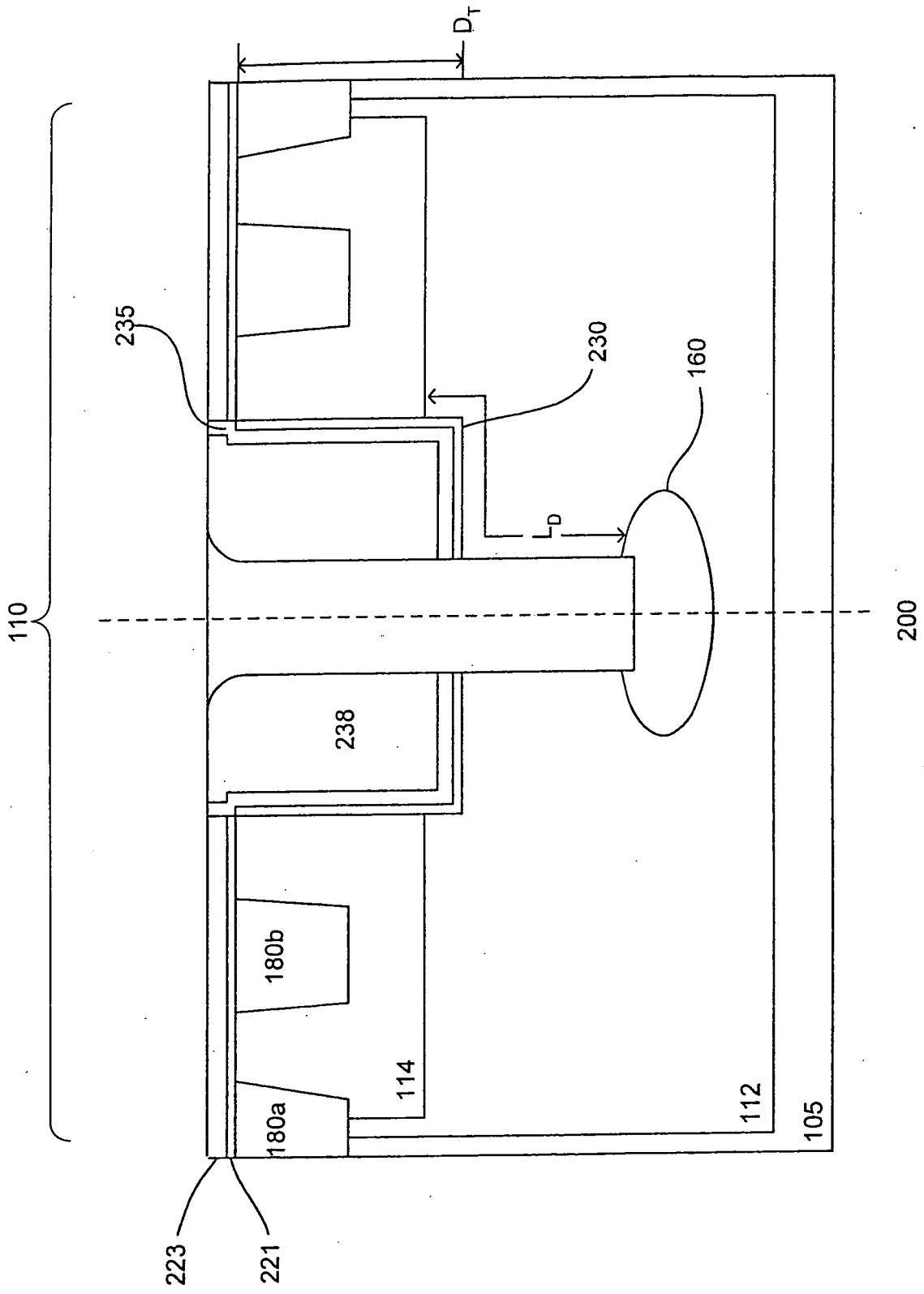
第 2e 圖



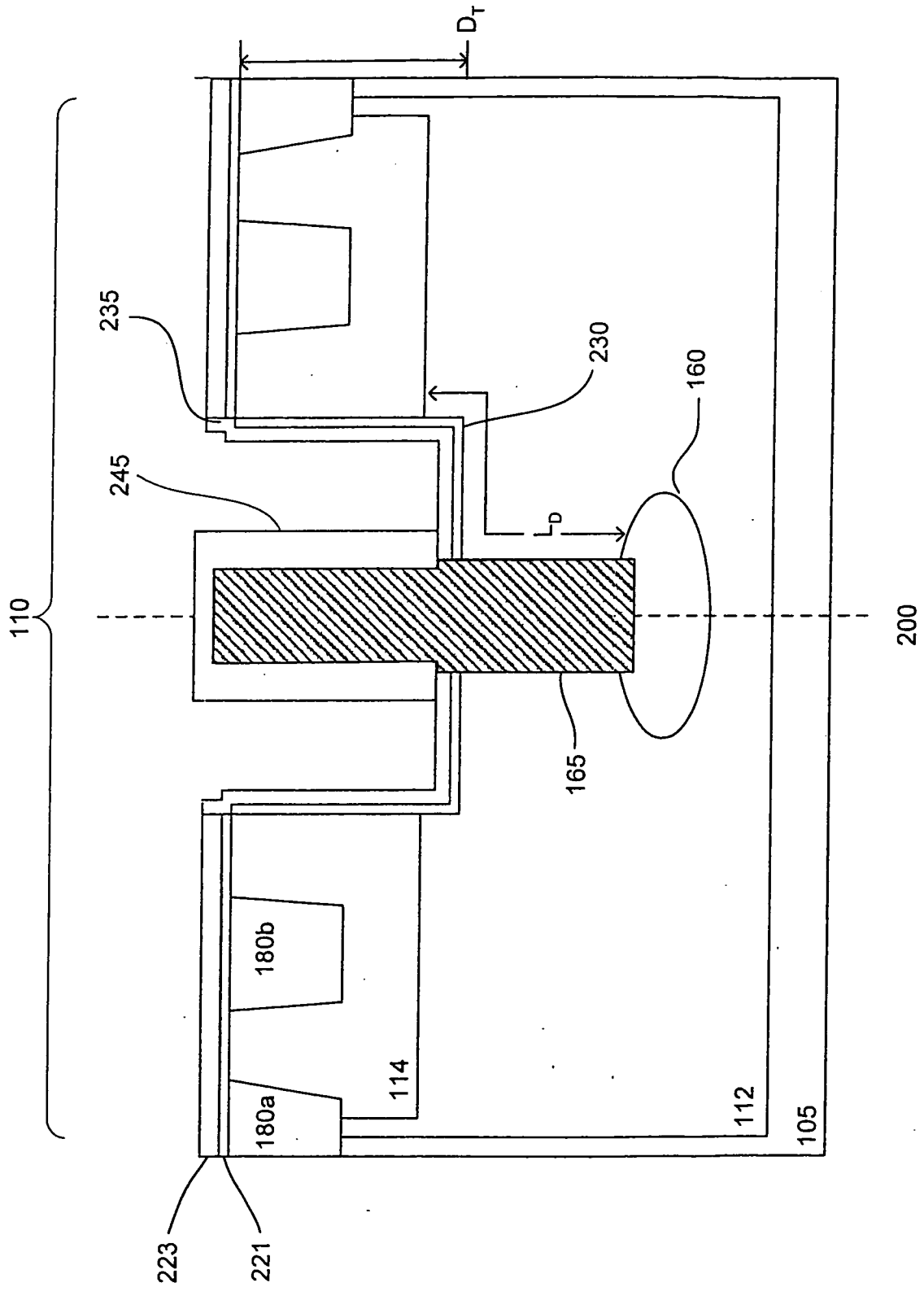
第 2f 圖



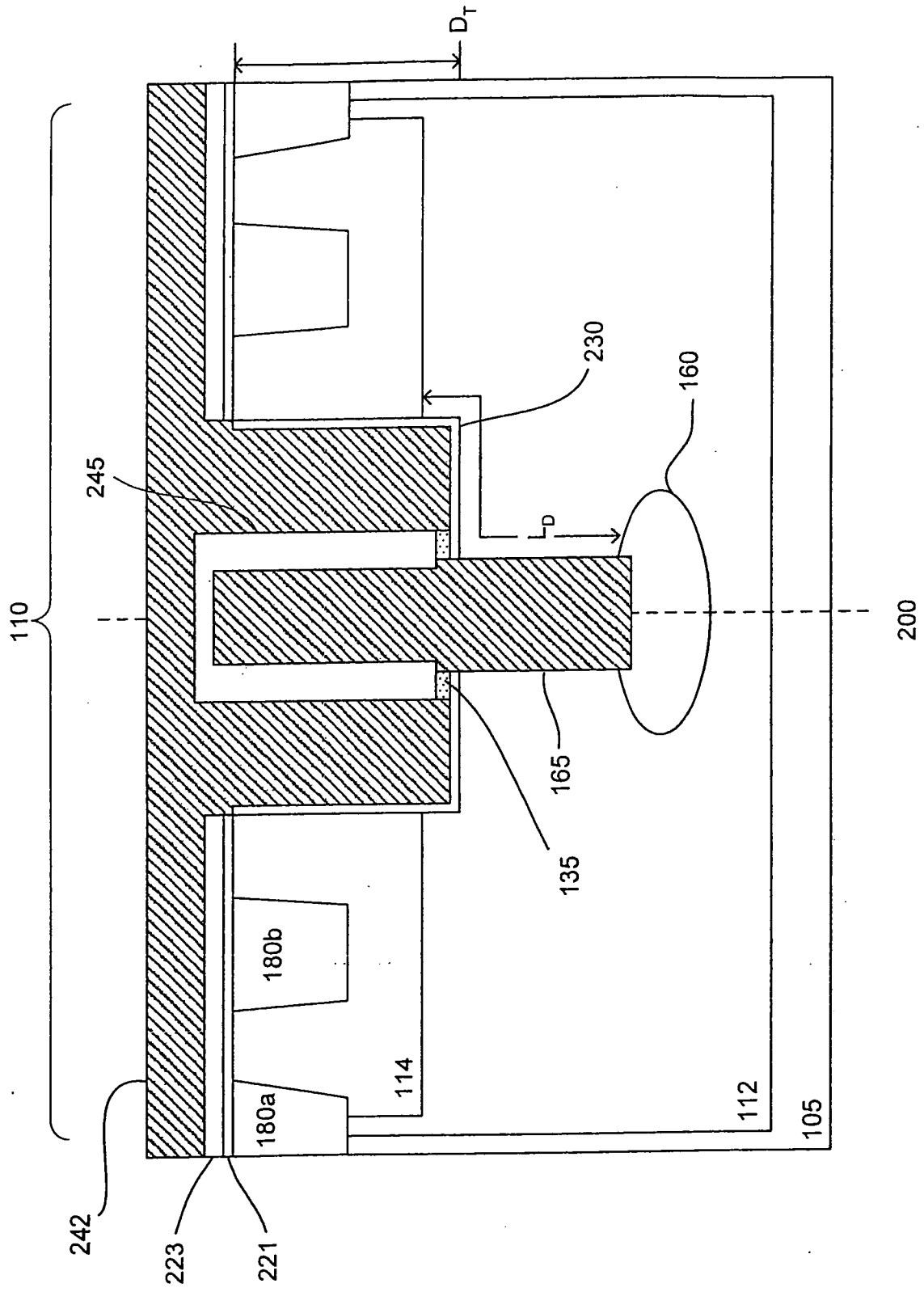
第 2g 圖



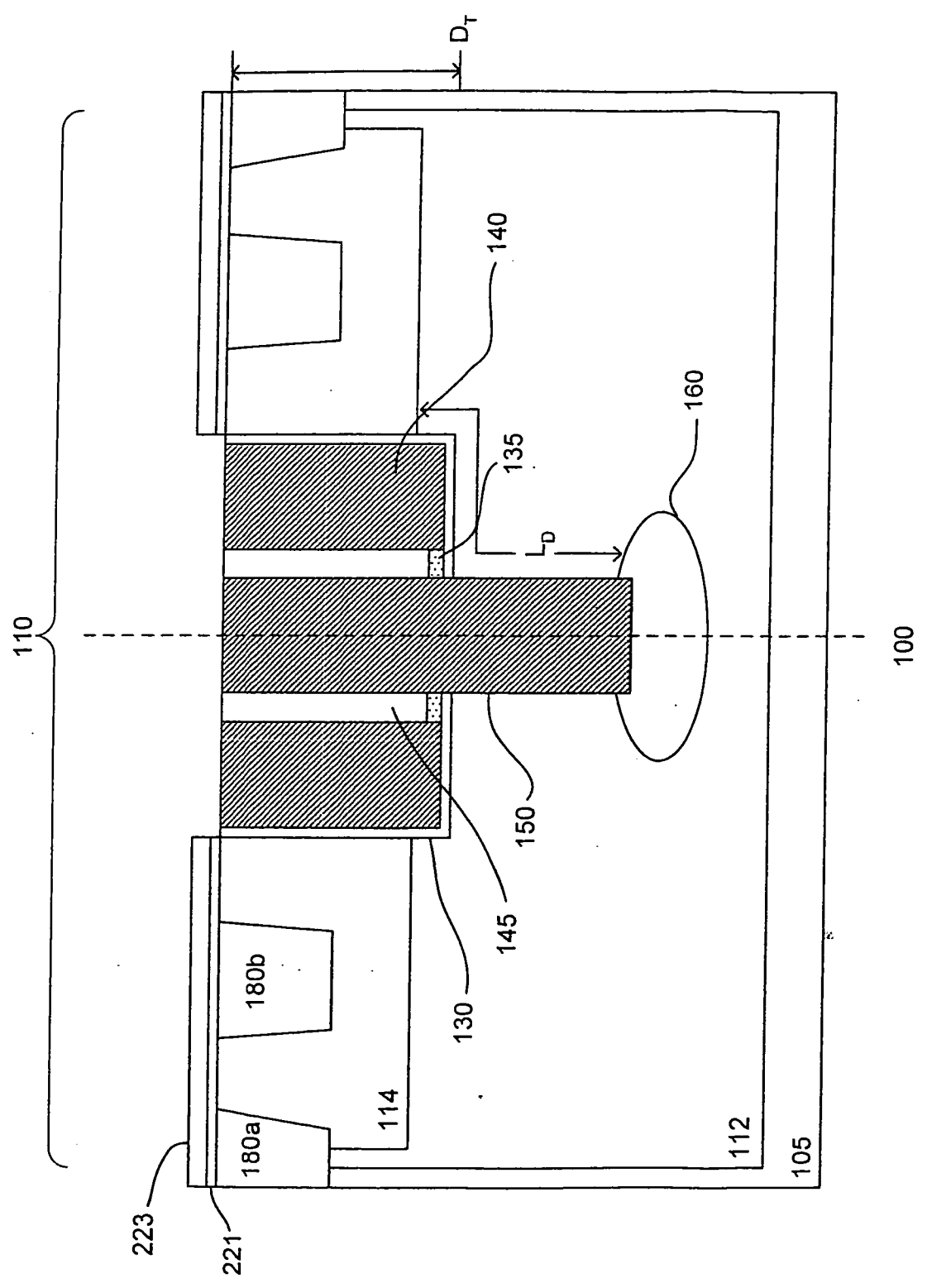
第2h圖



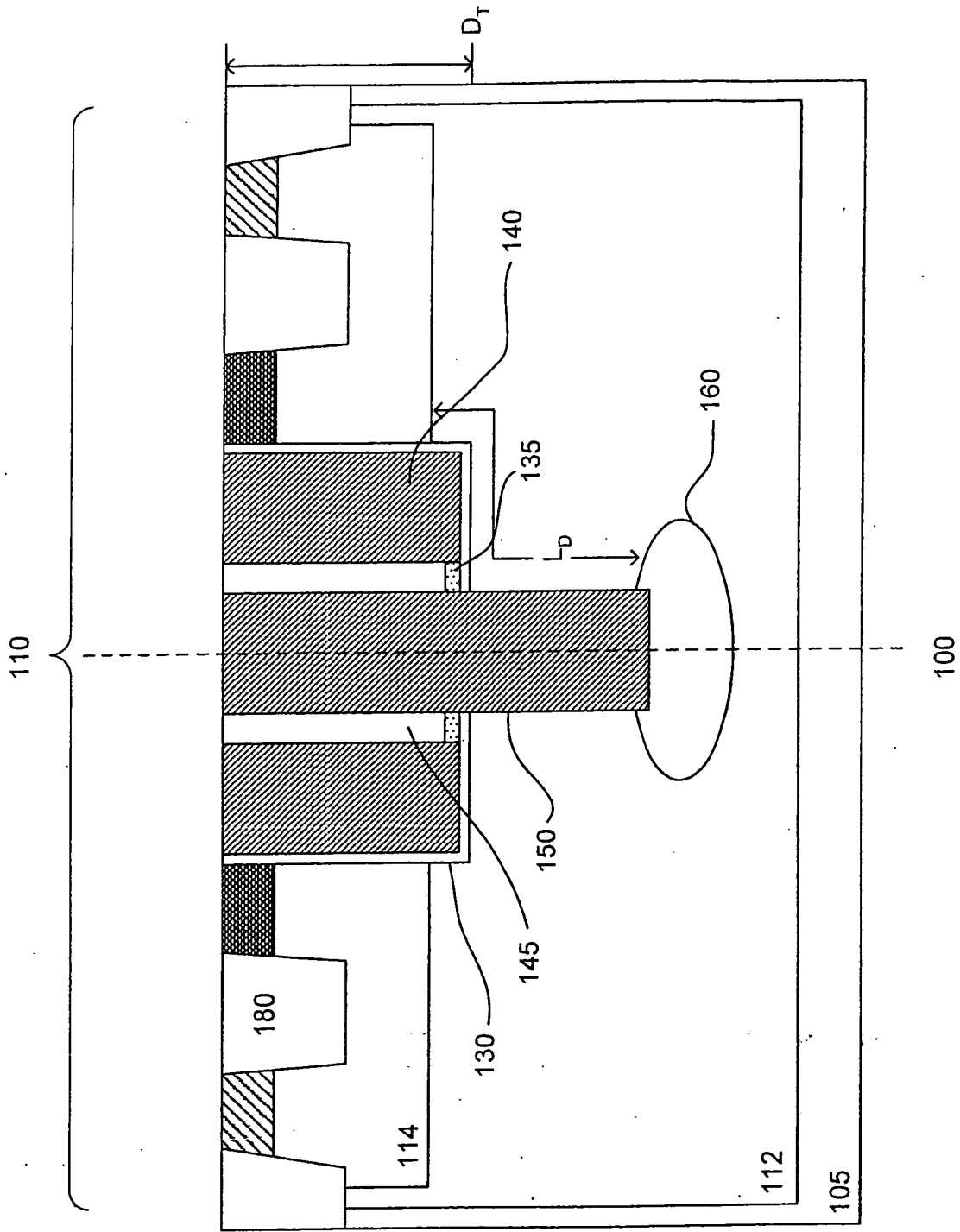
第 2i 圖



第2j圖



第 2k 圖



第 21 圖