

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02017/098909

発行日 平成30年9月27日 (2018. 9. 27)

(43) 国際公開日 平成29年6月15日 (2017. 6. 15)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 19/0175 (2006.01)	H03K 19/0175 220	5J056
H03K 19/0185 (2006.01)	H03K 19/0185	
H03K 19/094 (2006.01)	H03K 19/094	

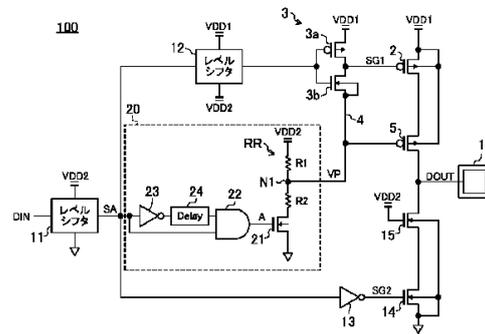
審査請求 未請求 予備審査請求 未請求 (全 20 頁)

出願番号 特願2017-555003 (P2017-555003)	(71) 出願人 514315159 株式会社ソシオネクスト 神奈川県横浜市港北区新横浜 2 丁目 1 0 番 2 3
(21) 国際出願番号 PCT/JP2016/084466	
(22) 国際出願日 平成28年11月21日 (2016. 11. 21)	
(31) 優先権主張番号 特願2015-239569 (P2015-239569)	(74) 代理人 110001427 特許業務法人前田特許事務所
(32) 優先日 平成27年12月8日 (2015. 12. 8)	(72) 発明者 飯田 真久 神奈川県横浜市港北区新横浜二丁目 1 0 番 2 3 株式会社ソシオネクスト内
(33) 優先権主張国 日本国 (JP)	(72) 発明者 祇園 雅弘 神奈川県横浜市港北区新横浜二丁目 1 0 番 2 3 株式会社ソシオネクスト内
	F ターム (参考) 5J056 AA04 BB02 BB51 CC05 CC14 CC21 DD13 DD28 DD55 EE08 EE11 FF08 KK01 最終頁に続く

(54) 【発明の名称】 出力回路

(57) 【要約】

出力トランジスタ (2) は、ソースが VDD1 に、ドレインが出力端子 (1) に接続されている。プリドライバ (3) は、データ入力信号 (DIN) に応じて変化する信号を受け、VDD1 と電源端 (4) の電位 (VP) との間を遷移するゲート信号 (SG1) を出力トランジスタ (2) のゲートに与える。駆動アシスト回路 (20) は、出力ノード (N1) から VDD2 を出力し、かつ、アシスト信号 (SA) が、ゲート信号 (SG1) のハイからローへの遷移に対応する第 1 遷移を行ったとき、出力ノード (N1) の電位を VDD2 から一時的に下げるアシスト動作を行う。



11, 12 Level shifter

【特許請求の範囲】**【請求項 1】**

データ入力信号を受け、前記データ入力信号に応じて変化する出力信号を出力する出力回路であって、

前記出力信号を出力する出力端子と、

ソースが第 1 電位を与える第 1 電源に接続されており、ドレインが前記出力端子に接続されている、P 型の出力トランジスタと、

前記第 1 電源と、前記第 1 電位よりも低い電位が供給される電源端とに接続されており、前記データ入力信号に応じて変化する信号を受け、受けた信号に応じて前記第 1 電位と前記電源端の電位との間を遷移する信号を、前記出力トランジスタのゲートにゲート信号として与えるブリドライバと、

前記第 1 電位よりも低い第 2 電位を与える第 2 電源と接続されており、出力ノードから前記電源端に前記第 2 電位を供給する駆動アシスト回路とを備え、

前記駆動アシスト回路は、

前記データ入力信号、または、前記データ入力信号に応じて変化する信号をアシスト信号として受け、前記アシスト信号が、前記ゲート信号のハイレベルからローレベルへの遷移に対応する第 1 遷移を行ったとき、前記出力ノードの電位を前記第 2 電位から一時的に下げるアシスト動作を行う

ことを特徴とする出力回路。

【請求項 2】

請求項 1 記載の出力回路において、

前記駆動アシスト回路は、

前記アシスト信号を受け、前記アシスト信号が前記第 1 遷移を行ったとき、所定のパルス幅を有するパルスを出力するパルス生成回路と、

直列に接続された複数の抵抗部からなり、一端が前記第 2 電源と接続されており、抵抗部同士の接続ノードのいずれかが前記出力ノードとなる抵抗列と、

前記抵抗列の他端と接地電源との間に設けられており、前記パルス生成回路の出力を受け、前記パルス生成回路から前記パルスが出力される時は導通状態になり、前記パルス生成回路から前記パルスが出力されない時は非導通状態になるスイッチング素子とを備えたものである

ことを特徴とする出力回路。

【請求項 3】

請求項 2 記載の出力回路において、

前記駆動アシスト回路は、

前記アシスト信号を受け、前記アシスト信号が前記第 1 遷移を行ったとき、前記パルスよりもパルス幅が短い第 2 パルスを出力する第 2 パルス生成回路と、

前記出力ノードと前記接地電源との間に設けられており、前記第 2 パルス生成回路の出力を受け、前記第 2 パルス生成回路から前記第 2 パルスが出力される時は導通状態になり、前記第 2 パルス生成回路から前記第 2 パルスが出力されない時は非導通状態になる第 2 スwitching素子とを備えたものである

ことを特徴とする出力回路。

【請求項 4】

請求項 1 記載の出力回路において、

前記出力信号の変化をモニタし、前記出力信号に応じて変化するモニタ信号を出力するモニタ回路を備え、

前記駆動アシスト回路は、

前記モニタ信号を受け、前記アシスト信号が前記第 1 遷移を行うことによって前記アシスト動作を開始してから、前記モニタ信号に、前記出力信号がローレベルからハイレベルに遷移したことを示す変化が生じたとき、前記アシスト動作を停止する

ことを特徴とする出力回路。

10

20

30

40

50

【請求項 5】

請求項 1 記載の出力回路において、
前記駆動アシスト回路は、
前記アシスト動作における前記出力ノードの電位が、前記第 1 電位の低下に伴って低下するように、構成されている
ことを特徴とする出力回路。

【請求項 6】

請求項 5 記載の出力回路において、
前記駆動アシスト回路は、
前記アシスト信号を受け、前記アシスト信号が前記第 1 遷移を行ったとき、所定のパルス幅を有し、ハイレベルになるパルスを入力するパルス生成回路と、
1 つの、または、直列に接続された複数の、ダイオード接続された P 型トランジスタからなり、一端が前記第 1 電源と接続されており、他端が前記出力ノードとなるダイオード列と、
前記第 2 電源と前記出力ノードとの間に設けられており、前記パルス生成回路の出力をゲートに受ける P 型トランジスタと、
前記出力ノードと接地電源との間に設けられており、前記パルス生成回路の出力をゲートに受ける N 型トランジスタとを備えたものである
ことを特徴とする出力回路。

【請求項 7】

請求項 1 ~ 6 のうちいずれか 1 項記載の出力回路において、
前記出力トランジスタのドレインは、前記出力端子に、他のトランジスタを介してカスケード接続されている
ことを特徴とする出力回路。

【請求項 8】

請求項 1 ~ 6 のうちいずれか 1 項記載の出力回路において、
前記出力トランジスタのドレインは、直接、前記出力端子に接続されている
ことを特徴とする出力回路。

【請求項 9】

請求項 8 記載の出力回路において、
前記出力トランジスタは、L D M O S (Laterally Diffused MOS(Metal Oxide Semiconductor))である
ことを特徴とする出力回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、半導体集積回路装置に用いられる出力回路に関する。

【背景技術】**【0002】**

半導体集積回路装置では、外部と信号入出力を行うインターフェース回路において、高速動作と低消費電力の両方が求められている。高速動作と低消費電力をともに実現するために、I O トランジスタとしては、低電圧例えば 1 . 8 V で動作するトランジスタが用いられる。一方で、インターフェース回路は、高電圧例えば 3 . 3 V の信号が入出力可能なように構成しなければならない。

【0003】

特許文献 1 では、高電圧の信号を外部に出力する出力回路を、低電圧で動作するトランジスタを用いて構成する技術が開示されている。この技術では、高電圧の電源と出力パッドとの間に、低電圧トランジスタをカスケードに接続することによって、低電圧トランジスタのソース・ドレイン間の電圧を緩和している。出力信号を駆動する P 型トランジスタは、ソースは高電圧電源に接続され、ドレインは他のトランジスタを介して出力パッドに

接続され、ゲートには、高電圧と低電圧との間を遷移する信号が与えられる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-60201号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところが、特許文献1の構成では、外部から供給される電源電圧にばらつきが生じたとき、出力信号の遅延が増大する可能性がある。すなわち、出力信号を駆動するP型トランジスタを導通状態にする際のゲート・ソース間電圧は、高電圧電源の電圧と低電圧電源の電圧との差に相当する電圧である。ところが、この電圧は、高電圧電源の電圧が低下したり、低電圧電源の電圧が上昇したりすると、大きく減少する。導通状態にする際のゲート・ソース間電圧の減少は、P型トランジスタの駆動能力の低下につながり、ひいては出力信号の遅延の増大が生じる。一方、出力信号の遅延を抑制すべくP型トランジスタの駆動能力を補うためには、トランジスタサイズを大きくすればよいが、これは回路面積の増大につながるため、好ましくない。

10

【0006】

本開示は、回路面積の増大を招くことなく、高速動作が可能な出力回路を提供することを目的とする。

20

【課題を解決するための手段】

【0007】

本開示の態様では、データ入力信号を受け、前記データ入力信号に応じて変化する出力信号を出力する出力回路は、前記出力信号を出力する出力端子と、ソースが第1電位を与える第1電源に接続されており、ドレインが前記出力端子に接続されている、P型の出力トランジスタと、前記第1電源と、前記第1電位よりも低い電位が供給される電源端とに接続されており、前記データ入力信号に応じて変化する信号を受け、受けた信号に応じて前記第1電位と前記電源端の電位との間を遷移する信号を、前記出力トランジスタのゲートにゲート信号として与えるプリドライバと、前記第1電位よりも低い第2電位を与える第2電源と接続されており、出力ノードから前記電源端に前記第2電位を供給する駆動アシスト回路とを備え、前記駆動アシスト回路は、前記データ入力信号、または、前記データ入力信号に応じて変化する信号をアシスト信号として受け、前記アシスト信号が、前記ゲート信号のハイレベルからローレベルへの遷移に対応する第1遷移を行ったとき、前記出力ノードの電位を前記第2電位から一時的に下げるアシスト動作を行う。

30

【0008】

この態様によると、出力回路において、出力トランジスタは、ソースが第1電位を与える第1電源に接続されており、ドレインが出力端子に接続されている。プリドライバは、第1電源と、第1電位よりも低い電位が供給される電源端とに接続されており、データ入力信号に応じて変化する信号を受け、出力トランジスタのゲートにゲート信号を与える。このゲート信号は、第1電位と、電源端の電位との間を遷移する信号である。駆動アシスト回路は、出力ノードから電源端に第2電位を供給する。また、駆動アシスト回路は、データ入力信号、または、データ入力信号に応じて変化する信号をアシスト信号として受ける。そして、アシスト信号が、ゲート信号のハイレベルからローレベルへの遷移に対応する第1遷移を行ったとき、出力ノードの電位を第2電位から一時的に下げるアシスト動作を行う。このため、ゲート信号がハイレベルからローレベルに遷移し、出力トランジスタが導通状態になって出力信号を駆動するとき、駆動アシスト回路のアシスト動作によって、出力トランジスタのゲート・ソース間電圧を一時的に大きくすることができる。これにより、出力トランジスタの駆動能力を向上させることができるので、出力信号のローレベルからハイレベルへの遷移を高速化することができる。したがって、出力トランジスタのサイズを大きくすることなく、出力回路の高速動作を実現できる。

40

50

【発明の効果】

【0009】

本開示によると、回路面積の増大を招くことなく、高速動作が可能な出力回路を実現することができる。

【図面の簡単な説明】

【0010】

【図1】第1実施形態に係る出力回路の回路構成図

【図2】図1の出力回路の動作を示す波形図

【図3】第2実施形態に係る出力回路の回路構成図

【図4】図3の出力回路の動作を示す波形図

10

【図5】第3実施形態に係る出力回路の回路構成図

【図6】図5の出力回路の動作を示す波形図

【図7】第4実施形態に係る出力回路の回路構成図

【図8】第4実施形態に係る出力回路の他の例の回路構成図

【図9】他の実施形態に係る出力回路の回路構成図

【発明を実施するための形態】

【0011】

以下、実施の形態について、図面を参照して説明する。なお、以下に示す回路構成図では、本開示に関わる構成要素を中心に簡略化して図示を行っている。このため例えば、直接的に接続されているように図示された構成要素が、実際の回路構成では、その間に他の構成要素が配置されており、間接的に接続されている場合がある。

20

【0012】

(第1実施形態)

図1は第1実施形態に係る出力回路の回路構成図である。図1の出力回路100は、データ入力信号DINを受け、このデータ入力信号DINに応じて変化する出力信号DOUTを出力する。出力信号DOUTは出力端子1から出力される。この出力回路100は例えば、LSIの信号出力部に設けられる。この場合、LSIの出力パッドが出力端子1に相当する。

【0013】

出力回路100は、第1電源VDD1と、第2電源VDD2とに接続されている。なお、本願明細書では、「VDD1」「VDD2」は、電源自体と、その電源が与える電位との両方を表す符号として用いる。第1電位VDD1は例えば3.3Vであり、第2電位VDD2は第1電位VDD1よりも低く例えば1.8Vである。データ入力信号DINは低振幅の信号であり、例えば接地電位GND~0.9Vの間で遷移する。出力信号DOUTは、接地電位GND~第1電位VDD1の間で遷移する。

30

【0014】

出力回路100は、レベルシフタ11, 12と、インバータ3, 13と、P型トランジスタ2, 5と、N型トランジスタ14, 15とを備えている。各トランジスタは、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)であるものとする。レベルシフタ11は、低振幅のデータ入力信号DINを受け、接地電位GND~第2電位VDD2の間で遷移する信号SAに変換し出力する。レベルシフタ12は、信号SAを、第2電位VDD2~第1電位VDD1の間で遷移する信号に変換し、インバータ3に与える。

40

【0015】

インバータ3は、ゲート同士およびドレイン同士が接続されたP型トランジスタ3aおよびN型トランジスタ3bからなり、第1電源VDD1と、第1電位VDD1よりも低い電位VPが供給される電源端4とに接続されている。プリドライバの一例であるインバータ3は、レベルシフタ12から受けた信号を反転し、ゲート信号SG1としてP型トランジスタ2のゲートに与える。ゲート信号SG1は、第1電位VDD1と電源端4の電位VPとの間を遷移する信号である。なお、通常状態では、電位VPとして第2電位VDD2が供給されている。

50

【 0 0 1 6 】

出力トランジスタとしてのP型トランジスタ2は、ソースが第1電源VDD1に接続されており、ドレインがP型トランジスタ5を介して出力端子1に接続されている。すなわち、P型トランジスタ2は、出力端子1にカスケード接続されている。ゲート信号SG1がハイレベル(VDD1)からローレベル(VP)に遷移したとき、P型トランジスタ2は非導通状態から導通状態に変化する。これにより、出力信号DOU Tの電位は第1電位VDD1に向かって引き上げられ、出力信号DOU Tはハイレベル(VDD1)に遷移する。

【 0 0 1 7 】

また、インバータ13は、信号SAを反転し、ゲート信号SG2としてN型トランジスタ14のゲートに与える。N型トランジスタ14は、ソースが接地されており、ドレインがN型トランジスタ15を介して出力端子1に接続されている。ゲート信号SG2がローレベル(GND)からハイレベル(VDD2)に遷移したとき、N型トランジスタ14は非導通状態から導通状態に変化する。これにより、出力信号DOU Tの電位は接地電位GNDに向かって引き下げられ、出力信号DOU Tはローレベル(GND)に遷移する。

10

【 0 0 1 8 】

出力回路100は、さらに、駆動アシスト回路20を備えている。駆動アシスト回路20は、第2電源VDD2と接続されており、出力ノードN1から電位VPを供給する。出力ノードN1は電源端4と接続されており、またP型トランジスタ5のゲートにも接続されている。駆動アシスト回路20は、後述するアシスト動作を行わないときは、出力ノードN1から電位VPとして第2電位VDD2を出力する。このとき、駆動アシスト回路20から電源端4に第2電位VDD2が供給されるので、インバータ3から出力されるゲート信号SG1は、第1電位VDD1と第2電位VDD2との間を遷移する信号になる。また駆動アシスト回路20は、アシスト信号としての信号SAがローレベルからハイレベルに遷移したとき、出力ノードN1の電位VPを第2電位VDD2から一時的に引き下げるアシスト動作を行う。ここで、信号SAのローレベルからハイレベルへの遷移は、インバータ3から出力されるゲート信号SG1のハイレベルからローレベルへの遷移に対応している。

20

【 0 0 1 9 】

駆動アシスト回路20は、具体的には、ソースが接地されたN型トランジスタ21と、ANDゲート22と、信号SAを受けるインバータ23と、インバータ23の出力信号を受け遅延回路24と、第2電源VDD2とN型トランジスタ21のドレインとの間に直列に接続された抵抗部R1, R2からなる抵抗列RRとを備えている。抵抗部R1, R2の接続ノードが、駆動アシスト回路20の出力ノードN1となっている。ANDゲート22は、信号SAと、遅延回路24の出力とを入力とし、その出力AがN型トランジスタ21のゲートに与えられる。出力Aは、信号SAがローレベルからハイレベルに遷移してから、所定時間の間、ハイレベルになる。すなわち、ANDゲート22、インバータ23および遅延回路24によって、信号SAがローレベルからハイレベルに遷移したとき、所定のパルス幅を有するパルスを出力するパルス生成回路が構成されている。出力Aがローレベルのときは、N型トランジスタ21は非導通状態になる。このとき、出力ノードN1の電位VPは第2電位VDD2になる。一方、出力Aがハイレベルのときは、N型トランジスタ21は導通状態になる。このとき、出力ノードN1の電位VPは、第2電位VDD2を抵抗部R1, R2の抵抗比で分圧して得られた電位(ここでは電位Vaとする)になる。N型トランジスタ21は、パルス生成回路からパルスが出力されるときは導通状態になり、パルス生成回路からパルスが出力されないときは非導通状態になるスイッチング素子の一例である。

30

40

【 0 0 2 0 】

図1の回路の動作について、図2の波形図を用いて説明する。なお図2では、分かりやすくするために、電位VPに関してのみ、その変化を他の信号や電位と比べて4倍程度に強調して示している。

50

【0021】

データ入力信号DINがローレベルのとき、レベルシフタ11から出力される信号SAはローレベル(GND)である。このとき、インバータ3から出力されるゲート信号SG1はハイレベル(VDD1)であり、P型トランジスタ2は非導通状態である。一方、インバータ13から出力されるゲート信号SG2(図示せず)はハイレベル(VDD2)であり、N型トランジスタ14は導通状態である。この結果、出力信号DOUはローレベル(GND)である。また、駆動アシスト回路20において、出力Aはローレベル(GND)のままであり、N型トランジスタ21は非導通状態である。このため、出力ノードN1の電位VPは第2電位VDD2に保たれる。

【0022】

データ入力信号DINがハイレベルに遷移したとき、レベルシフタ11から出力される信号SAはハイレベル(VDD2)に遷移する。これにより、インバータ3から出力されるゲート信号SG1はローレベルに遷移し、P型トランジスタ2は出力信号DOUの電位を引き上げ始める。ただしこのとき、駆動アシスト回路20において、出力Aは所定時間の間、ハイレベルになる。出力Aがハイレベルのとき、N型トランジスタ21は導通状態になるため、出力ノードN1の電位VPは、第2電位VDD2から電位Vaに向かって低下する。これにより、電源端4が第2電位VDD2から下がるため、インバータ3から出力されるゲート信号SG1の電位は第2電位VDD2からさらに低下する。出力Aがローレベルに戻ると、N型トランジスタ21は非導通状態になるため、出力ノードN1の電位VPは第2電位VDD2に戻り、ゲート信号SG1の電位も第2電位VDD2に戻る。

【0023】

すなわち、データ入力信号DINがローレベルからハイレベルに遷移したとき、P型トランジスタ2が受けるゲート信号SG1の電位が、所定時間の間、外部電源から供給される第2電位VDD2から、さらに引き下げられる。これにより、P型トランジスタ2のゲート・ソース間電圧を一時的に大きくすることができ、P型トランジスタ2による出力信号DOUの駆動能力を向上させることができる。したがって、出力信号DOUのローレベルからハイレベルへの遷移を高速化することができる。

【0024】

また、図1の構成では、外部電源から供給される第1電位VDD1、第2電位VDD2のばらつきにも対応することができる。すなわち、第1電位VDD1が低下したり第2電位VDD2が上昇したりすると、P型トランジスタ2のゲート・ソース間電圧が低下し、駆動能力が下がる。ところが、本実施形態では、ゲート信号SG1がハイレベルからローレベルに遷移してから所定時間の間、P型トランジスタ2のゲート・ソース間電圧を十分大きくすることができる。

【0025】

このように本実施形態によると、出力回路100において、駆動アシスト回路20は、アシスト信号SAが、ゲート信号SG1のハイレベルからローレベルへの遷移に対応する第1遷移を行ったとき、出力ノードN1の電位VPを第2電位VDD2から一時的に下げるアシスト動作を行う。このため、ゲート信号SG1がハイレベルからローレベルに遷移し、P型トランジスタ2が導通状態になって出力信号DOUを駆動するとき、駆動アシスト回路20のアシスト動作によって、P型トランジスタ2のゲート・ソース間電圧を一時的に大きくすることができる。これにより、P型トランジスタ2の駆動能力を向上させることができるので、出力信号DOUのローレベルからハイレベルへの遷移を高速化することができる。したがって、P型トランジスタ2のサイズを大きくすることなく、出力回路100の高速動作を実現できる。

【0026】

なお、図1の構成では、抵抗列RRは、2個の抵抗部R1、R2からなるものとしたが、これに限られるものではない。例えば、直列に接続された複数の抵抗部によって抵抗列RRを構成し、抵抗部同士の接続ノードのいずれかを出力ノードN1としてもよい。また、抵抗列RRを構成する抵抗部は、例えば、複数の抵抗素子を組み合わせることで実現してもよ

10

20

30

40

50

いし、あるいは、トランジスタ抵抗を用いて実現してもかまわない。

【0027】

また、図1の構成では、レベルシフタ12は第1電位VDD1と第2電位VDD2を受けるものとしたが、レベルシフタ12が、第2電位VDD2の代わりに、電源端4に供給される電位VPを受けるようにしてもかまわない。

【0028】

(第2実施形態)

図3は第2実施形態に係る出力回路の回路構成図である。図3の出力回路100Aは、図1の出力回路100とほぼ同様の構成を備えており、ここでは、すでに説明した構成についてはその詳細な説明を省略する場合がある。

10

【0029】

図3の出力回路100Aは、図1の出力回路100とは、駆動アシスト回路20Aの内部構成が異なっている。駆動アシスト回路20Aは、ソースが接地されたN型トランジスタ21と、ANDゲート22と、信号SAを受けるインバータ23と、インバータ23の出力信号を受ける遅延回路24aと、遅延回路24aの出力信号を受ける遅延回路24bと、第2電源VDD2とN型トランジスタ21のドレインとの間に直列に接続された抵抗部R1, R2からなる抵抗列RRとを備えている。駆動アシスト回路20Aの出力ノードN1は抵抗部R1, R2の接続ノードに接続されている。ANDゲート22は、信号SAと、遅延回路24bの出力とを入力とし、その出力AがN型トランジスタ21のゲートに与えられる。また、駆動アシスト回路20Aは、ソースが接地され、ドレインが出力ノードN1に接続されたN型トランジスタ25と、ANDゲート26とをさらに備えている。ANDゲート26は、信号SAと、遅延回路24aの出力とを入力とし、その出力BがN型トランジスタ25のゲートに与えられる。

20

【0030】

すなわち、ANDゲート22、インバータ23および遅延回路24a, 24bによって、信号SAがローレベルからハイレベルに遷移したとき、所定のパルス幅を有するパルスを出力するパルス生成回路が構成されている。また、ANDゲート26、インバータ23および遅延回路24aによって、信号SAがローレベルからハイレベルに遷移したとき、第2パルスを出力する第2パルス生成回路が構成されている。第2パルス生成回路から出力される第2パルスのパルス幅は、パルス生成回路から出力されるパルスのパルス幅よりも短い。また、N型トランジスタ25は、第2パルス生成回路から第2パルスが出力されるときは導通状態になり、第2パルス生成回路から第2パルスが出力されないときは非導通状態になる第2スイッチング素子の一例である。

30

【0031】

本実施形態では、駆動アシスト回路20Aは、出力ノードN1の電位VPの引き下げを、2つの経路、すなわち、N型トランジスタ21を介する経路とN型トランジスタ25を介する経路とで、行うようにしている。

【0032】

図4の波形図に示すように、出力Aは、信号SAがローレベルからハイレベルに遷移してから、所定時間の間、ハイレベルになる。また、出力Bは、信号SAがローレベルからハイレベルに遷移してから、出力Aよりも短い時間の間、ハイレベルになる。このため、信号SAがローレベルからハイレベルに遷移した当初は、出力A, Bともにハイレベルになるため、N型トランジスタ21, 25は両方とも導通状態になる。これにより、出力ノードN1の電位VPは高速に引き下げられる。その後、出力BがローレベルになるとN型トランジスタ25は非導通状態になり、出力ノードN1の電位VPの引き下げはN型トランジスタ21のみによって行われる。そして、電位VPは、第2電位VDD2を抵抗部R1, R2の抵抗比で分圧して得られた電位Vaになる。

40

【0033】

本実施形態によると、第1の実施形態と同様に、データ入力信号DINがローレベルからハイレベルに遷移したとき、P型トランジスタ2が受けるゲート信号SG1の電位が、

50

所定時間の間、外部電源から供給される第2電位VDD2からさらに引き下げられる。これにより、P型トランジスタ2のゲート・ソース間電圧を一時的に大きくすることができ、P型トランジスタ2による出力信号DOU Tの駆動能力を向上させることができる。したがって、出力信号DOU Tのローレベルからハイレベルへの遷移を高速化することができる。

【0034】

さらに、本実施形態では、出力ノードN1の電位VPの引き下げを、高速に、かつ、高精度に行うことができる。第1実施形態の構成において、電位VPの引き下げを高速に行うためには、抵抗列RRの抵抗部R1, R2を低抵抗化する必要がある。ところが、半導体デバイスでは、低抵抗化するためには素子のサイズを大きくする必要があるため、回路面積が増大する。本実施形態では、N型トランジスタ25によって高速に電位VPを引き下げ、最終的な電位Vaは抵抗列RRによって精度よく設定することができる。これにより、抵抗列RRの抵抗部R1, R2は高抵抗であってもかまわないため、回路面積の増大を抑えることができる。

10

【0035】

(第3実施形態)

図5は第3実施形態に係る出力回路の回路構成図である。図5の出力回路100Bは、図3の出力回路100Aとほぼ同様の構成を備えており、ここでは、すでに説明した構成についてはその詳細な説明を省略する場合がある。

20

【0036】

図5の出力回路100Bは、図3の出力回路100Aと対比すると、出力信号DOU Tの変化を駆動アシスト回路20Bにフィードバックする構成を備えている。駆動アシスト回路20Bは、図3における駆動アシスト回路20AにおけるANDゲート22, 26を3入力ANDゲート22A, 26Aに置き換えた構成を有している。そして、出力回路100Bは、N型トランジスタ14, 15の接続ノードにおける電位を受けるラッチ回路31と、ラッチ回路31の出力を受ける遅延回路32とを備えている。遅延回路32から出力される信号SMは、出力信号DOU Tの変化を検知するモニタ信号として、3入力ANDゲート22A, 26Aに1つの入力として与えられる。ラッチ回路31および遅延回路32によって、出力信号DOU Tの変化をモニタし、出力信号DOU Tに応じて変化するモニタ信号SMを出力するモニタ回路が構成されている。

30

【0037】

図6の波形図に示すように、信号SMは、出力信号DOU Tがローレベルからハイレベルに遷移する際に、N型トランジスタ14, 15の接続ノードにおける電位が所定レベルまで上昇したとき、ハイレベルからローレベルに遷移する。ただし、この遷移のタイミングは遅延回路32によって調整される。この信号SMの変化は、出力信号DOU Tがローレベルからハイレベルに遷移したことを示す。駆動アシスト回路20Bの出力ノードN1における電位VPは、第2実施形態で説明したとおり、信号SAがローレベルからハイレベルに遷移してから引き下げられる。ところが、信号SMがハイレベルからローレベルに遷移すると、3入力ANDゲート22A, 26Aの出力A, Bは両方とも強制的にローレベルになり、出力ノードN1の電位VPは第2電位VDD2に戻る。

40

【0038】

すなわち、駆動アシスト回路20Bに、信号SMをフィードバックすることによって、出力信号DOU Tが高速に駆動されたときは、駆動アシスト回路20Bによるアシスト動作を停止させることができる。これにより、駆動アシスト回路20Bにおける余分な電流消費を抑制することができる。

【0039】

なお、本実施形態では、出力信号DOU Tの変化を検知するために、N型トランジスタ14, 15の接続ノードにおける電位をモニタするものとしたが、出力信号DOU Tの変化を検知する手法はこれに限られるものではない。例えば、出力信号DOU Tを直接モニタしてもよいし、LSIの中に出力信号DOU Tを入力とする回路部が存在する場合には

50

、その回路部から出力信号 D O U T の変化をモニタするようにしてもよい。

【 0 0 4 0 】

また、第 1 実施形態や他の構成において、本実施形態で開示したような出力信号 D O U T の変化をフィードバックする構成を適用してもよいことはいうまでもない。

【 0 0 4 1 】

(第 4 実施形態)

図 7 は第 4 実施形態に係る出力回路の回路構成図である。図 7 の出力回路 1 0 0 C は、図 1 の出力回路 1 0 0 とほぼ同様の構成を備えており、ここでは、すでに説明した構成についてはその詳細な説明を省略する場合がある。

【 0 0 4 2 】

図 7 の出力回路 1 0 0 C は、図 1 の出力回路 1 0 0 とは、駆動アシスト回路 2 0 C の内部構成が異なっている。駆動アシスト回路 2 0 C は、図 1 に示す駆動アシスト回路 2 0 と同様に、ソースが接地された N 型トランジスタ 2 1 と、AND ゲート 2 2 と、信号 S A を受けるインバータ 2 3 と、インバータ 2 3 の出力信号を受ける遅延回路 2 4 とを備えている。AND ゲート 2 2 は、信号 S A と、遅延回路 2 4 の出力とを入力とし、出力 A が N 型トランジスタ 2 1 のゲートに与えられる。N 型トランジスタ 2 1 のドレインが出力ノード N 1 になっている。駆動アシスト回路 2 0 C はさらに、ダイオード接続された P 型トランジスタ 2 7 a , 2 7 b , 2 7 c からなるダイオード列 2 7 と、P 型トランジスタ 2 8 とを備えている。ダイオード列 2 7 は、一端が第 1 電源 V D D 1 と接続されており、他端が出力ノード N 1 と接続されている。P 型トランジスタ 2 8 は、第 2 電源 V D D 2 と出力ノード N 1 との間に設けられており、AND ゲート 2 2 の出力 A をゲートに受ける。

【 0 0 4 3 】

データ入力信号 D I N がローレベルのとき、信号 S A はローレベルである。このとき、駆動アシスト回路 2 0 C において、出力 A はローレベルのままなので、N 型トランジスタ 2 1 は非導通状態であり、P 型トランジスタ 2 8 は導通状態である。このため、出力ノード N 1 の電位 V P は第 2 電位 V D D 2 に保たれる。

【 0 0 4 4 】

データ入力信号 D I N がハイレベルに遷移し、信号 S A がハイレベルに遷移したとき、駆動アシスト回路 2 0 C において、出力 A は所定時間の間ハイレベルになる。これは第 1 実施形態で説明したとおりである。出力 A がハイレベルのときは、N 型トランジスタ 2 1 は導通状態になり、P 型トランジスタ 2 8 は非導通状態になる。このとき、出力ノード N 1 の電位 V P は、第 1 電位 V D D 1 から、P 型トランジスタ 2 7 a , 2 7 b , 2 7 c の閾値電圧の和に相当する電圧を減じた電位になる。

【 0 0 4 5 】

ここで、例えば、外部電源から供給される第 1 電位 V D D 1 が低下していると、これに応じて出力ノード N 1 の電位 V P は、より低くなる。また、外部電源から供給される第 2 電位 V D D 2 が上昇していると、N 型トランジスタ 2 1 のゲート電位が上がるため、出力ノード N 1 の電位 V P は、より低くなる。すなわち、第 1 電位 V D D 1 の低下や第 2 電位 V D D 2 の上昇に伴い、出力ノード N 1 の電位 V P はより低くなるため、P 型トランジスタ 2 のゲート・ソース間電圧がより大きくなる。これにより、第 1 電位 V D D 1 の低下や第 2 電位 V D D 2 の上昇が生じていても、P 型トランジスタ 2 の駆動能力の低下を抑えることができる。

【 0 0 4 6 】

また、本実施形態は、プロセスばらつきにも対応可能である。すなわち、製造プロセスに起因してトランジスタの閾値電圧が高く、動作速度が遅いときは、P 型トランジスタ 2 7 a , 2 7 b , 2 7 c の閾値電圧の和が大きくなるため、出力ノード N 1 の電位 V P はより低くなる。一方、製造プロセスに起因してトランジスタの閾値電圧が低く、動作速度が高いときは、P 型トランジスタ 2 7 a , 2 7 b , 2 7 c の閾値電圧の和が小さくなるため、出力ノード N 1 の電位 V P はさほど低くならない。すなわち、トランジスタの動作速度が遅いほど、P 型トランジスタ 2 のゲート・ソース間電圧がより大きくなるため、製造プ

10

20

30

40

50

ロセスに応じて適切に、P型トランジスタ2の駆動能力の低下を抑えることができる。

【0047】

なお、図7の構成では、ダイオード列27は、3個のP型トランジスタ27a, 27b, 27cからなるものとしたが、これに限られるものではなく、1つ、または、直列に接続された複数の、ダイオード接続されたP型トランジスタによって構成すればよい。

【0048】

図8は第4実施形態に係る出力回路の他の例の回路構成図である。図8の出力回路100Dにおいて、駆動アシスト回路20Dは、図7の駆動アシスト回路20Cと同様に、アシスト動作における出力ノードN1の電位VPが、第1電位VDD1の低下に伴って低下するように、構成されている。具体的には、駆動アシスト回路20Dは、図7に示す駆動アシスト回路20Cと同様に、ソースが接地されたN型トランジスタ21と、ANDゲート22と、信号SAを受けるインバータ23と、インバータ23の出力信号を受ける遅延回路24と、第2電源VDD2と出力ノードN1との間に設けられたP型トランジスタ28とを備えている。ANDゲート22は、信号SAと、遅延回路24の出力とを入力とし、出力AがN型トランジスタ21およびP型トランジスタ28のゲートに与えられる。駆動アシスト回路20Dはさらに、ANDゲート22の出力Aを受けるインバータ291と、インバータ291の出力を受けるレベルシフタ292と、P型トランジスタ29a, 29bと、N型トランジスタ29cと、直列に接続された抵抗部R21, R22とを備えている。P型トランジスタ29a, 29b、抵抗部R21, R22、N型トランジスタ29c, 21は、この順に、第1電源VDD1と接地電源との間に設けられており、抵抗部R21, R22の接続ノードが駆動アシスト回路20Dの出力ノードN1となっている。P型トランジスタ29aのゲートに、レベルシフタ292の出力が与えられる。P型トランジスタ29bおよびN型トランジスタ29cのゲートに、第2電位VDD2が与えられる。

10

20

【0049】

データ入力信号DINがローレベルのとき、信号SAはローレベルである。このとき、駆動アシスト回路20Dにおいて、出力Aはローレベルのままなので、P型トランジスタ29aおよびN型トランジスタ21はともに非導通状態である。このため、出力ノードN1の電位VPは第2電位VDD2に保たれる。

【0050】

データ入力信号DINがハイレベルに遷移し、信号SAがハイレベルに遷移したとき、駆動アシスト回路20Dにおいて、出力Aは所定時間の間ハイレベルになる。これは第1実施形態で説明したとおりである。出力Aがハイレベルのときは、P型トランジスタ29aおよびN型トランジスタ21は導通状態になり、P型トランジスタ28は非導通状態になる。このとき、出力ノードN1の電位VPは、第1電位VDD1を抵抗部R21, R22で分割した電位となる。

30

【0051】

ここで、例えば、外部電源から供給される第1電位VDD1が低下していると、これに応じて出力ノードN1の電位VPは、より低くなる。すなわち、第1電位VDD1の低下に伴い、出力ノードN1の電位VPはより低くなるため、P型トランジスタ2のゲート・ソース間電圧がより大きくなる。これにより、第1電位VDD1の低下が生じていても、P型トランジスタ2の駆動能力の低下を抑えることができる。

40

【0052】

また、本実施形態の構成を、第2実施形態で説明したような、出力ノードN1の電位VPを2つの経路で引き下げる構成に適用してもよい。また、本実施形態の構成に、第3実施形態で説明したような、出力信号DOU Tの変化をフィードバックする構成を適用してもよい。

【0053】

(他の実施形態)

上述の各実施形態では、出力信号DOU Tを駆動するP型トランジスタ2は、耐圧保護

50

の観点から、出力端子 1 に P 型トランジスタ 5 を介してカスケード接続されているものとした。ただし、本開示はこれに限られるものではない。

【 0 0 5 4 】

例えば図 9 の構成は、図 1 の出力回路 1 0 0 と同等の構成を、高耐圧デバイスを用いて実現したものである。図 9 の構成では、出力信号 D O U T を駆動する出力トランジスタとしての P 型トランジスタ 2 A を、直接、出力端子 1 に接続している。また、出力信号 D O U T を駆動する N 型トランジスタ 1 4 A を、直接、出力端子 1 に接続している。P 型トランジスタ 2 A および N 型トランジスタ 1 4 A には、高耐圧デバイス、例えば L D M O S (Laterally Diffused MOS(Metal Oxide Semiconductor))を用いればよい。L D M O S では、ゲート耐圧やソース耐圧は通常の M O S と同程度であるが、ドレイン耐圧はより高耐圧となっている。L D M O S のような高耐圧デバイスを用いて図 9 のような構成にすることによって、より面積の小さな出力回路を実現することができる。

10

【 0 0 5 5 】

なお、第 2 ~ 第 4 実施形態において、図 9 のような構成を適用してもよい。ただし、第 3 実施形態に適用する場合には、例えば、L S I の中の出力信号 D O U T を入力とする回路部から、出力信号 D O U T の変化をモニタするようにすればよい。

【 0 0 5 6 】

また、上述の各実施形態では、駆動アシスト回路 2 0 , 2 0 A , 2 0 B , 2 0 C , 2 0 D は、レベルシフタ 1 1 から出力される信号 S A をアシスト信号として受けるものとしたが、駆動アシスト回路が受けるアシスト信号は、データ入力信号 D I N に応じて変化する信号であればよいし、また、データ入力信号 D I N そのものであってもよい。

20

【 0 0 5 7 】

また、上述の各実施形態では、アシスト信号 S A とゲート信号 S G 1 の論理レベルが反転しているものとしたが、アシスト信号とゲート信号の論理レベルは同じであってもよい。この場合は、駆動アシスト回路は、アシスト信号がハイレベルからローレベルに遷移したとき、アシスト動作を行うように構成すればよい。すなわち、駆動アシスト回路は、アシスト信号が、ゲート信号のハイレベルからローレベルへの遷移に対応する遷移を行ったとき、言い換えると、出力信号を駆動する P 型トランジスタが非導通状態から導通状態に切り替わるとき、アシスト動作を行うように構成すればよい。

30

【 0 0 5 8 】

なお、本開示は、上述の各実施形態で示した構成に限定されるものではなく、多くの変形が、本開示の技術的思想内で当該技術分野において通常の知識を有する者により可能である。また、本開示の趣旨を逸脱しない範囲で、複数の実施形態における各構成要素を任意に組み合わせてもよい。

【 産業上の利用可能性 】

【 0 0 5 9 】

本開示では、回路面積の増大を招くことなく、高速動作が可能な出力回路を実現できるので、例えば、L S I の高速化や面積削減に有効である。

【 符号の説明 】

【 0 0 6 0 】

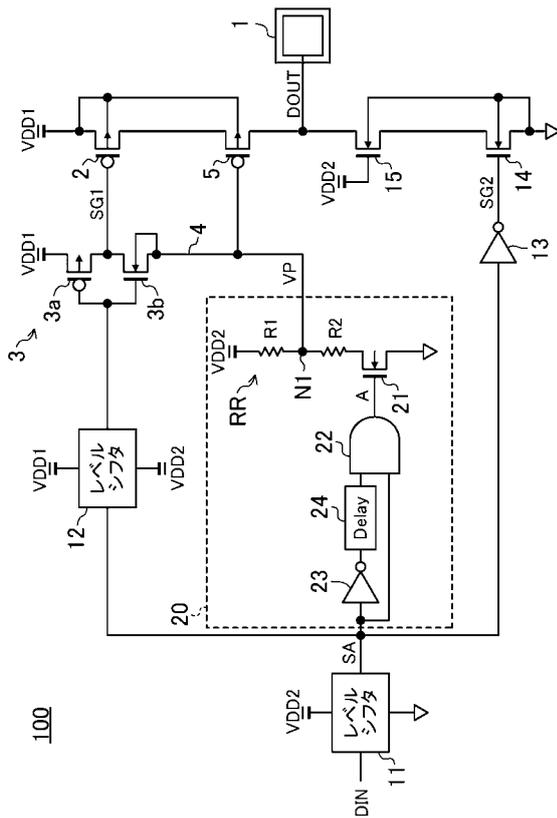
- 1 出力端子
- 2 , 2 A P 型トランジスタ (出力トランジスタ)
- 3 インバータ (プリドライバ)
- 4 電源端
- 2 0 , 2 0 A , 2 0 B , 2 0 C , 2 0 D 駆動アシスト回路
- 2 1 N 型トランジスタ (スイッチング素子)
- 2 2 A N D ゲート
- 2 3 インバータ
- 2 4 , 2 4 a , 2 4 b 遅延回路
- 2 5 N 型トランジスタ (第 2 スイッチング素子)

40

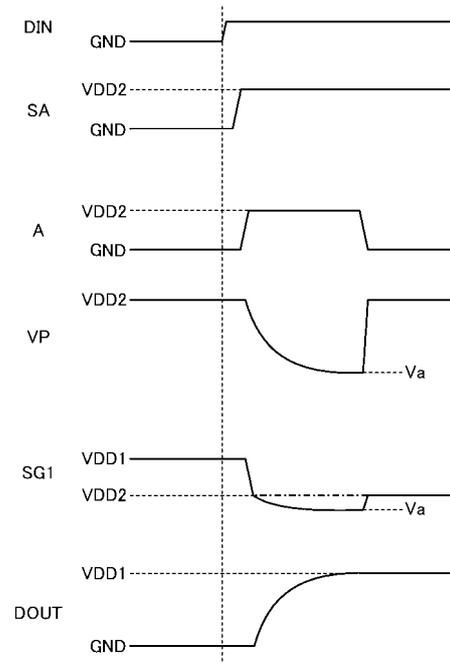
50

- 26 ANDゲート
- 27 ダイオード列
- 27a, 27b, 27c ダイオード接続されたP型トランジスタ
- 31 ラッチ回路
- 32 遅延回路
- 100, 100A, 100B, 100C, 100D 出力回路
- DIN データ入力信号
- DOUT 出力信号
- N1 出力ノード
- RR 抵抗列
- R1, R2 抵抗部
- SA アシスト信号
- SG1 ゲート信号
- SM モニタ信号
- VDD1 第1電位、第1電源
- VDD2 第2電位、第2電源
- VP 電源端に供給される電位

【 図 1 】



【 図 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2016/084466
A. CLASSIFICATION OF SUBJECT MATTER H03K17/04(2006.01)i, H03K19/017(2006.01)i, H03K19/0175(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K17/04, H03K19/017, H03K19/0175 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017 Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-167901 A (Denso Corp.), 23 June 2005 (23.06.2005), paragraphs [0029] to [0039]; fig. 1 to 2 (Family: none)	1, 4-5, 7-9 2-3, 6
Y A	JP 7-226663 A (Mitsubishi Electric Corp.), 22 August 1995 (22.08.1995), paragraphs [0010], [0018] to [0028]; fig. 6 (Family: none)	1, 4-5, 7-9 2-3, 6
Y A	JP 2000-83371 A (Fuji Electric Co., Ltd.), 21 March 2000 (21.03.2000), paragraphs [0007] to [0013]; fig. 4, 8, 10 (Family: none)	1, 4-5, 7-9 2-3, 6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 31 January 2017 (31.01.17)		Date of mailing of the international search report 07 February 2017 (07.02.17)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/084466

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-60201 A (Ricoh Co., Ltd.), 08 March 2007 (08.03.2007), paragraphs [0016] to [0023]; fig. 1 (Family: none)	7
Y	JP 2000-307406 A (Denso Corp.), 02 November 2000 (02.11.2000), paragraphs [0002], [0023] to [0026], [0040]; fig. 1 (Family: none)	9

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 8 4 4 6 6													
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K17/04(2006,01)i, H03K19/017(2006,01)i, H03K19/0175(2006,01)i															
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K17/04, H03K19/017, H03K19/0175															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2017年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2017年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2017年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2017年	日本国実用新案登録公報	1996-2017年	日本国登録実用新案公報	1994-2017年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2017年														
日本国実用新案登録公報	1996-2017年														
日本国登録実用新案公報	1994-2017年														
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)															
C. 関連すると認められる文献															
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号													
Y A	JP 2005-167901 A (株式会社デンソー) 2005.06.23, 段落 [0029]-[0039], 図 1-2 (ファミリーなし)	1, 4-5, 7-9 2-3, 6													
Y A	JP 7-226663 A (三菱電機株式会社) 1995.08.22, 段落[0010], [0018]-[0028], 図 6 (ファミリーなし)	1, 4-5, 7-9 2-3, 6													
Y A	JP 2000-83371 A (富士電機株式会社) 2000.03.21, 段落 [0007]-[0013], 図 4, 8, 10 (ファミリーなし)	1, 4-5, 7-9 2-3, 6													
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。															
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>の日の後に公表された文献</td> </tr> <tr> <td>「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>				* 引用文献のカテゴリー	の日の後に公表された文献	「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	
* 引用文献のカテゴリー	の日の後に公表された文献														
「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの														
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの														
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの														
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献														
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願															
国際調査を完了した日 31.01.2017		国際調査報告の発送日 07.02.2017													
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 及川 尚人 電話番号 03-3581-1101 内線 3576	5W 5888												

国際調査報告		国際出願番号 PCT/JP2016/084466
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-60201 A (株式会社リコー) 2007.03.08, 段落 [0016]-[0023], 図1 (ファミリーなし)	7
Y	JP 2000-307406 A (株式会社デンソー) 2000.11.02, 段落 [0002], [0023]-[0026], [0040], 図1 (ファミリーなし)	9

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。