



(12) 发明专利申请

(10) 申请公布号 CN 102130071 A

(43) 申请公布日 2011. 07. 20

(21) 申请号 201110007938. 2

H01L 33/62(2010. 01)

(22) 申请日 2011. 01. 14

(30) 优先权数据

61/295, 029 2010. 01. 14 US

(71) 申请人 精材科技股份有限公司

地址 中国台湾桃园县

(72) 发明人 吴上义 刘沧宇

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

H01L 23/12(2006. 01)

H01L 23/48(2006. 01)

H01L 21/50(2006. 01)

H01L 21/60(2006. 01)

H01L 33/00(2010. 01)

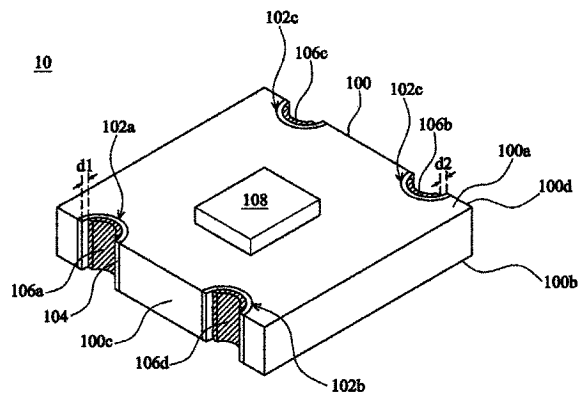
权利要求书 2 页 说明书 6 页 附图 17 页

(54) 发明名称

芯片封装体及其形成方法

(57) 摘要

本发明公开一种芯片封装体及其形成方法, 该芯片封装体包括承载基底, 具有上表面、下表面、第一侧面、及第二侧面; 芯片, 设置于上表面上, 具有第一电极及第二电极; 第一沟槽, 自上表面朝下表面延伸, 且自第一侧面朝承载基底的内部延伸; 第一导电层, 位于第一沟槽的侧壁上, 不与第一侧面共平面且隔有第一最短距离, 且与第一电极电连接; 第二沟槽, 自上表面朝下表面延伸, 且自第二侧面朝承载基底的内部延伸; 以及第二导电层, 位于第二沟槽的侧壁上, 不与第二侧面共平面且隔有第二最短距离, 且与第二电极电连接。



1. 一种芯片封装体,包括:

承载基底,具有上表面及相反的下表面,及具有第一侧面及第二侧面;

芯片,设置于该承载基底的该上表面或该下表面上,该芯片具有第一电极及第二电极;

第一沟槽,自该承载基底的该上表面朝该下表面延伸,且自该第一侧面朝该承载基底的内部延伸;

第一导电层,位于该第一沟槽的一侧壁上,该第一导电层不与该第一侧面共平面且隔有第一最短距离,且该第一导电层与该第一电极电连接;

第二沟槽,自该承载基底的该上表面朝该下表面延伸,且自该第二侧面朝该承载基底的内部延伸;以及

第二导电层,位于该第二沟槽的一侧壁上,该第二导电层不与该第二侧面共平面且隔有第二最短距离,且该第二导电层与该第二电极电连接。

2. 如权利要求 1 所述的芯片封装体,其中该第一侧面与该第二侧面相对。

3. 如权利要求 1 所述的芯片封装体,其中该第一侧面与该第二侧面大抵互相垂直。

4. 如权利要求 1 所述的芯片封装体,其中该第一侧面与该第二侧面为同一侧面。

5. 如权利要求 1 所述的芯片封装体,还包括绝缘层,其位于该第一导电层与该承载基底之间。

6. 如权利要求 1 所述的芯片封装体,还包括绝缘层,其位于该第二导电层与该承载基底之间。

7. 如权利要求 1 所述的芯片封装体,还包括凹陷,自该上表面朝该下表面延伸,其中该芯片设置于该凹陷的一底部之上。

8. 如权利要求 1 所述的芯片封装体,其中该芯片为发光芯片。

9. 如权利要求 8 所述的芯片封装体,还包括电路板,其具有第一接垫及第二接垫,位于该电路板的一表面上,其中该承载基底设置于该电路板之上,且该第一导电层及该第二导电层分别电连接至该第一接垫及该第二接垫。

10. 如权利要求 9 所述的芯片封装体,其中该发光芯片的一出光表面的一法向量大抵平行于该电路板的该表面的一法向量。

11. 如权利要求 9 所述的芯片封装体,其中该发光芯片的一出光表面的一法向量大抵垂直于该电路板的该表面的一法向量。

12. 一种芯片封装体的形成方法,包括:

提供一承载晶片,其包括由多条预定切割道所划分的多个区域;

在这些预定切割道的位置上形成多个穿孔,贯穿该承载晶片的一上表面及相反的一下表面;

在该承载晶片上形成一导电材料层,该导电材料层延伸在这些穿孔的侧壁上;

将该导电材料层图案化为彼此分离的多个导电层,并使这些导电层不与这些预定切割道接触;

提供多个芯片,分别具有第一电极及第二电极;

将这些芯片分别对应地设置于这些区域上,每一这些区域上放置有至少一这些芯片,其中每一这些芯片的该第一电极及该第二电极分别与这些芯片所在的这些区域中的其中

两个该些导电层电连接 ;以及

沿着该些预定切割道切割该承载晶片以分离出多个芯片封装体。

13. 如权利要求 12 所述的芯片封装体的形成方法,其中该些穿孔的形成方法包括 :

自该承载晶片的该些预定切割道的位置上形成多个孔洞,该些孔洞自该承载晶片的该上表面朝该下表面延伸 ;以及

自该下表面薄化该承载晶片以露出该些孔洞。

14. 如权利要求 13 所述的芯片封装体的形成方法,还包括于该承载晶片形成多个凹陷,该些凹陷自该上表面朝该下表面延伸,其中该些芯片分别设置于对应的该些凹陷的底部上。

15. 如权利要求 14 所述的芯片封装体的形成方法,其中该些凹陷与该些孔洞同时形成。

16. 如权利要求 12 所述的芯片封装体的形成方法,还包括于该导电材料层与该承载晶片之间形成一绝缘层。

17. 如权利要求 12 所述的芯片封装体的形成方法,其中该些芯片包括发光芯片。

18. 如权利要求 17 所述的芯片封装体的形成方法,还包括 :

提供一电路板,具有第一接垫及第二接垫,位于该电路板的一表面上 ;以及

将其中一该些芯片封装体设置于该电路板上,使该芯片的该第一电极及该第二电极分别电连接至该第一接垫及该第二接垫。

19. 如权利要求 18 所述的芯片封装体的形成方法,其中该电路板的该表面的一法向量大抵平行于该发光芯片的一出光表面的一法向量。

20. 如权利要求 18 所述的芯片封装体的形成方法,其中该电路板的该表面的一法向量大抵垂直于该发光芯片的一出光表面的一法向量。

芯片封装体及其形成方法

技术领域

[0001] 本发明涉及芯片封装体,且特别是涉及发光芯片的芯片封装体。

背景技术

[0002] 芯片封装制作工艺是形成电子产品过程中的一重要步骤。芯片封装体除了将芯片保护于其中,使免受外界环境污染外,还提供芯片内部电子元件与外界的电连接通路。

[0003] 如何以低地成本来有效率地形成品质可靠的芯片封装体成为重要课题。

发明内容

[0004] 本发明的目的在于一种芯片封装体及其形成方法,以解决上述问题。

[0005] 为了达到上述目的,本发明提供一种芯片封装体,其包括一承载基底,具有一上表面及相反的一下表面,及具有一第一侧面及一第二侧面;一芯片,设置于该承载基底的该上表面上,该芯片具有一第一电极及一第二电极;一第一沟槽,自该承载基底的该上表面朝该下表面延伸,且自该第一侧面朝该承载基底的内部延伸;一第一导电层,位于该第一沟槽的一侧壁上,该第一导电层不与该第一侧面共平面且隔有一第一最短距离,且该第一导电层与该第一电极电连接;一第二沟槽,自该承载基底的该上表面朝该下表面延伸,且自该第二侧面朝该承载基底的内部延伸;以及一第二导电层,位于该第二沟槽的一侧壁上,该第二导电层不与该第二侧面共平面且隔有一第二最短距离,且该第二导电层与该第二电极电连接。

[0006] 本发明还提供一种芯片封装体的形成方法,其包括提供一承载晶片,包括由多条预定切割道所划分的多个区域;在这些预定切割道的位置上形成多个穿孔,贯穿该承载晶片的一上表面及相反的一下表面;在该承载晶片上形成一导电材料层,该导电材料层延伸在这些穿孔的侧壁上;将该导电材料层图案化为彼此分离的多个导电层,并使这些导电层不与这些预定切割道接触;提供多个芯片,分别具有一第一电极及一第二电极;将这些芯片分别对应地设置于这些区域上,每一这些区域上放置有至少一这些芯片,其中每一这些芯片的该第一电极及该第二电极分别与这些芯片所在的这些区域中的其中两个这些导电层电连接;以及沿着这些预定切割道切割该承载晶片以分离出多个芯片封装体。

附图说明

[0007] 图 1A- 图 1G 显示本发明一实施例的芯片封装体的一系列制作工艺立体示意图;

[0008] 图 2A- 图 2E 显示相应于图 1A- 图 1G 实施例的芯片封装体的一系列制作工艺剖视图;

[0009] 图 3A- 图 3E 显示本发明一实施例的芯片封装体的一系列制作工艺剖视图;

[0010] 图 4A- 图 4C 显示本发明一实施例中,在穿孔中形成图案化导电层的一系列制作工艺上视图;

[0011] 图 5A 及图 5B 显示本发明实施例的芯片封装体的立体示意图;

- [0012] 图 6A 显示本发明一实施例的芯片封装体的立体示意图；
- [0013] 图 6B 显示本发明一实施例的芯片封装体的剖视图。
- [0014] 主要元件符号说明
- [0015] 10 ~ 芯片封装体；
- [0016] 100 ~ 承载晶片（或承载基底）；
- [0017] 100a、100b ~ 表面；
- [0018] 100c、100d ~ 侧面；
- [0019] 102 ~ 穿孔；
- [0020] 102a、102b、102c、102d ~ 沟槽；
- [0021] 102' ~ 孔洞；
- [0022] 104 ~ 绝缘层；
- [0023] 106、106a、106b、106c、106d ~ 导电层；
- [0024] 108 ~ 芯片；
- [0025] 108a、108b ~ 电极；
- [0026] 302 ~ 凹陷；
- [0027] 402 ~ 晶种层；
- [0028] 404、404a ~ 光致抗蚀剂层；
- [0029] 600 ~ 电路板；
- [0030] 600a ~ 表面；
- [0031] 602a、602b ~ 接垫；
- [0032] 604a、604b ~ 导电结构；
- [0033] A、R ~ 区域；
- [0034] SC ~ 切割道；
- [0035] d1、d2 ~ 距离。

具体实施方式

[0036] 以下将详细说明本发明实施例的制作与使用方式。然而应注意的是，本发明提供许多可供应用的发明概念，其可以多种特定型式实施。文中所举例讨论的特定实施例仅为制造与使用本发明的特定方式，非用以限制本发明的范围。此外，在不同实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及 / 或结构之间具有任何关联性。再者，当述及一第一材料层位于一第二材料层上或之上时，包括第一材料层与第二材料层直接接触或间隔有一或更多其他材料层的情形。

[0037] 图 1A-图 1G 显示本发明一实施例的芯片封装体的一系列制作工艺立体示意图。图 2A-图 2E 显示相应于图 1A-图 1G 实施例的芯片封装体的一系列制作工艺剖视图。以下，将配合图 1A-图 1G 及图 2A-图 2E 说明本发明一实施例的芯片封装体的形成方法及结构。

[0038] 如图 1A 所示，提供承载晶片 100，其上可定义有多个预定切割道 SC，其将承载晶片 100 划分成多个区域。承载晶片 100 具有上表面 100a 及相反的下表面 100b。承载晶片 100 可例如包括半导体材料或陶瓷材料。例如，承载晶片 100 可为硅晶片。或者，承载晶片 100 可包括氧化铝或氮化铝等材质。

[0039] 图 1B 显示图 1A 中区域 A 的放大立体图,用以说明此实施例的芯片封装体的后续制作工艺。应注意的是,以下所说明的制作工艺不限于仅对区域 A 的部分进行。在一实施例中,较佳的是同时对承载晶片 100 的所有区域进行相似或相同的制作工艺,经后续沿着预定切割道 SC 切割承载晶片 100 后,可形成多个具有侧壁接点 (sidewall contact) 的芯片封装体。

[0040] 如图 1B 所示,切割道 SC 在区域 A 中围出一区域 R。在后续制作工艺中,将在区域 R 上设置芯片与形成导电通路,并将沿切割道 SC 切割承载晶片 100 以分离出数个芯片封装体。

[0041] 接着,如图 1C 所示,在承载晶片 100 中的这些预定切割道 SC 的位置上形成多个贯穿承载晶片 100 的上表面 100a 及下表面 100b 的穿孔 102。穿孔 102 的形成方式例如包括光刻及蚀刻制作工艺。在一实施例中,穿孔 102 可在同一蚀刻制作工艺中一次形成。在另一实施例中,穿孔 102 是分段形成。例如,请参照图 2A,可先形成自承载晶片 100 的上表面 100a 朝下表面 100b 延伸的孔洞 102'。接着,如图 2B 所示,自相反的下表面 100b 薄化承载晶片 100 (例如,通过化学机械研磨 (CMP) 或研磨 (grinding) 等方式) 薄化承载晶片 100 以露出背景形成的孔洞 102',形成贯穿承载晶片 100 的穿孔 102。在后续制作工艺中,将在穿孔 102 的侧壁上形成导电层以形成穿基底导电结构。在后续切割步骤之后,穿基底导电结构可作为芯片封装体的侧壁接点。

[0042] 如图 1D 及图 2C 所示,在于穿孔 102 的侧壁上形成导电层之前,可选择性于穿孔 102 的侧壁上形成绝缘层 104 以避免后续形成的导电层间发生短路。然应注意的是,例如当承载晶片 100 的材质为绝缘材料时,可视情况将绝缘层 104 的形成省去。绝缘层 104 除了形成在穿孔 102 的侧壁上之外,也可延伸至承载晶片 100 的其他表面上,如图 2C 所示。

[0043] 绝缘层 104 的材质可例如为环氧树脂、防焊材料、或其他适合的绝缘物质,例如无机材料的氧化硅层、氮化硅层、氮氧化硅层、金属氧化物、或前述的组合;或也可为有机高分子材料的聚酰亚胺树脂 (polyimide)、苯环丁烯 (butylcyclobutene, BCB, 道氏化学公司)、聚对二甲苯 (parylene)、萘聚合物 (polynaphthalenes)、氟碳化合物 (fluorocarbons)、丙烯酸酯 (acrylates) 等。绝缘层 104 的形成方式可包含涂布方式,例如旋转涂布 (spin coating)、喷涂 (spray coating)、或淋幕涂布 (curtain coating),或其他适合的沉积方式,例如,液相沉积、物理气相沉积、化学气相沉积、低压化学气相沉积、等离子体增强式化学气相沉积、快速热化学气相沉积、或常压化学气相沉积等制作工艺。在一实施例中,承载晶片 100 为一硅晶片,而绝缘层 104 可为对硅晶片进行热氧化制作工艺而得的氧化硅层。

[0044] 接着,如图 1E 及图 2D 所示,在承载晶片 100 上形成导电材料层,其延伸在穿孔 102 的侧壁上。接着,将导电材料层图案化为彼此分离的多个图案化导电层 106,并使这些导电层 106 不与预定切割道 SC 接触。如图 1E 所示,穿孔 102 中的图案化导电层 106 皆仅覆盖于部分的穿孔侧壁上。这些图案化导电层 106 皆不覆盖于预定的切割道 SC 上。因此,在后续切割承载晶片 100 以分离出多个芯片封装体时,切割刀所切割的部分将不含这些导电层,可避免切割刀受损。此外,更重要的是,图案化导电层 106 将不会于切割晶片的过程中受到拉扯,可有效避免图案化导电层剥落 (peeling)。

[0045] 上述穿孔中的图案化导电层的形成方式将配合图 4A- 图 4C 所示的一系列制作工艺上视图作说明。然应注意的是,图 4A- 图 4C 仅举例说明穿孔中的图案化导电层的其中一

种形成方式,其形成方式不限于此。

[0046] 如图 4A 所示,首先于穿孔 102 的侧壁上形成绝缘层 104,并接着于绝缘层 104 上形成晶种层 402。晶种层 402 可例如以物理气相沉积法形成,其材质例如为铜。此外,晶种层 402 与承载晶片 100 之间较佳形成有扩散障碍层(未显示),其材质例如是 TiW 或 TiCu,可避免铜扩散进入承载晶片 100,并可增加晶种层 402 与承载晶片 100(或绝缘层 104)之间的粘着性。

[0047] 接着,如图 4A 所示,在晶种层 402 上顺应性形成光致抗蚀剂层 404。光致抗蚀剂层 404 可为可电镀光致抗蚀剂,因而可通过电镀的方式(例如,以晶种层 402 为电极)而顺应性地形成于晶种层 402 之上。

[0048] 接着,如图 4B 所示,将光致抗蚀剂层 404 图案化而使预定切割道 SC 所经过的区域附近的光致抗蚀剂层 404 被移除,使预定切割道 SC 所经过的区域附近的晶种层 402 露出。通常,可电镀光致抗蚀剂为负型光致抗蚀剂,因此可以遮蔽物盖住预定切割道 SC 所经过的区域附近,并对露出的光致抗蚀剂层 404 照光而使其固化。接着,可洗去未照光的光致抗蚀剂而形成图案化光致抗蚀剂层 404a。

[0049] 接着,如图 4C 所示,以图案化后的光致抗蚀剂层 404a 为掩模对晶种层 402 进行蚀刻,露出的晶种层 402 经移除后便形成了图案化晶种层 402a。

[0050] 之后,可移除图案化光致抗蚀剂层 404a,并以图案化晶种层 402a 为电极,通过电镀制作工艺而于图案化晶种层 402a 上形成导电材料以形成图案化导电层,例如是图 1E 所示的导电层 106。

[0051] 应注意的是,在一实施例中,晶种层 402 除了位于穿孔 102 中,还可延伸在承载晶片 100 的表面之上。此时,可同时将延伸在承载晶片 100 表面上的晶种层图案化以形成所需的导电图案。因此,在形成图案化导电层 106 的制作工艺期间,可同时在承载晶片 100 上形成各种线路布局(例如,形成线路重布层),以作为随后将设置的芯片的导电路径。如图 2D 所示,可在形成不与切割道 SC 接触的导电层 106 的同时,也定义出延伸在承载晶片 100 的表面 100a 及 / 或 100b 上的导电路径。例如,可定义出与芯片或导电凸块电连接的导电路径。

[0052] 请参照图 1F 及图 2D,接着提供多个芯片 108,分别具有第一电极 108a 及第二电极 108b。将这些芯片 108 分别对应地设置在区域 R 之上。在一实施例中,每一区域 R 上皆放置有至少一芯片 108。芯片 108 的第一电极 108a 及第二电极 108b 分别与区域 R 中的至少其中两个导电层电连接。如图 1F 及图 2D 所示,芯片 108 的第一电极 108a 及第二电极 108b 例如分别与这些导电层 106 中的第一导电层 106a 及第二导电层 106b 电连接。芯片 108 例如可为发光芯片,例如是发光二极管芯片。芯片 108 也可为其他类型的芯片,例如是影像感测芯片等等。在一实施例中,可在区域 R 上设置数个发光芯片以例如形成发光芯片阵列。

[0053] 接着,沿着图 1F 中所示的预定切割道 SC 切割承载晶片 100 以分离出多个芯片封装体。由于本形成于预定切割道 SC 上的导电材料层在图案化步骤之后已移除,因此切割过程中不会切割到导电材料层,可避免切割刀损坏,并有效防止图案化导电层 106 因切割刀的拉扯而剥落,可提升元件的可靠度与合格率。图 1G 显示其中一芯片封装体 10 的立体示意图。

[0054] 如图 1G 及图 2E 所示,芯片封装体 10 包括承载基底 100(即部分的承载晶片 100,

因此续以标号 100 指称)。承载基底 100 具有上表面 100a 及下表面 100b, 以及第一侧面 100c 及第二侧面 100d。芯片 108 设置于承载基底 100 之上, 且具有第一电极 108a 及第二电极 108b (如图 2E 所示)。此外, 原先形成于承载晶片中的穿孔 102 在经历承载晶片的切割步骤之后, 成为了数个沟槽, 例如是图 1G 中所示的沟槽 102a、102b、102c、及 102d。

[0055] 如图 1G 所示, 此实施例的芯片封装体 10 包括第一沟槽 102a, 自上表面 100a 朝下表面 100b 延伸, 且自第一侧面 100c 朝承载基底 100 的内部延伸。芯片封装体 10 还包括第二沟槽 102b, 自上表面 100a 朝下表面 100b 延伸, 且自第二侧面 100d 朝承载基底 100 的内部延伸。

[0056] 如图 1G 及图 2E 所示, 芯片封装体 10 包括第一导电层 106a, 其位于第一沟槽 102a 的侧壁上, 且不与第一侧面 100c 共平面而隔有一第一最短距离 d_1 。第一导电层 106a 还与芯片 108 的第一电极 108a 电连接, 如图 2E 所示。

[0057] 相似地, 芯片封装体 10 包括第二导电层 106b, 其位于第二沟槽 102b 的侧壁上, 且不与第二侧面 100d 共平面而隔有一第二最短距离 d_2 。第二导电层 106b 还与芯片 108 的第二电极 108b 电连接, 如图 2E 所示。

[0058] 在图 1G 的实施例中, 形成于沟槽中的导电层可作为芯片封装体 10 的侧壁接点。虽然, 此实施例以形成四个侧壁接点为例, 然在其他实施例中可形成更多或更少的侧壁接点, 端视所需应用而定。例如, 当芯片 108 为发光二极管芯片时, 至少需形成两个侧壁接点。

[0059] 此外, 在图 1G 的实施例中, 第一侧面 100c 与第二侧面 100d 相对。即, 第一沟槽 102a 中与第一电极 108a 电连接的第一导电层 106a 与第二沟槽 102b 中与第二电极 108b 电连接的第二导电层 106b 相对设置。然而, 本发明实施例不限于此。在其他实施例中, 第一侧面 100c 及第二侧面 100d 大抵互相垂直, 如图 5A 的立体示意图所示。在另一实施例中, 第一侧面 100c 及第二侧面 100d 为实质上的同一侧面, 如图 5B 的立体示意图所示。

[0060] 本发明实施例的芯片封装体可有许多其他变化。图 3A-图 3E 显示本发明一实施例的芯片封装体的一系列制作工艺剖视图。此实施例与图 1A-图 1G、图 2A-图 2E 所示实施例相似, 主要差异在于进一步于承载晶片 100 中形成数个凹陷 302。如图 3A 所示, 凹陷 302 的形成方式可与孔洞 102' 相似。在一实施例中, 凹陷 302 与孔洞 102' 同时形成。

[0061] 接着, 如图 3B 所示, 可以类似制作工艺薄化承载晶片 100 以形成穿孔 102。并接着如图 3C 所示, 选择性于承载晶片 100 上形成绝缘层 104, 并定义出数个图案化导电层, 例如包括导电层 106a 及 106b。导电层可进一步延伸进入凹陷 302 中, 用以与后续设置于其中的芯片形成导电通路。

[0062] 如图 3D 所示, 可在凹陷 302 中设置至少一芯片 108。在此实施例中, 设置多个芯片 108。在一实施例中, 芯片 108 为发光芯片。在此情形下, 延伸在凹陷 302 的侧壁上的导电层 106a 及 106b 还可充当反射层, 进一步提升芯片封装体的发光亮度。

[0063] 接着, 如图 3E 所示, 沿着预定切割道 SC 切割承载晶片以形成数个芯片封装体。同样地, 在此实施例中, 沟槽中的导电层 106a 及 106b 内缩而不与芯片封装体的侧面共平面。因此切割过程中不会切割到导电材料层, 可避免切割刀损坏, 并有效防止图案化导电层因切割刀的拉扯而剥落, 可提升元件的可靠度与合格率。

[0064] 本发明实施例的芯片封装体还可进一步设置于电路板上。如图 6A 所示, 可将芯片封装体设置于电路板 600 之上。电路板 600 例如为印刷电路板, 其表面 600a 上可具有第一

接垫 602a 及第二接垫 602b。接着,分别于侧壁接点(即导电层 106a 及 106b)与第一接垫 602a 及第二接垫 602b 之间的界面上形成导电结构 604a 及 604b。导电结构 604a 及 604b 可例如为具导电性的焊料,除了可粘着固定图案化导电层与接垫之外,还可形成其间的导电通路。由于导电结构 604a 及 604b 的形成位置位于芯片封装体的侧壁上,因此可较容易地观察到焊接制作工艺或导体沉积制作工艺是否成功,并可即时修正与调整制作工艺条件,可提高制作工艺合格率。在一实施例中,所封装的芯片 108 为发光芯片,其出光表面例如为上表面。在此情形下,电路板 600 的表面 600a 的法向量大抵平行于芯片 108 的出光表面的法向量。

[0065] 本发明实施例的具有侧壁接点的芯片封装体还可以其他方式设置封装于电路板上。如图 6B 所示,可将芯片封装体立起,并设置在电路板 600 之上。可通过导电结构 604a 形成第一导电层 106a 与第一接垫 602a 之间的导电通路。相似地,可通过导电结构 604b 形成第二导电层 106b 与第二接垫 602b 之间的导电通路。在一实施例中,所封装的芯片 108 为发光芯片,其出光表面例如为上表面。在此情形下,电路板 600 的表面 600a 的法向量大抵垂直于芯片 108 的出光表面的法向量。

[0066] 本发明实施例的芯片封装体具有许多优点。例如,通过将穿孔形成在切割道上,可大幅节省承载晶片(例如,硅晶片)的使用面积,且还可形成侧壁接点,方便各种封装方式进行。此外,通过图案化穿孔中的导电层,使之不与切割道接触,可提升制作工艺合格率及封装体可靠度。

[0067] 虽然结合以上数个较佳实施例揭露了本发明,然而其并非用以限定本发明,任何所属技术领域熟悉此技术者,在不脱离本发明的精神和范围内,可作任意的更动与润饰,因此本发明的保护范围应以附上的权利要求所界定的为准。

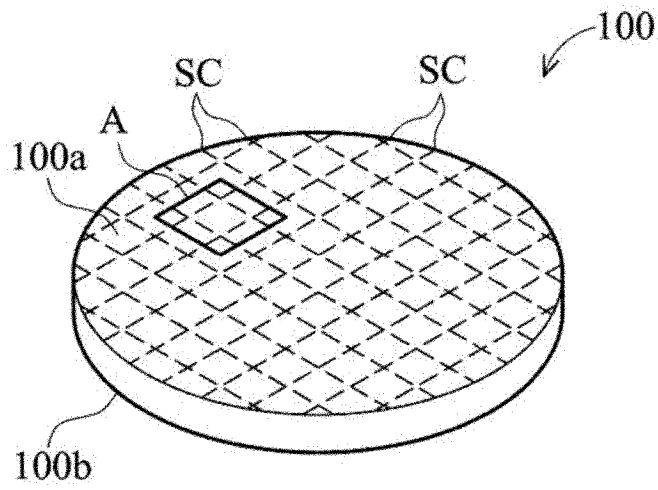


图 1A

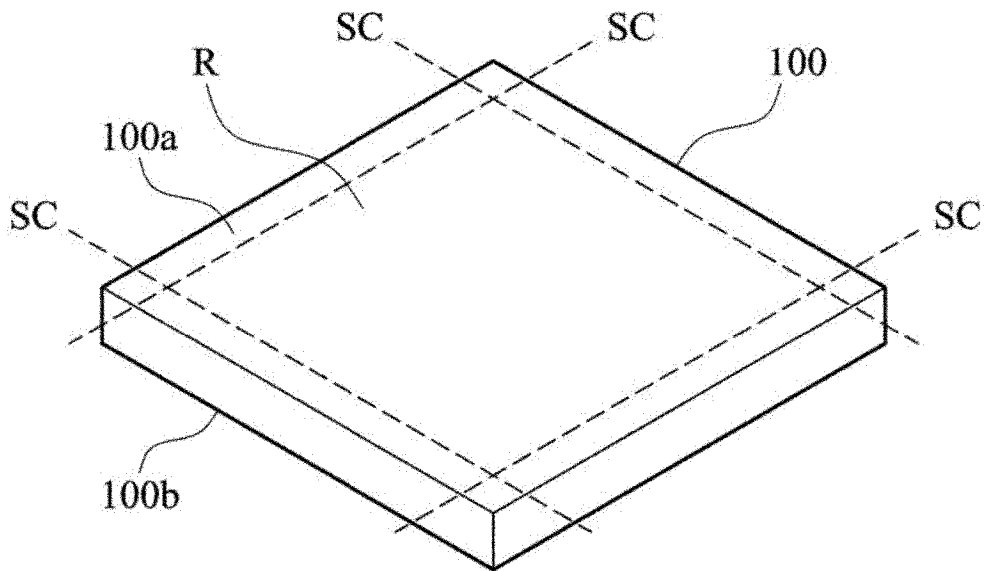


图 1B

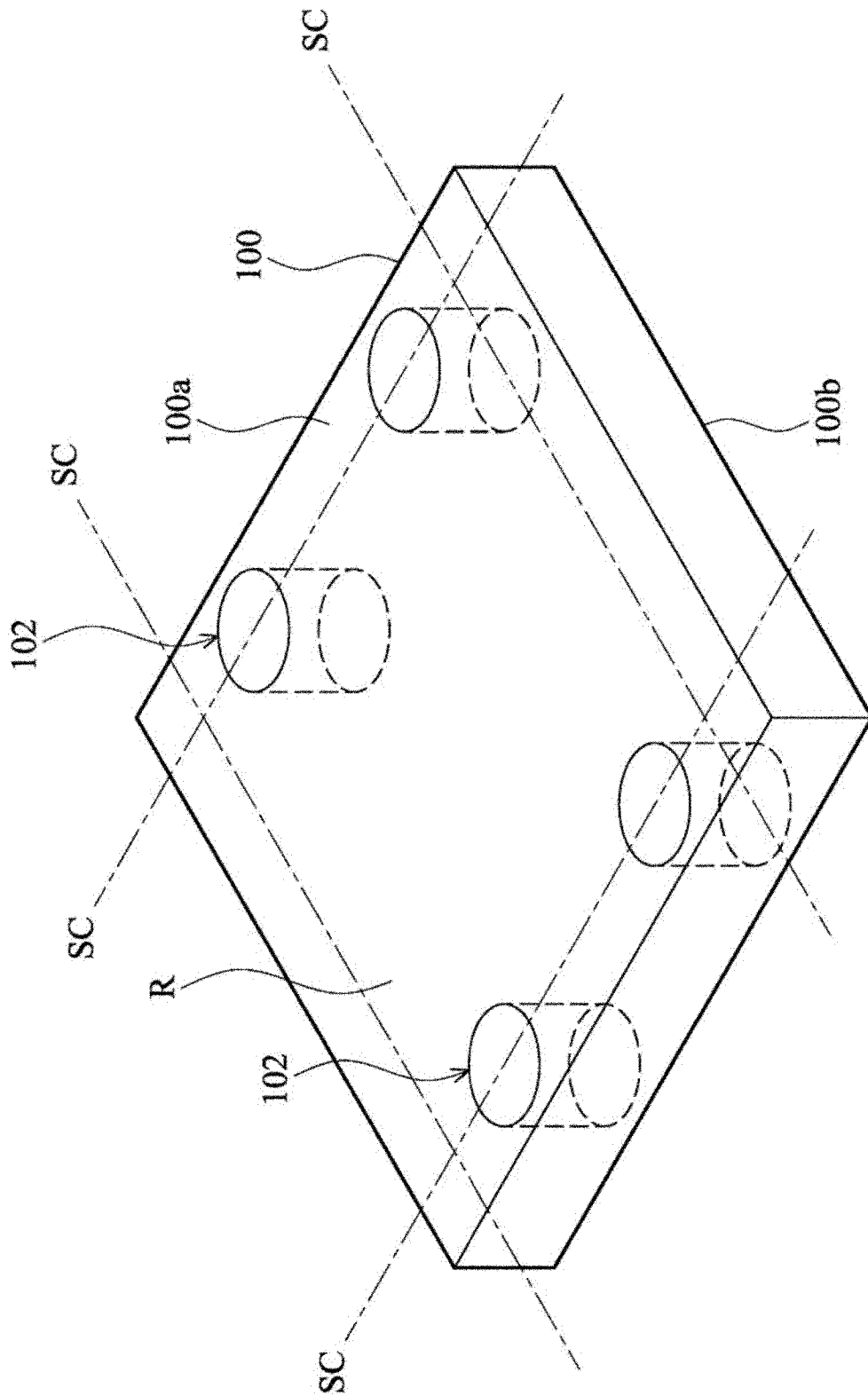


图 1C

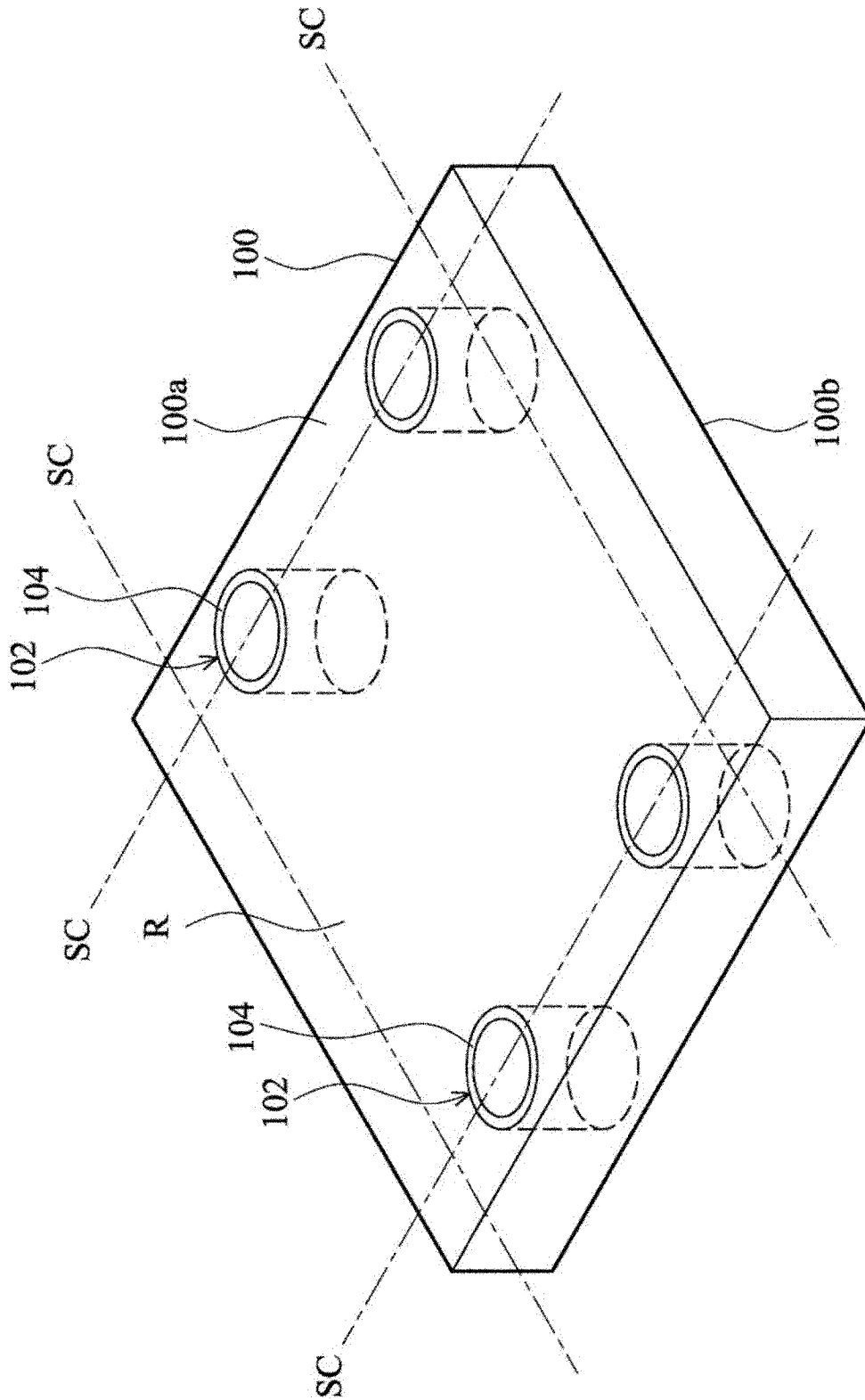


图 1D

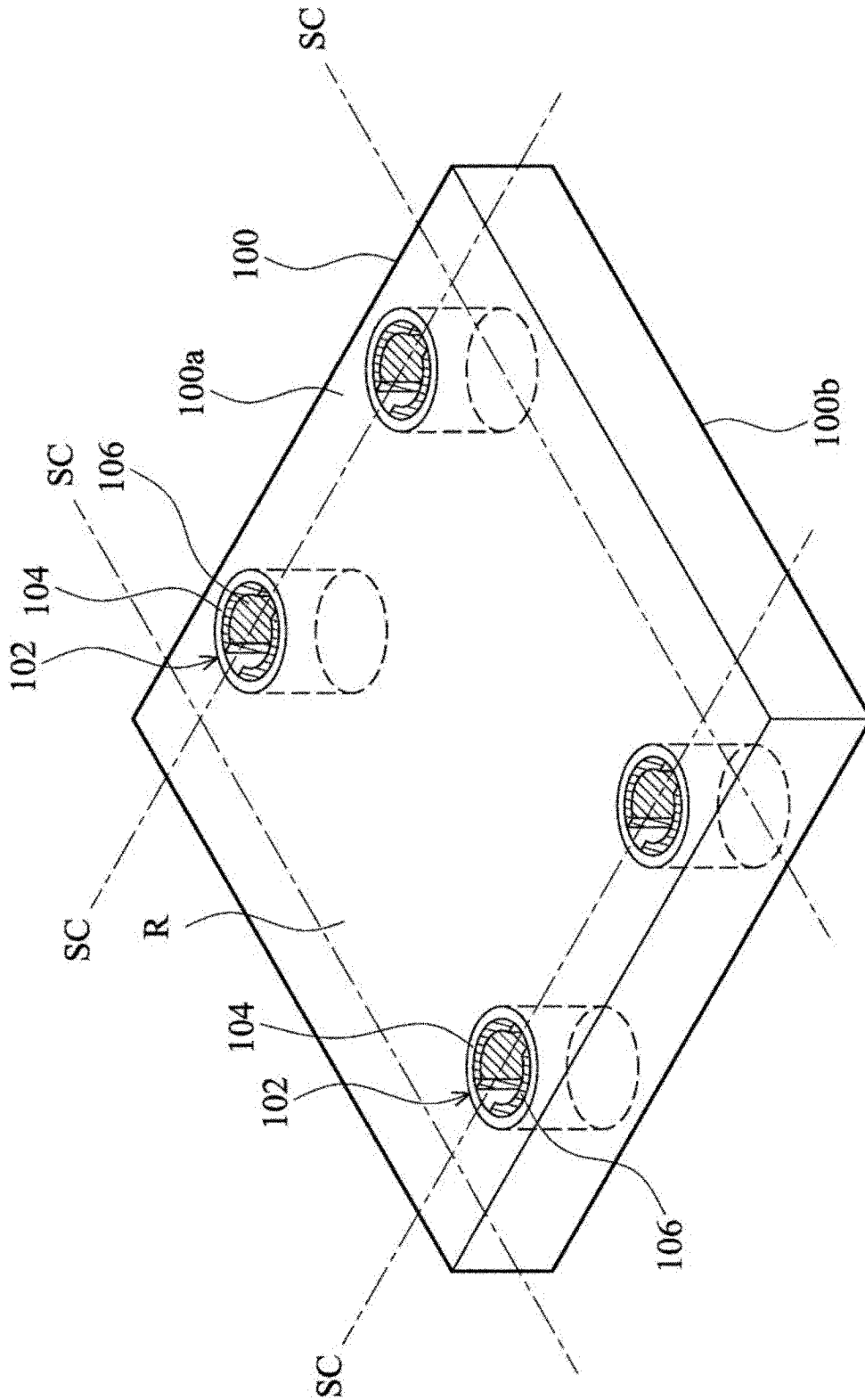


图 1E

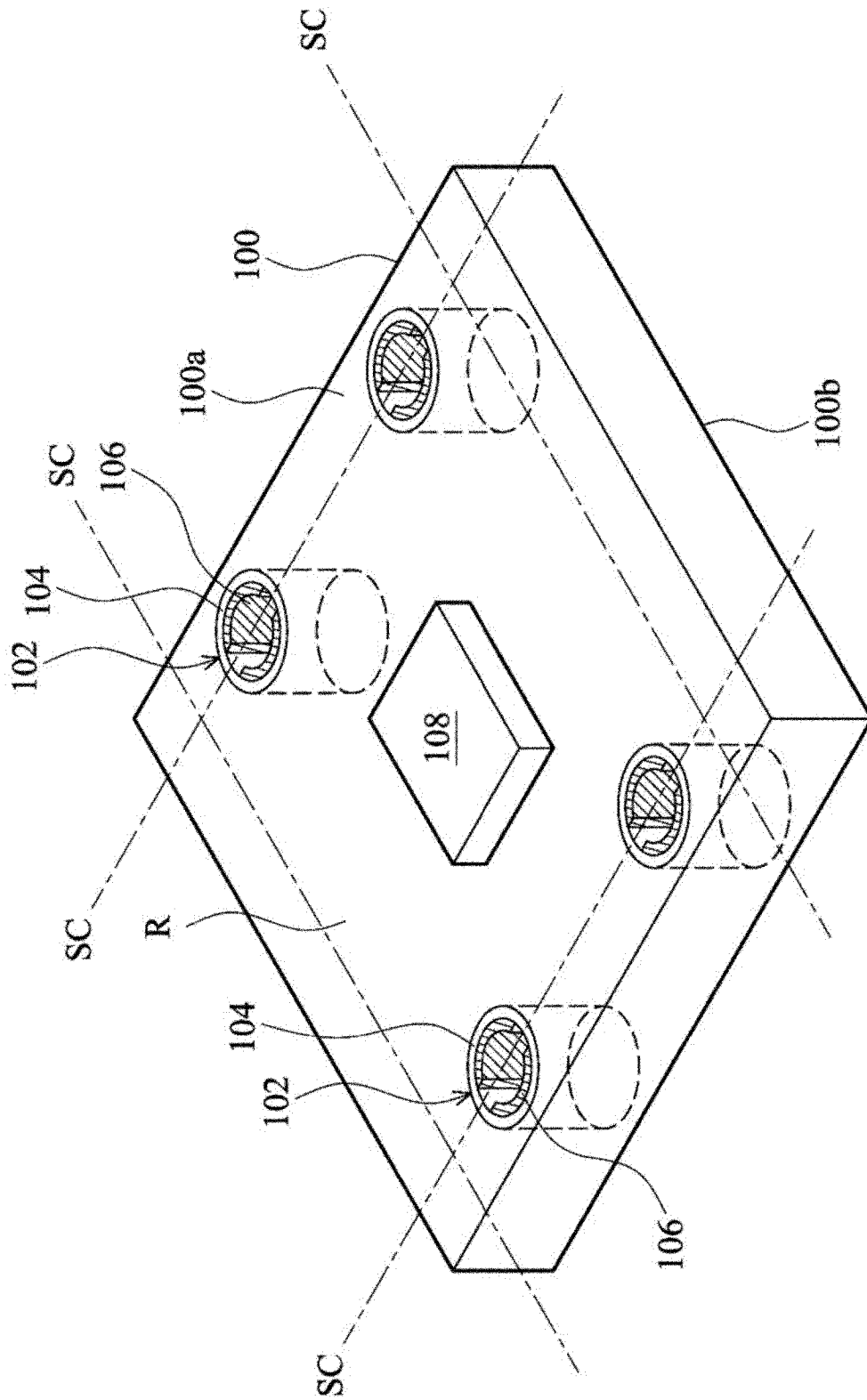


图 1F

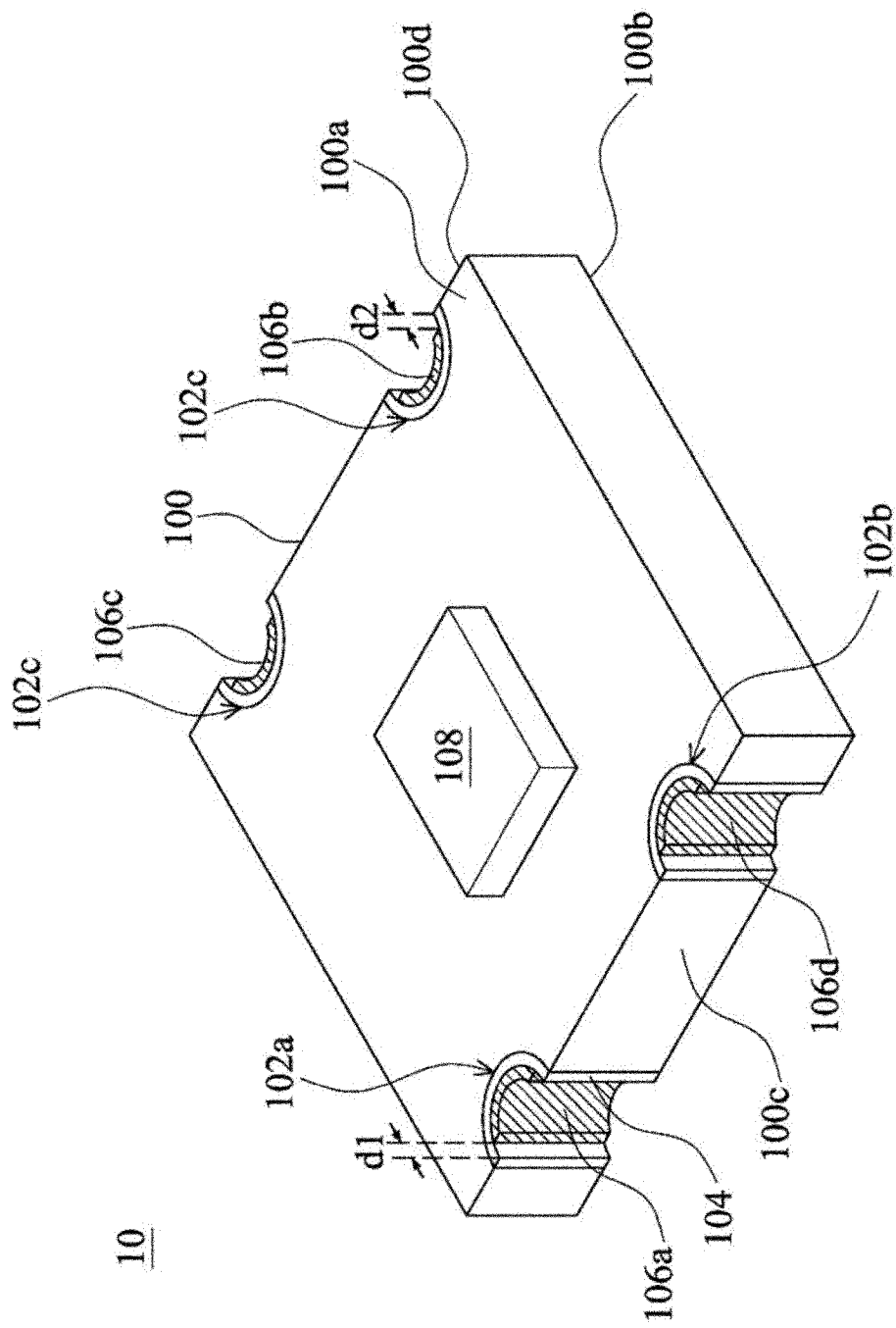


图 1G

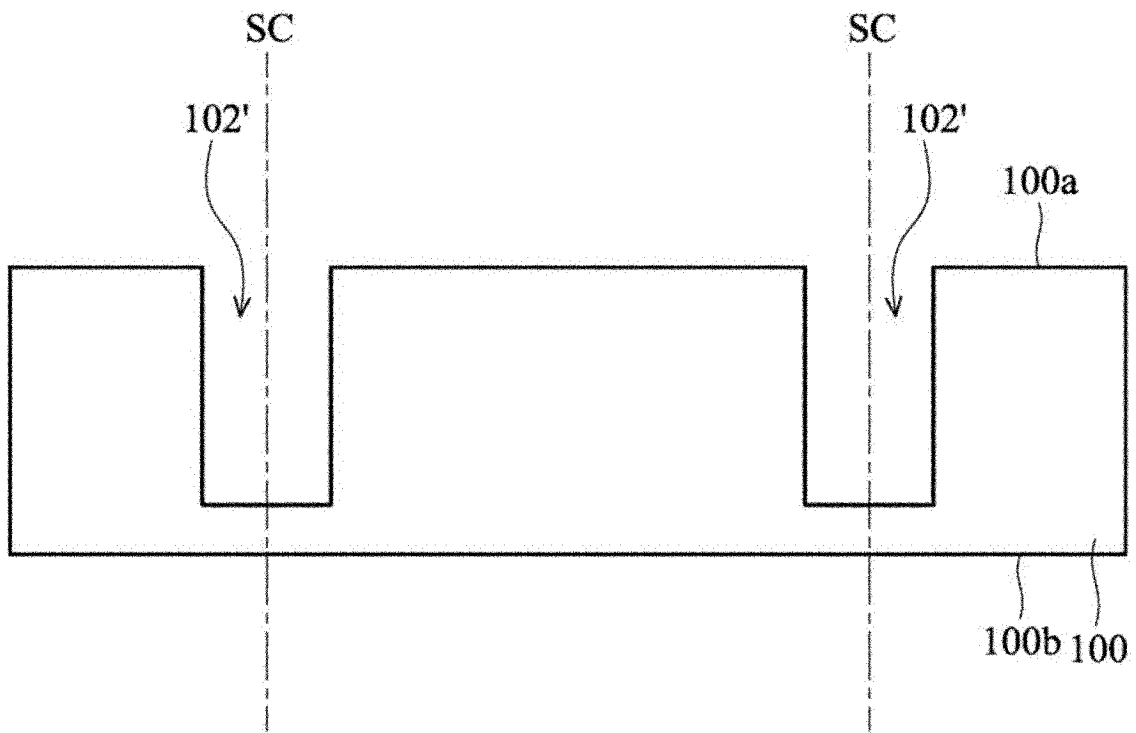


图 2A

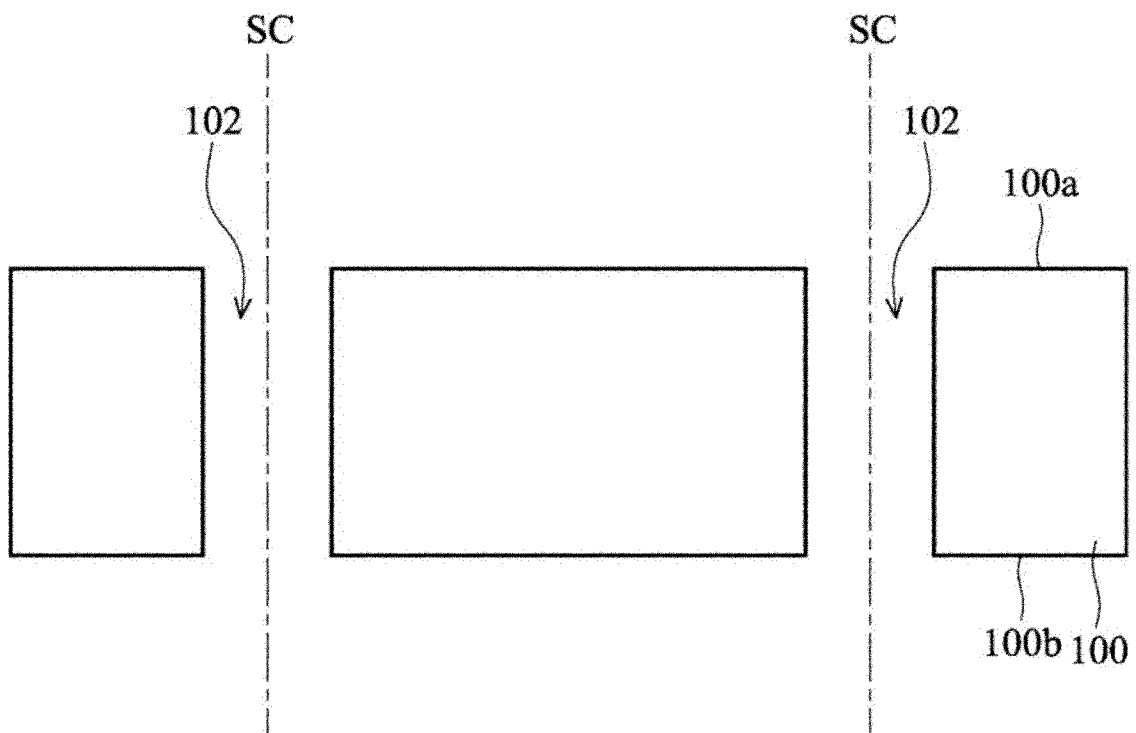


图 2B

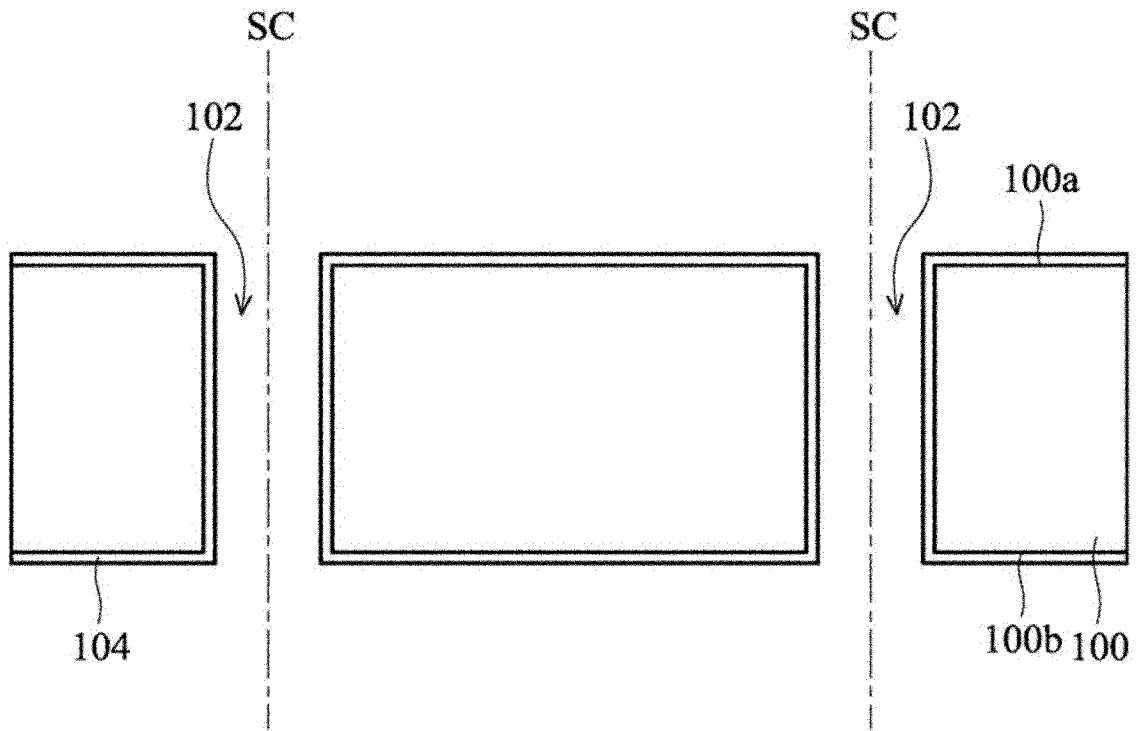


图 2C

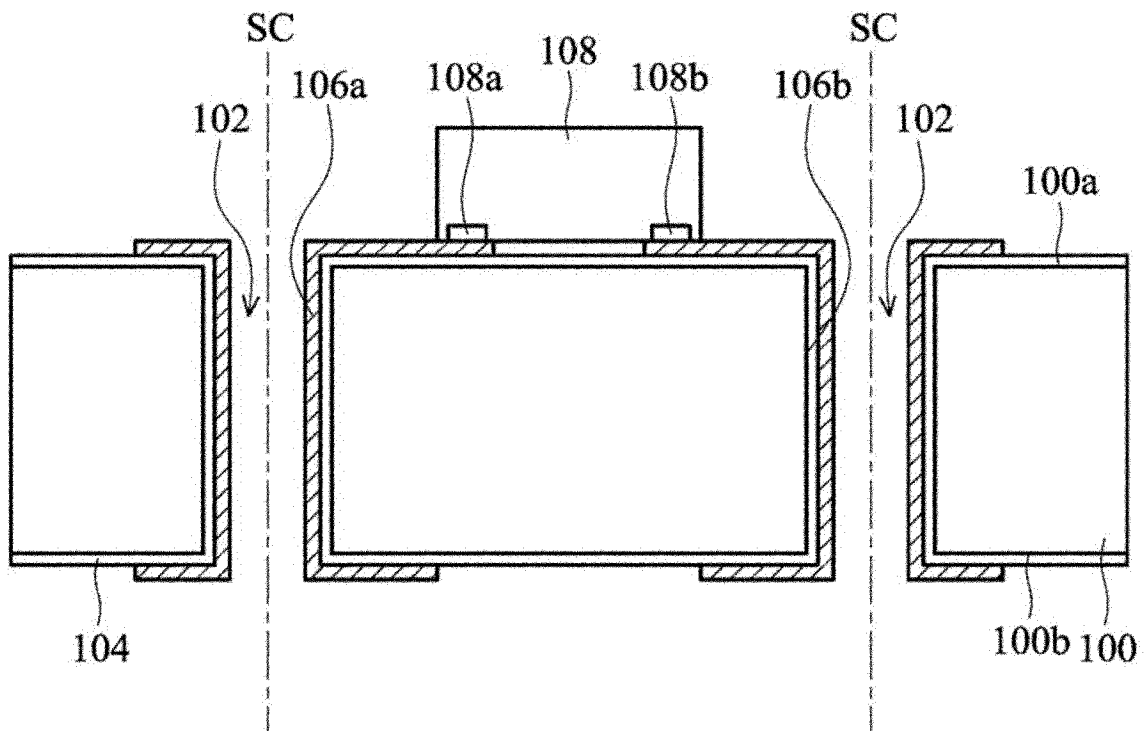


图 2D

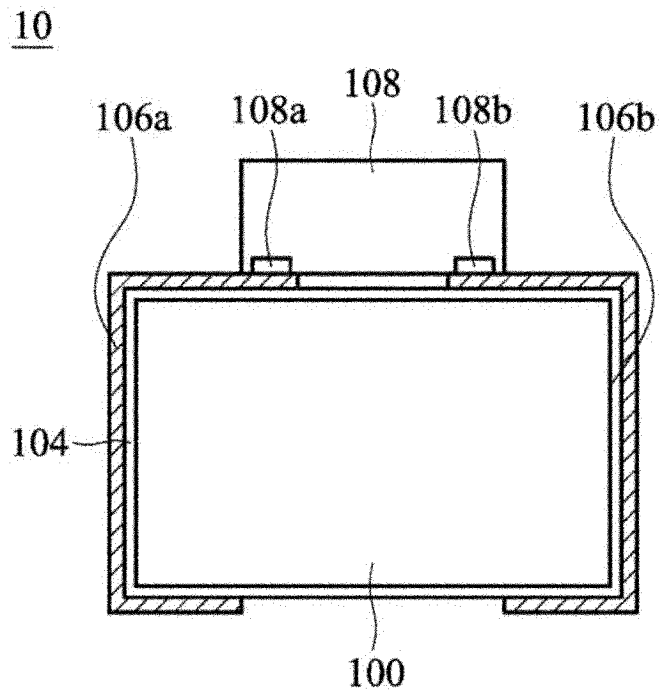


图 2E

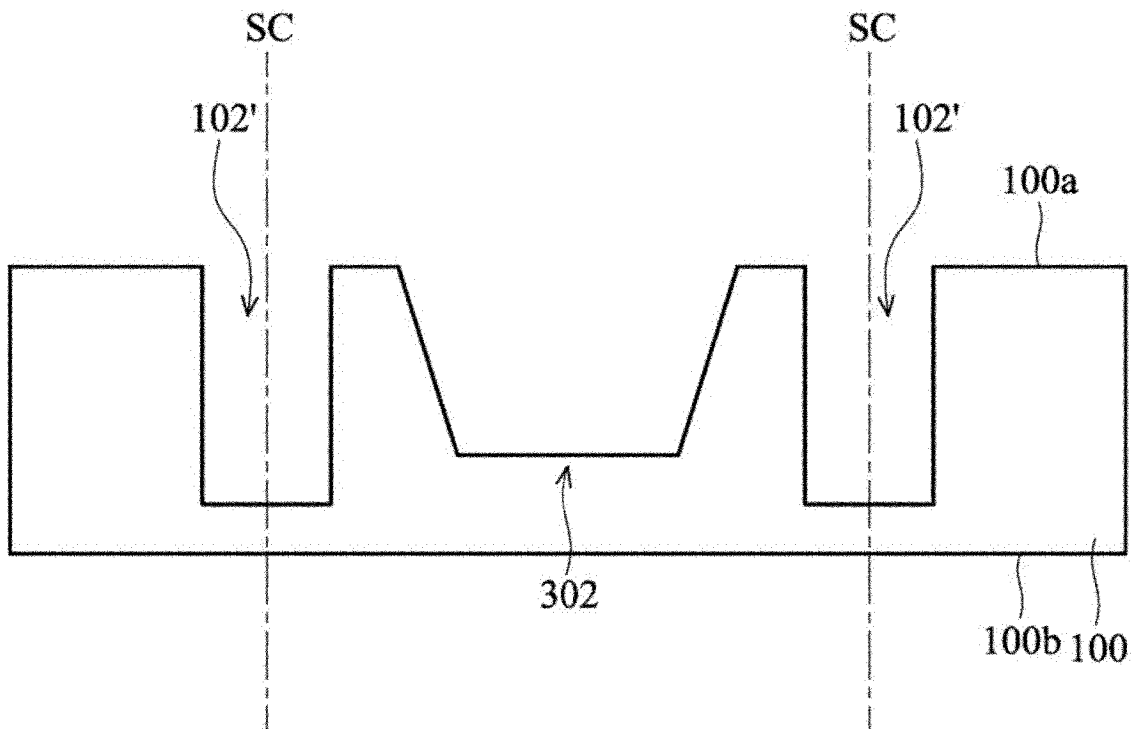


图 3A

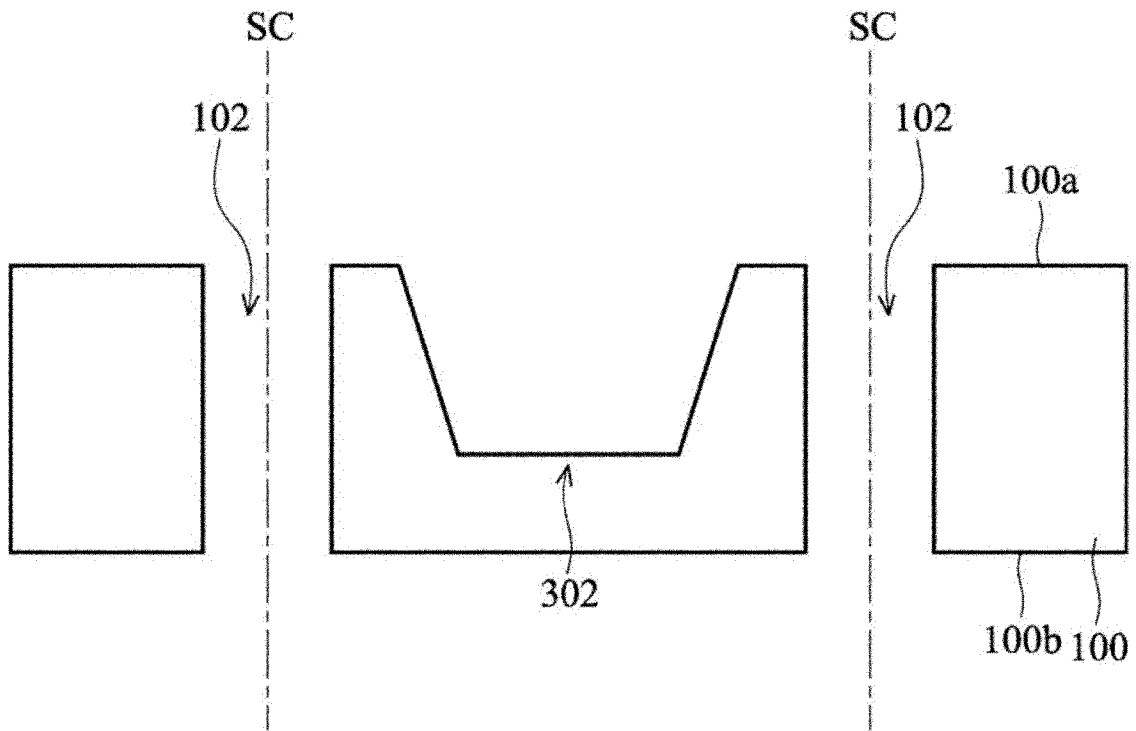


图 3B

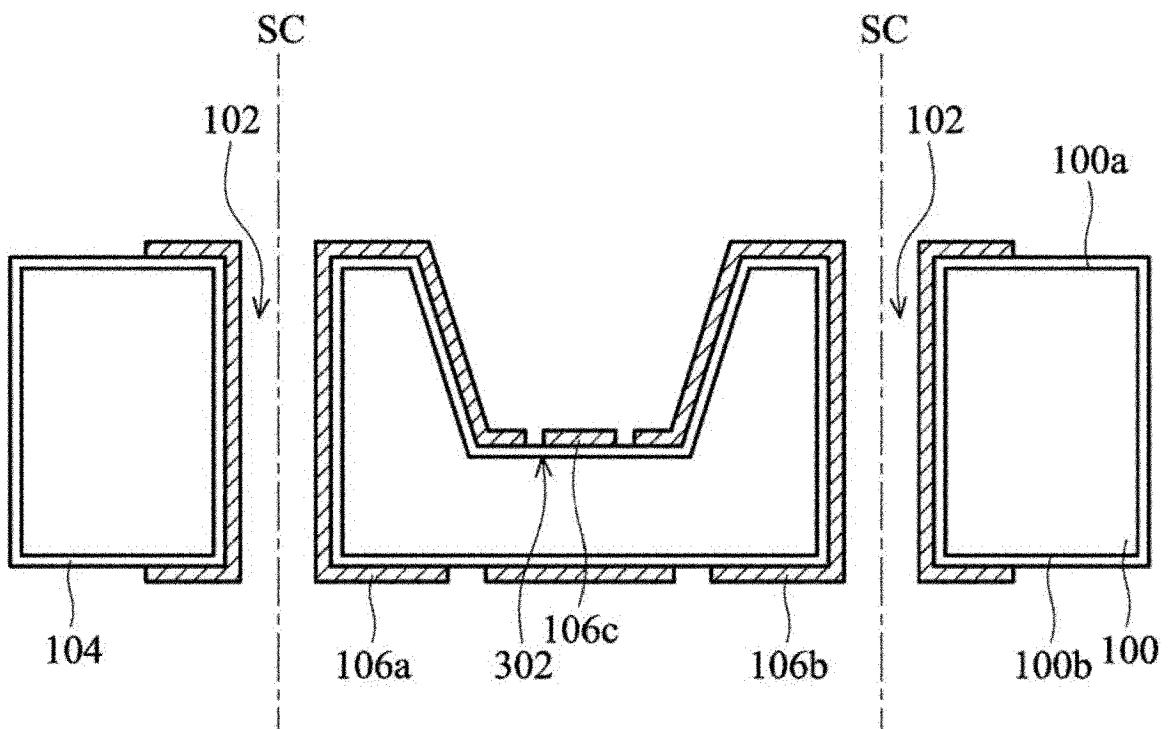


图 3C

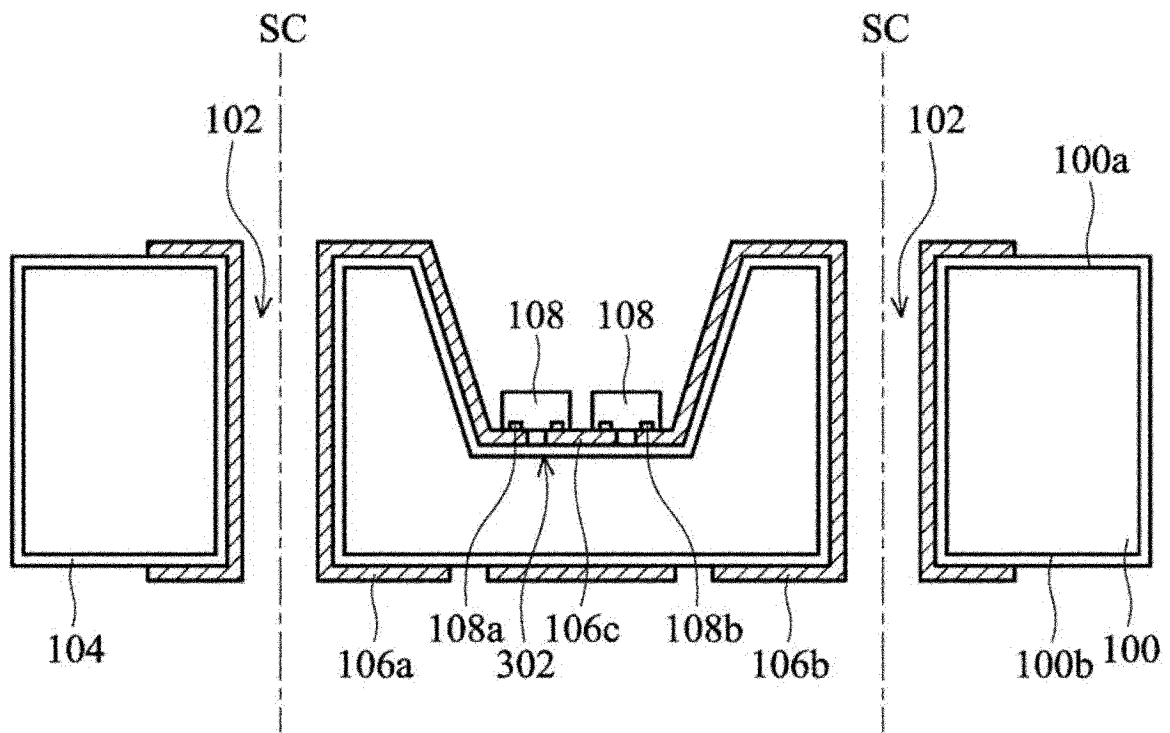


图 3D

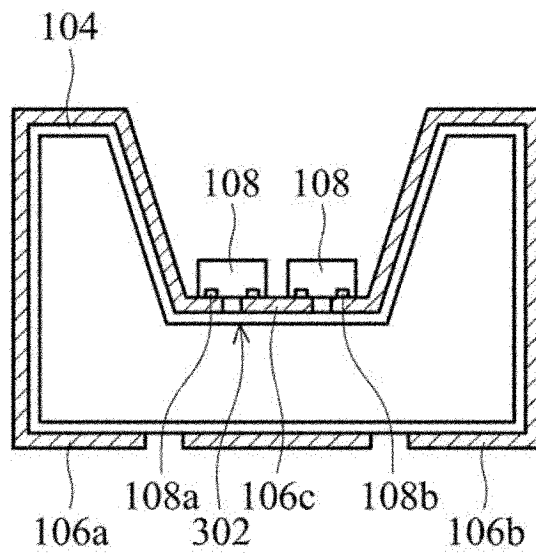


图 3E

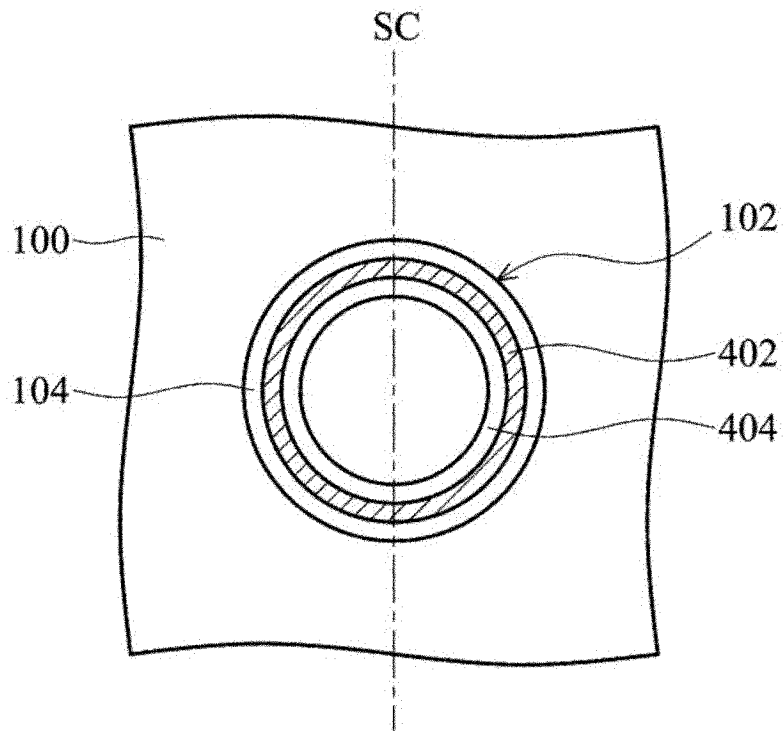


图 4A

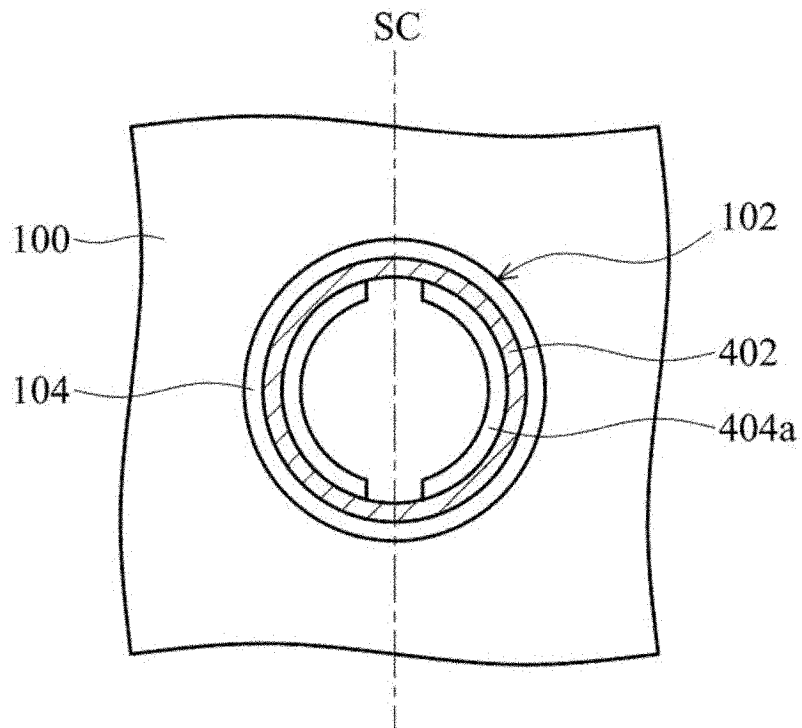


图 4B

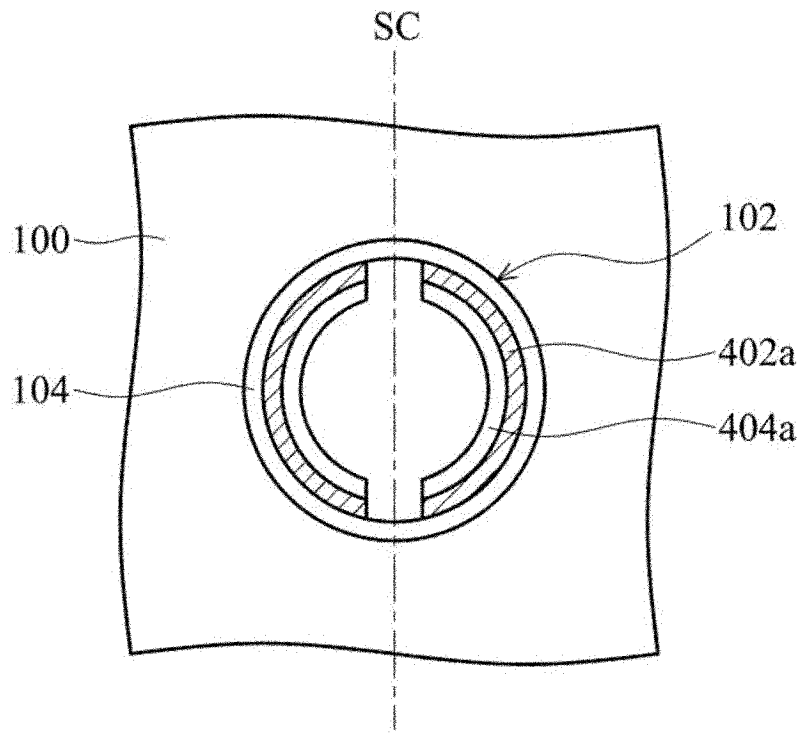


图 4C

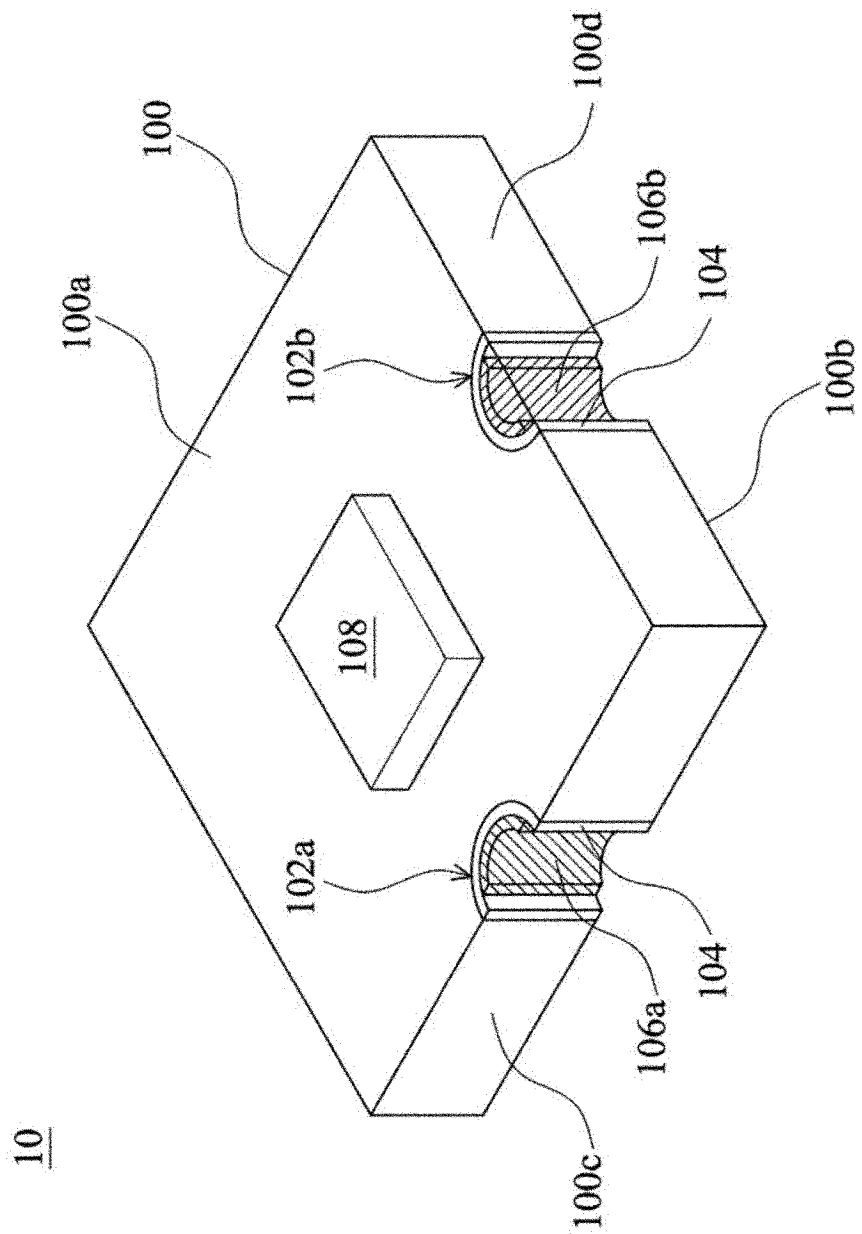


图 5A

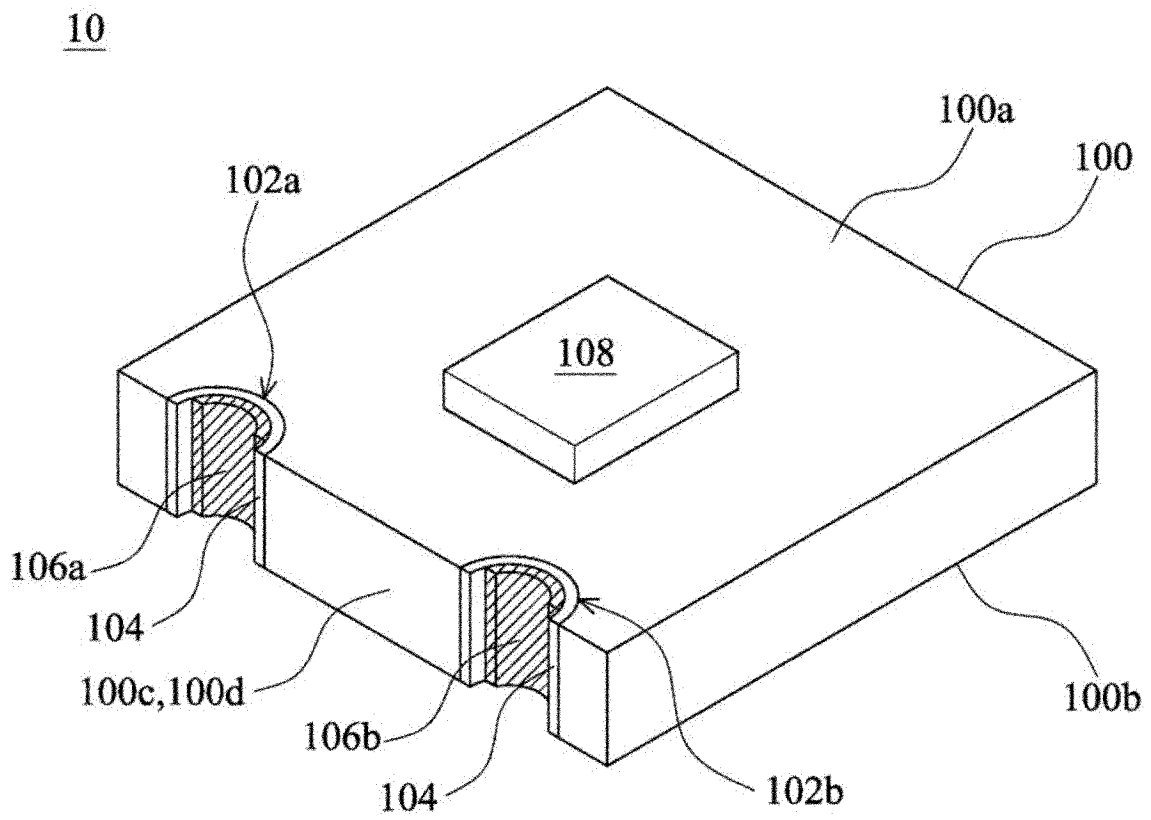


图 5B

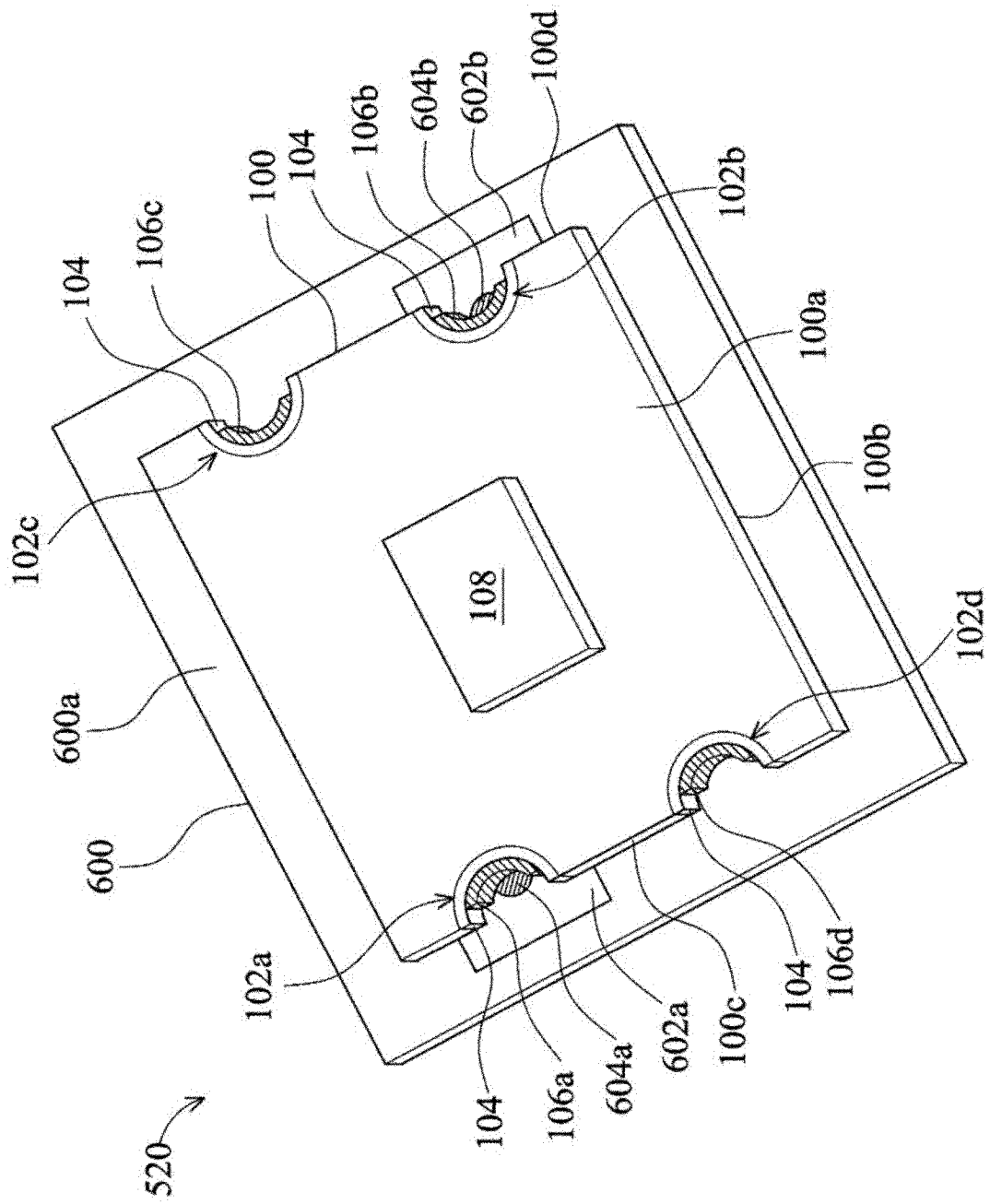


图 6A

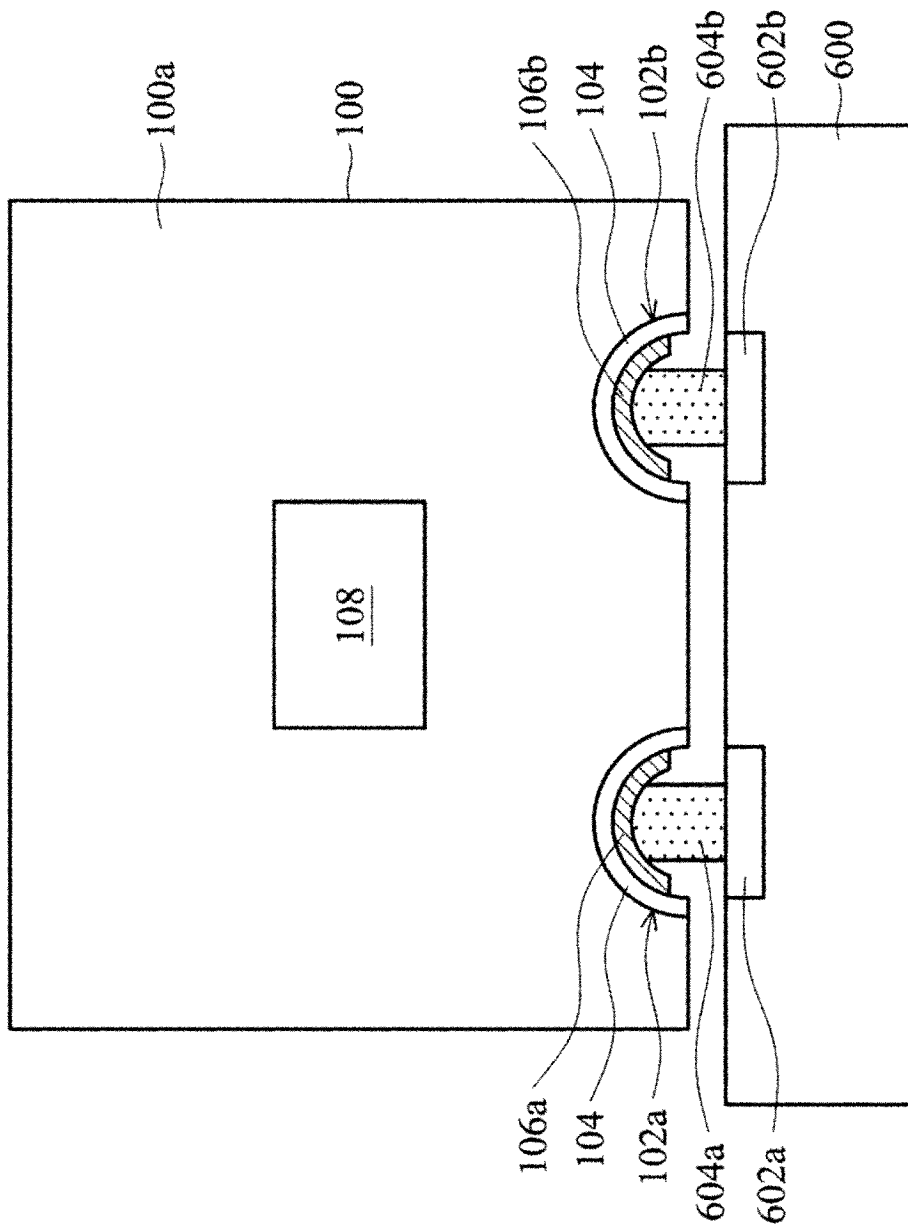


图 6B