

圖 1

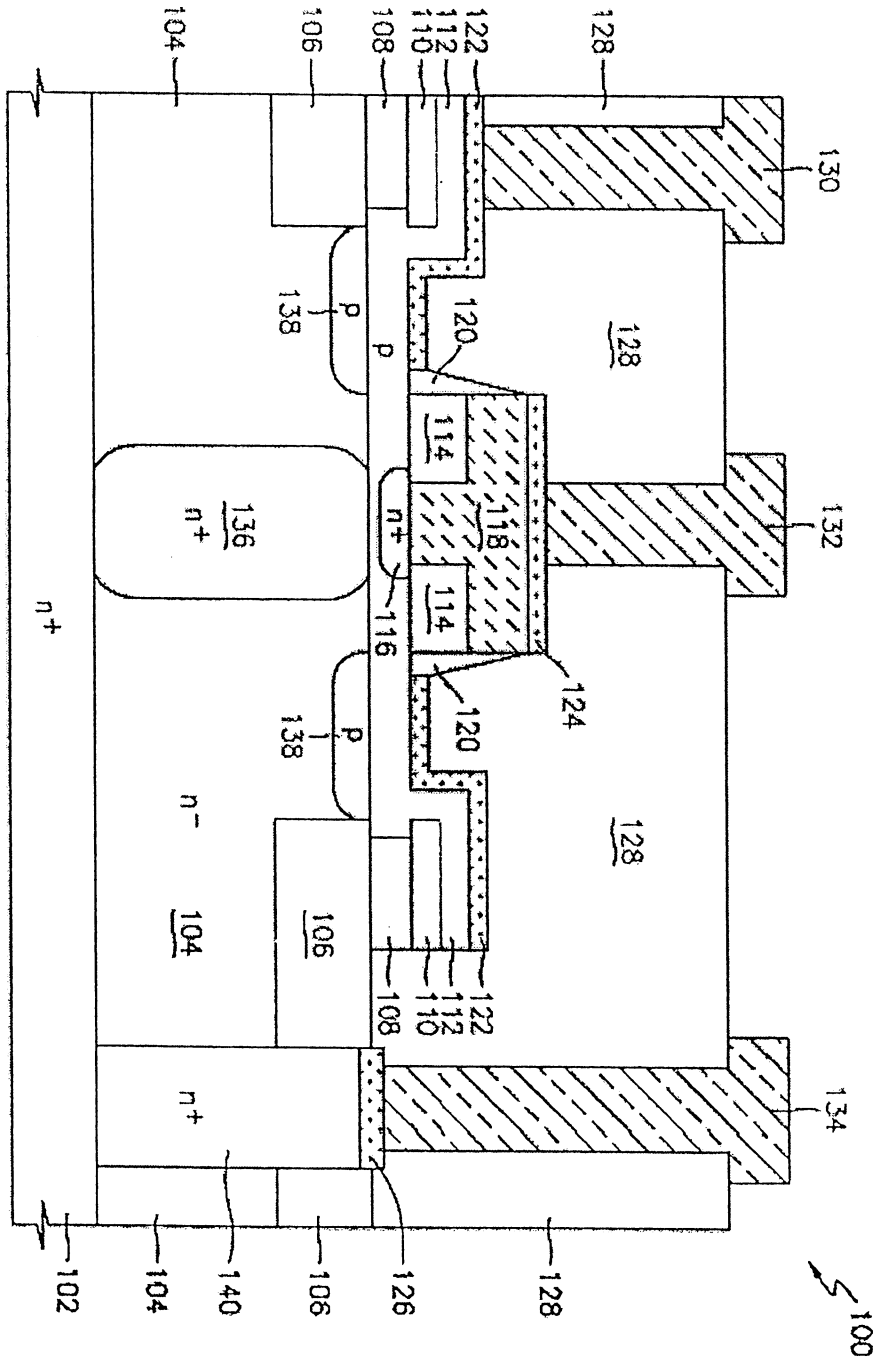


圖 2

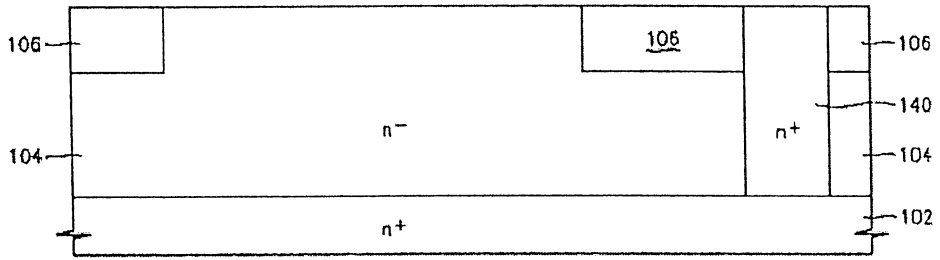


圖 3A

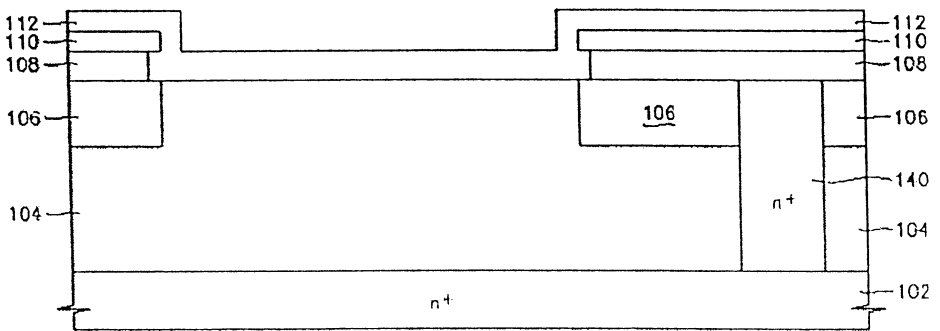


圖 3B

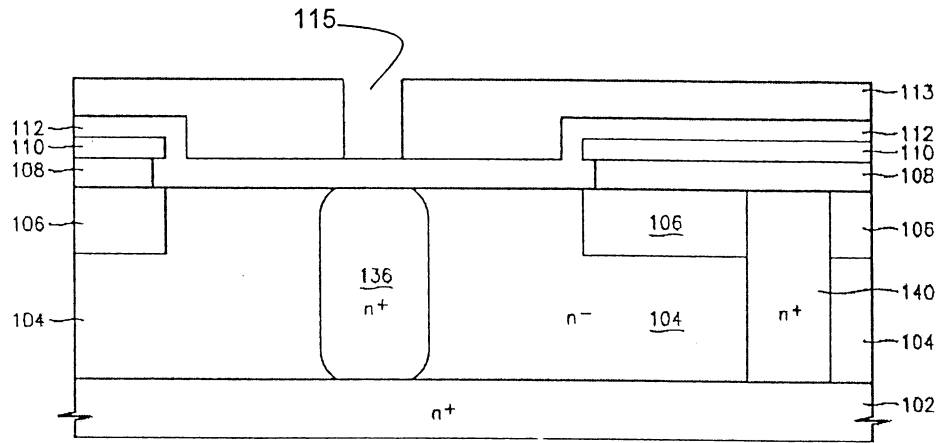


圖 3C

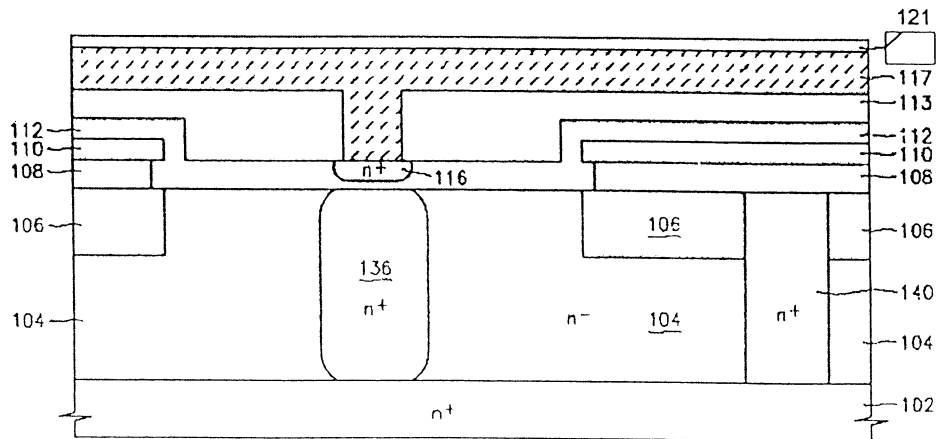


圖 3D

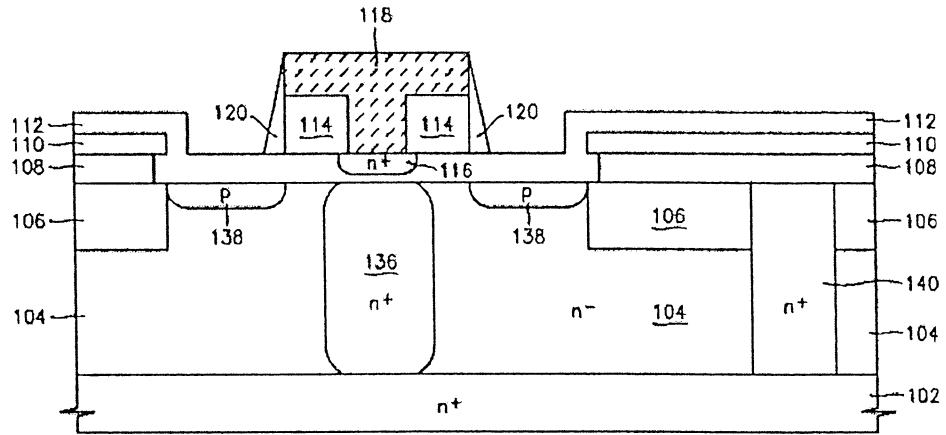


圖 3E

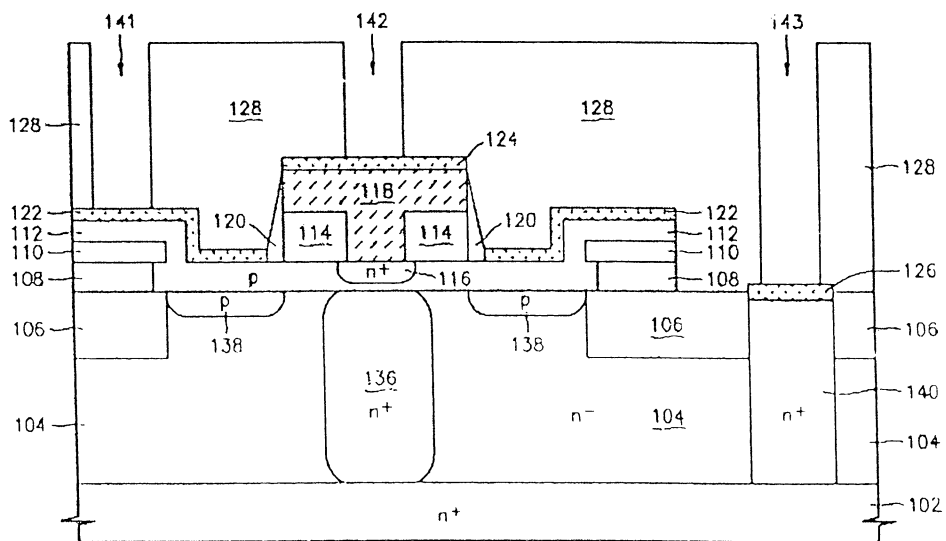


圖 3F

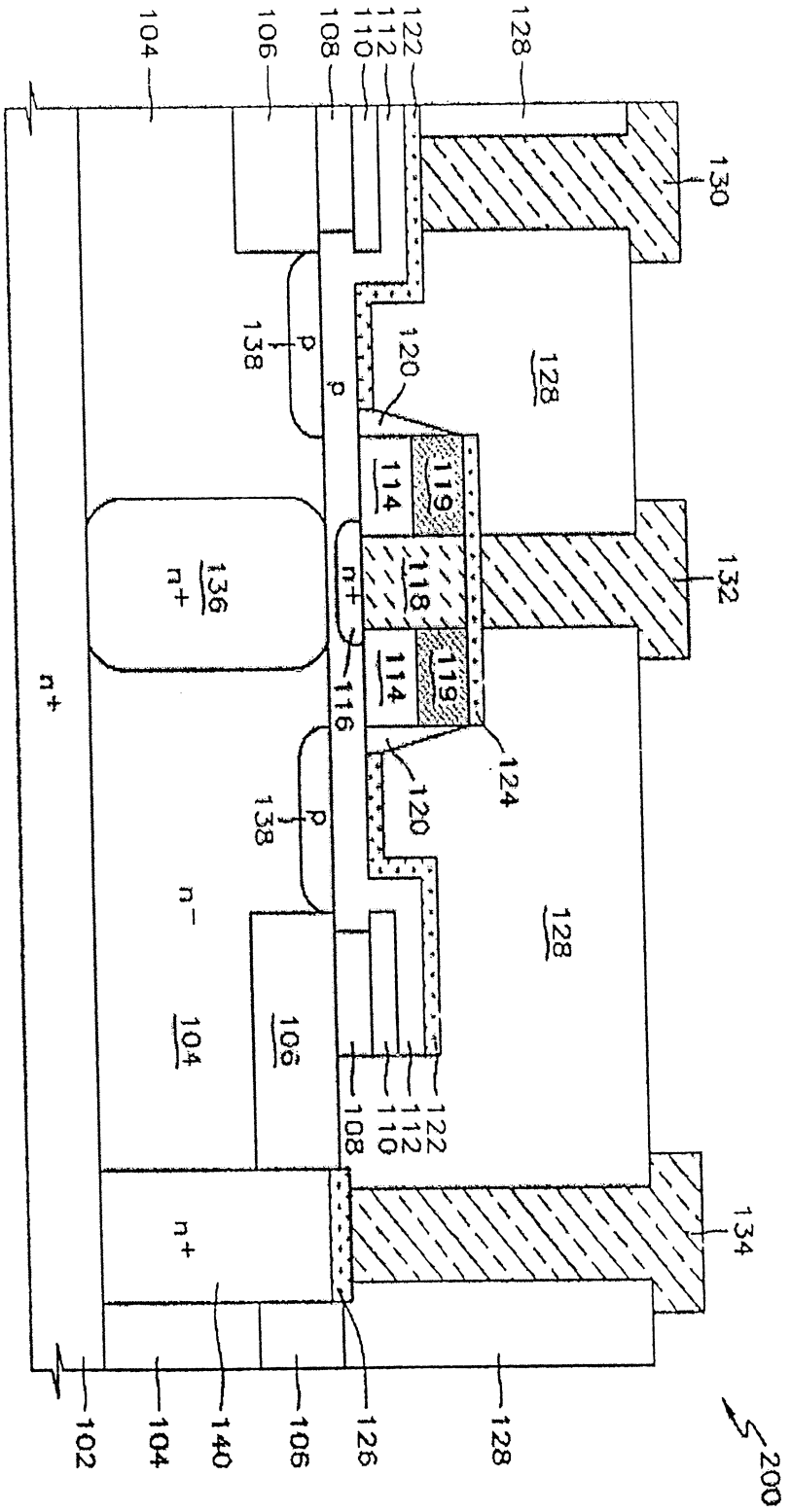


圖 4

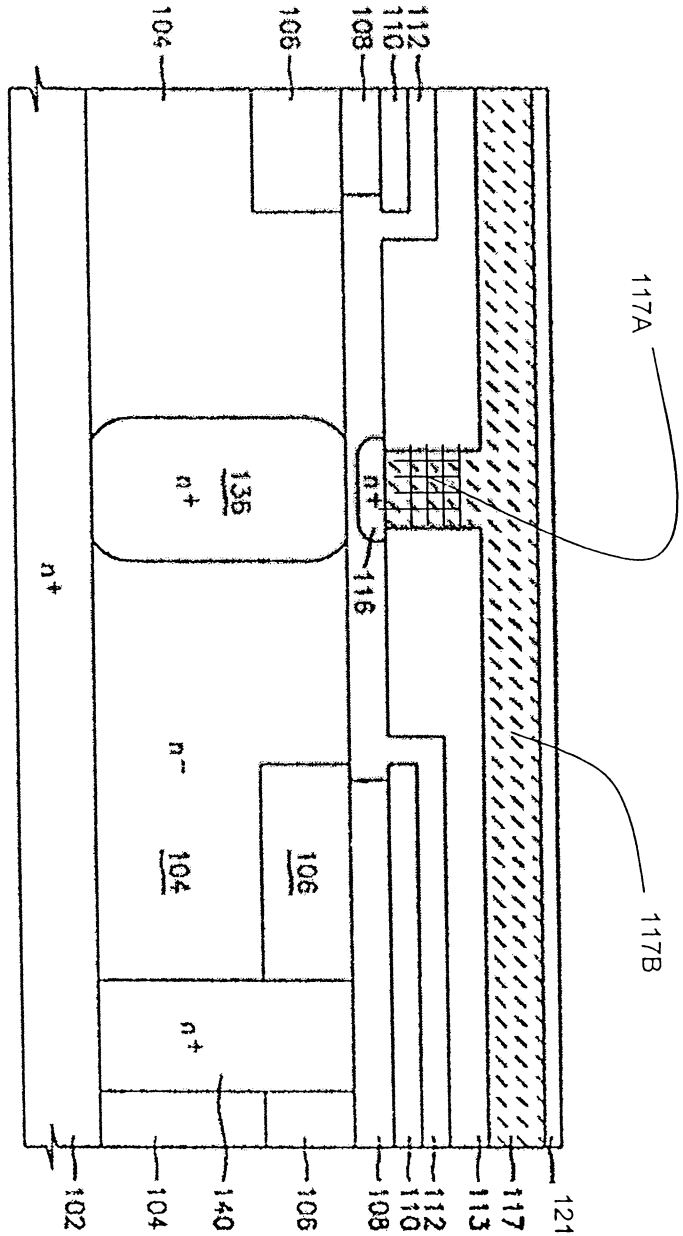


圖 5

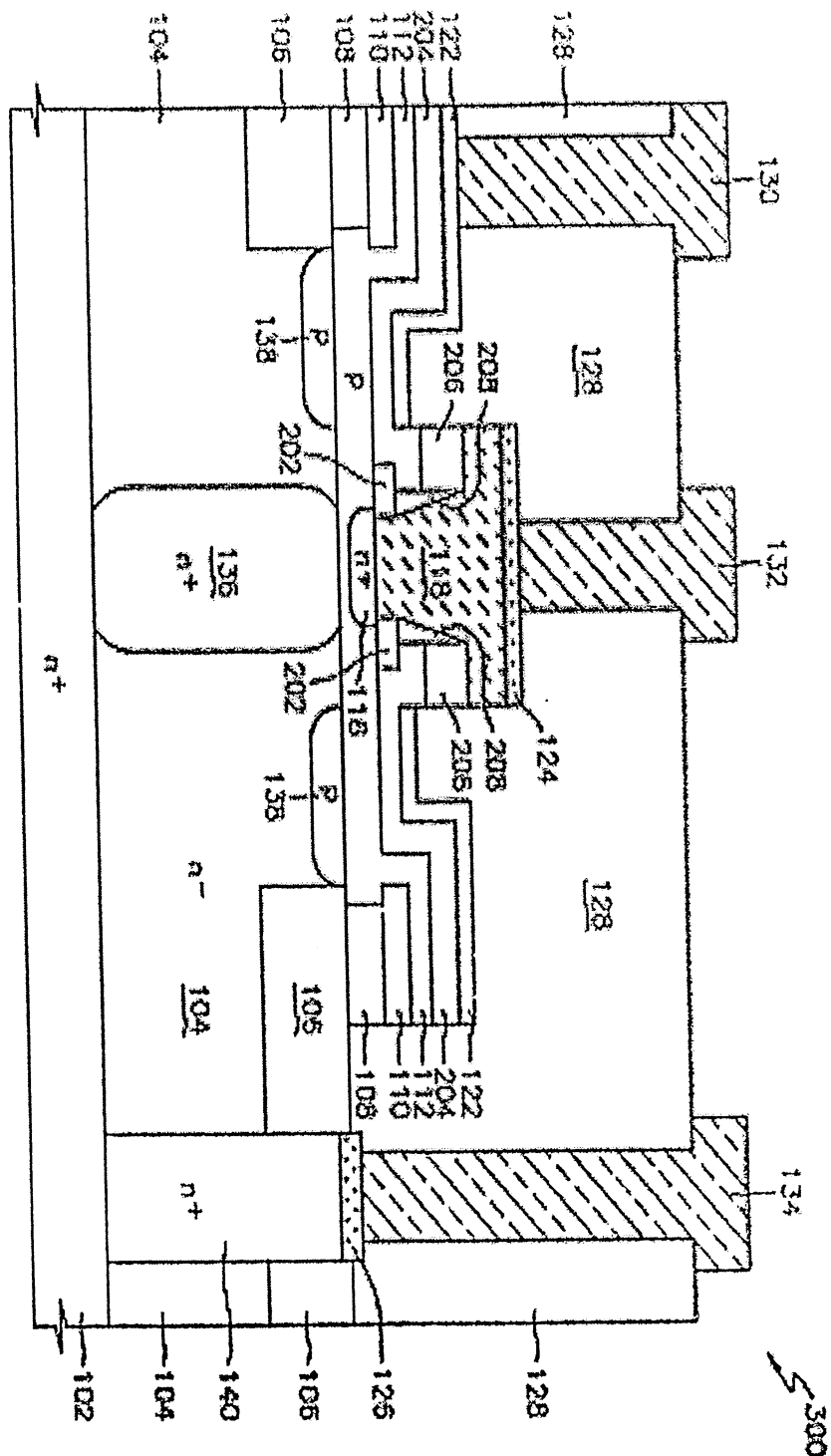


圖 6

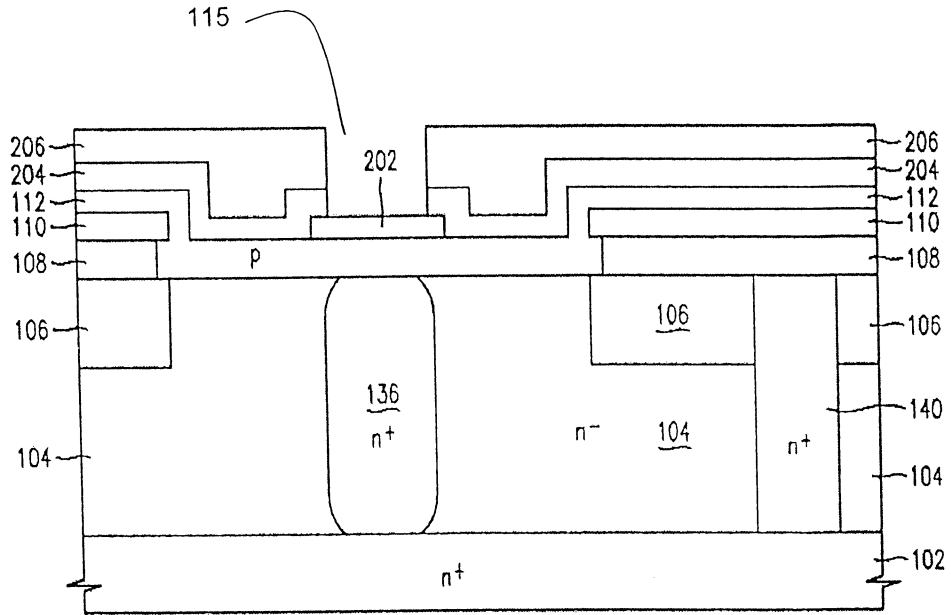


圖 7A

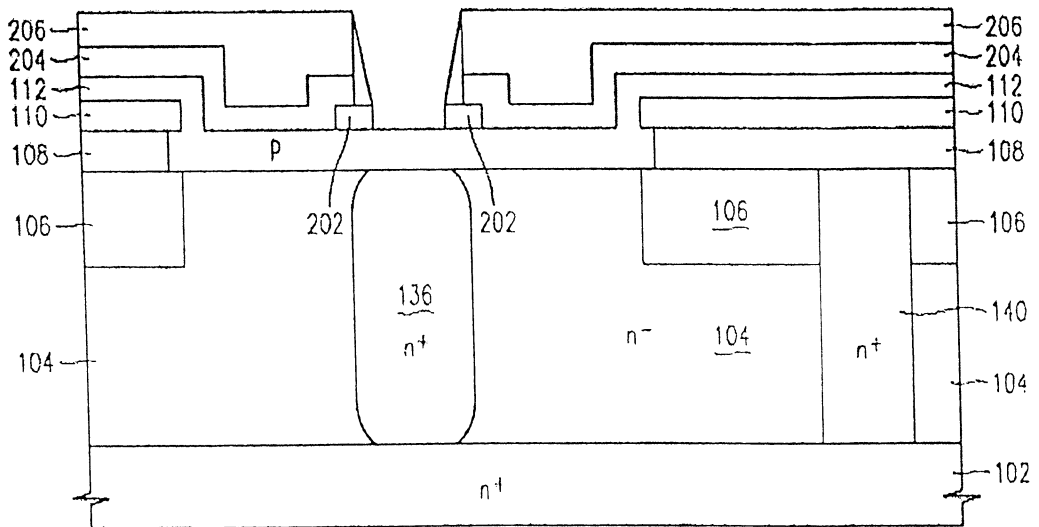


圖 7B

圖 7C

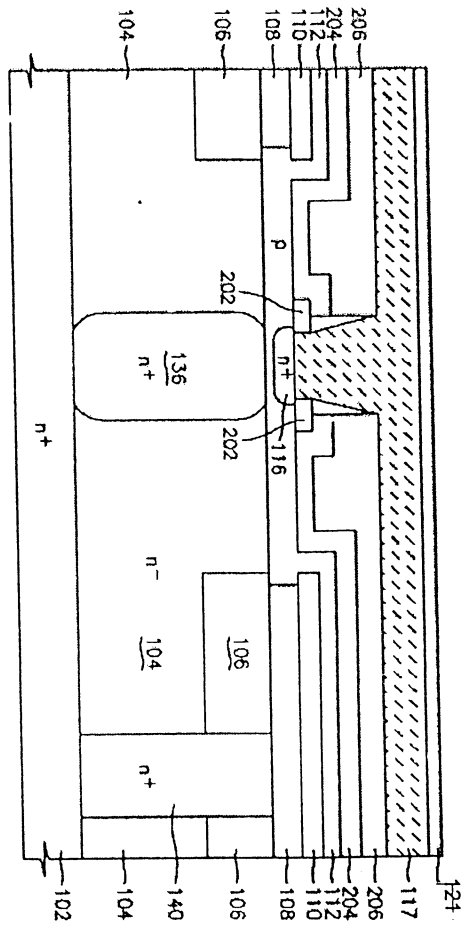
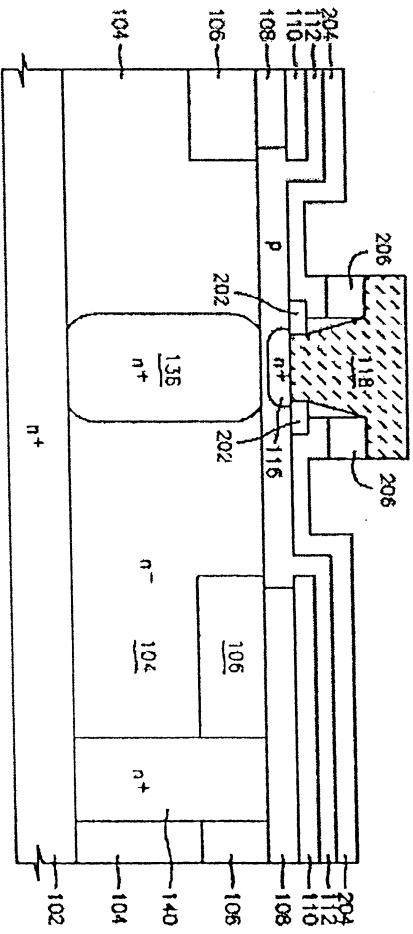


圖 7D



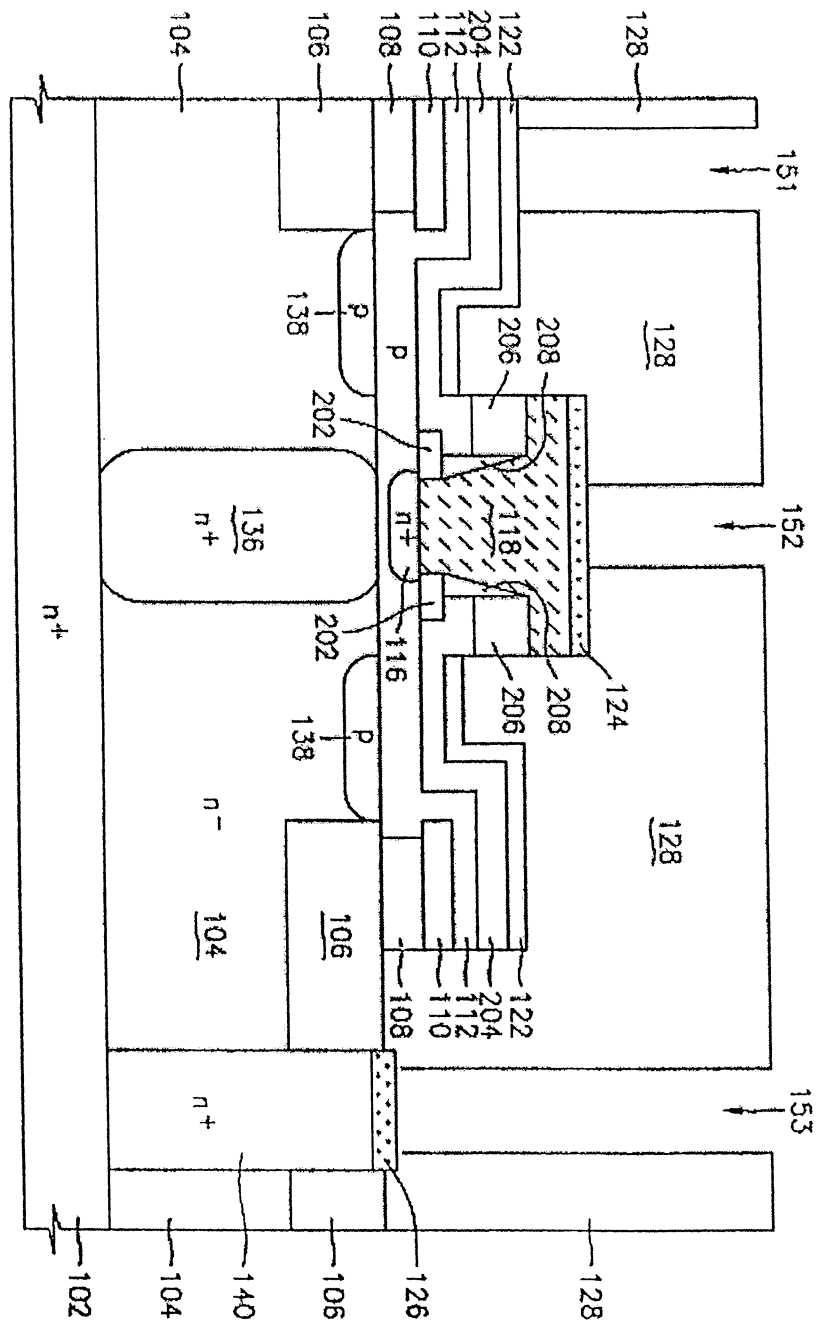


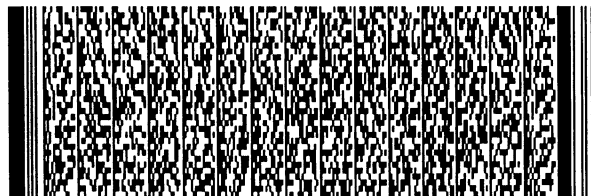
圖 7E

申請日期： 93. 6. 10	IPC分類
申請案號： 93116636	H01L 27/082

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	雙載子接面電晶體及其製造方法
	英文	BIPOLAR JUNCTION TRANSISTORS AND METHODS OF MANUFACTURING THE SAME
二、 發明人 (共1人)	姓名 (中文)	1. 朴康旭
	姓名 (英文)	1. PARK, KANG-WOOK
	國籍 (中英文)	1. 韓國 KR
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 三星電子股份有限公司
	名稱或 姓名 (英文)	1. SAMSUNG ELECTRONICS CO., LTD.
	國籍 (中英文)	1. 韓國 KR
	住居所 (營業所) (中文)	1. 大韓民國京畿道水原市靈通區梅灘洞416番地 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI, GYEONGGI-DO, REPUBLIC OF KOREA
	代表人 (中文)	1. 尹鍾龍
代表人 (英文)	1. YUN, JONG-YONG	



13922.tif 1 ptc

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十七條第一項國際優先權
韓國 KR	2003/06/19	10-2003-39897	有
美國 US	2004/04/22	10/829,190	有

二、主張專利法第二十九條第一項國內優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為：四、有關生物材料已寄存於國外：

寄存國家：

寄存機構：

無

寄存日期：

寄存號碼：

有關生物材料已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、發明說明(1)

【發明所屬之技術領域】

本發明是有關於一種雙載子電晶體(bipolar transistors)。且本發明特別是有關於一種雙載子電晶體在其射極區域與射極電極之間的界面之功效特性。

【先前技術】

圖1是習知一種垂直式雙載子電晶體(vertical bipolar transistor)的剖面示意圖。在這個例子中，顯示一種NPN電晶體，包括了一個位於形成在P-基底1內的N-集極區域(collector region)3中一深度之N+埋入式集極區域2。典型地N-集極區域3是藉由在P-基底1上磊晶成長而形成。再者，如圖示，LOCOS或STI絕緣層4被形成來絕緣N-集極區域3的表面區域。

然後，P+基極層(base layer)5是在N-集極區域3上藉由單晶矽或矽鍺之磊晶成長而形成，且N+射極區域(emitter region)6是在P+基極層5中藉由摻雜植入至一特定深度而形成。P+多晶矽基極電極7與N+多晶矽射極電極8分別接觸基極區域5和射極區域6的表面。射極區域6通常是藉由從多晶矽射極電極8到基極區域5之雜質的擴散所形成。多晶矽射極電極8係藉由側壁間隙壁(sidewall spacer)9和絕緣層10而與多晶矽基極電極7電性隔離。此外，每個多晶矽基極與射極電極7及8被一矽化層(silicide layer)11蓋住，用以低阻值接觸一金屬內連線(未繪示)。

一過摻雜N+區域(overdoped N+ region)12是位於射極區域6下並延伸於基極區域5與N+埋入式集極區域2之



五、發明說明 (2)

間。同樣地，一N+集極坑(sink)13從N+埋入式集極區域2延伸至元件表面，以通過矽化層11連接至一金屬集極接觸窗(未繪示)。

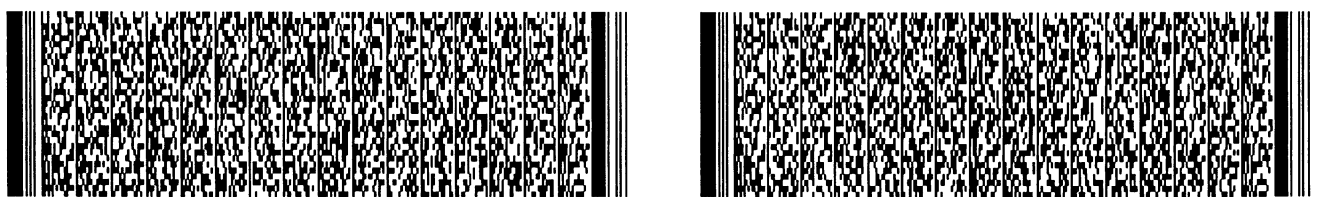
就目前技術所知，雙載子電晶體的傳導是藉由從射極區域6至基極區域5之少數載子(minority carriers)的注入(injection)而達到，藉此電性連接射極區域6至下面的N+集極區域12。在此情況下，電的路徑是被建立於通過過摻雜N+集極區域12與埋入式集極區域2從射極電極8到集極坑13。

於此技術中已經應用多種技術於努力增進雙載子電晶體的功效特性。舉例來說，一種已知的所謂異質接面(heterojunction)雙載子電晶體中的射極區域被以一較高於下面基極區域的能帶隙(band gap)形成，因此促使少數載子注入基極區域。一個範例的異質接面元件是藉由在集極區域上堆疊磊晶成長層矽鍺與矽而形成，然後摻雜上部矽層區域以定義射極。矽射極的能帶隙較矽鍺基極的寬，因而增進注入效率。而已知注入效率可以藉由在矽鍺層中提供一漸進的鍺分佈而更進一步地被增進，以達到一非均勻能帶隙(non-uniform band-gap)。

雖然這些和其它改進與基極中的射極特性有關，但是對於雙載子電晶體仍存有較高功效效率之需求。

請再參照圖1，傳統結構的特點是在側壁間隙壁9之間與絕緣層10上摻雜多晶矽的沈積。這種摻雜多晶矽直接接觸射極區域6並形成電晶體之射極電極。

如上所述，射極區域6通常是藉由從沈積之射極電極



五、發明說明 (3)

往基極區域5之雜質的擴散所形成。同樣如上述，基極區域5是在集極區域3上藉由單晶矽或矽鍺之磊晶成長而形成。射極電極8的多晶矽結構本身直接接觸單晶結構之射極區域6。這個結晶結構上的突然改變會在射極區域6與射極電極8間的界面產生一電阻成分(resistive component)。這個電阻成分出現在電晶體的傳導路徑中，因而降低功效。

此外，由於製程限制，多晶矽直接於射極區域上的沈積導致兩者間的界面有大量的缺陷。這種缺陷更增加界面之電阻成分。

【發明內容】

根據本發明之一方面，提供一種雙載子電晶體，包括具有一第一導電型態的一集極區域之一基底、位於集極區域上的一單晶結構並含有一第二導電型態的雜質之基極層以及至少一部份由基極層中所含的第一導電型態的雜質所定義之射極區域。這種雙載子電晶體更包括與射極區域接觸的第一導電型態之一射極電極，其中與射極區域接觸的至少一部份射極電極具有一單晶結構。

根據本發明之另一方面，提供一種雙載子電晶體，包括具有一第一導電型態的一集極區域之一基底、位於集極區域上的一單晶結構並為一第二導電型態的基極層以及至少一部份由基極層中所含的第一導電型態的雜質所定義之射極區域。這種雙載子電晶體更包括與射極區域接觸的第一導電型態之一磊晶成長層。

根據本發明之再一方面，提供一種形成一雙載子電晶



五、發明說明 (4)

體的一射極接觸窗之方法，包括在一第二導電型態的一基極層的表面上成長含有一第一導電型態的一雜質的一射極電極層，其中與基極層接觸之至少一部份的射極電極層被成長成具有一單晶結構。這種方法還包括從射極電極層擴散雜質到基極層中，以於基極層中形成第一導電型態的一射極區域。

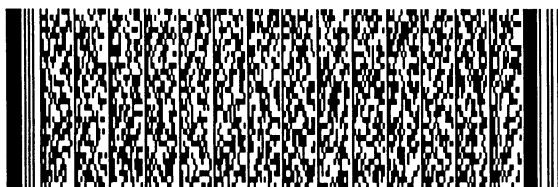
根據本發明之又一方面，提供一種形成雙載子電晶體的方法，包括形成一基極層，包含在一第一導電型態的一基底的一頂面上成長一第二導電型態的一第一磊晶層，與在基底中形成第一導電型態的一集極區域。這種方法還包括於基極層上形成一射極電極層，其包含從第一磊晶層的一頂面成長含有第一導電型態的一雜質的一第二磊晶層。這個方法更包括從第二磊晶層擴散雜質到第一磊晶層中，以於第一磊晶層中形成第一導電型態的一射極區域，以及於射極電極層上形成一金屬層。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

本發明將在下面詳細描述幾個較佳但非用以限定之實施例。

圖2為依照本發明之一實施例的一種雙載子電晶體100。於此實施例中，顯示一NPN電晶體，包括一個位於一單晶結構的N-集極區域104中一深度之N+埋入式集極區域102。再者，如圖示，包括有LOCOS或STI絕緣層106，以絕



五、發明說明 (5)

緣N-集極區域104的表面區域。

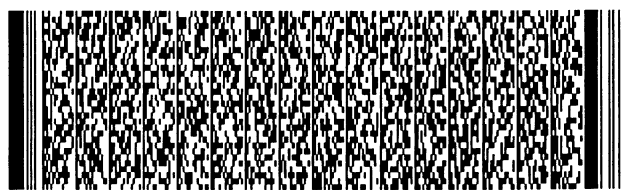
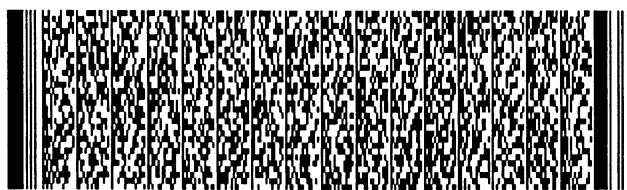
於N-集極區域104上有一單晶結構的P+基極層112，以及一N+單晶射極區域116延伸至P+基極層112中一特定深度。如圖2所示，基極區域138可選擇形成在P+基極層112下方一段深度。僅作為舉例，基極層112可以是一矽單晶或是矽鍺與矽的堆疊層。亦即，雖然未詳細顯示，圖2之電晶體也可選擇是一異質接面元件，其特點是磊晶成長矽鍺層與矽層而形成基極層112，然後摻雜頂矽層的一區域以定義射極116。矽射極之能帶隙比矽鍺基極的寬，因此增進注入效率(injection efficiency)。注入效率可以藉由在矽鍺層中提供一漸進的鍺分佈(graded distribution of Ge)而更進一步地被增進，以達到一非均勻能帶隙(non-uniform band-gap)。

一矽化基極電極122位於基極層112的上面，並與延伸穿過一絕緣或介電層128的一金屬接觸窗130接觸。

一N+射極電極118與射極區域116的上面接觸。如之後將討論的一樣，與射極區域116接觸的至少部份射極電極118實質上是單晶結構。於此具體實例中，整個射極電極118都是單晶結構。

射極電極118藉由側壁間隙壁120與絕緣層114而與基極電極122電性隔絕。此外，射極電極118的上面被覆蓋著一矽化層124，而依序接觸貫通絕緣層128的一金屬射極接觸窗132。

一過摻雜N+區域136位於射極區域116下並延伸於基極層112與N+埋入式集極區域102之間。同樣地，一N+集極坑



五、發明說明 (6)

140 從N+埋入式集極區域102延伸至元件表面，以通過一矽化層126連接至一金屬集極接觸窗134。

最後，參照號108與110分別代表一絕緣層與多晶矽層，其係可選擇被包含於雙載子電晶體內。

而圖2之雙載子電晶體的傳導性(conductivity)係藉由從射極區域116至基極區域112之少數載子(minority carriers)的注入(injection)而達到，藉此電性連接射極區域116至下面的N+集極區域136。在此情況下，電的路徑是被建立於經由過摻雜N+集極區域136與埋入式集極區域102從射極電極118到集極坑140。

如上所述，本實施例之射極區域116與射極電極118都是單晶結構。因此，在射極區域116與射極電極118間的界面沒有突然改變的結晶結構，而與傳統具有多晶射極電極之元件比較之下，降低導因於界面之電阻成分。因為這種電阻成分出現在電晶體的傳導路徑中，所以本實施例之電流獲益(current gain)與雙載子電晶體的速度都被增加。一種製造圖2的雙載子電晶體之方法將被描述於圖3A~3F。請先參照圖3A，在一p型半導體基底(未繪示)中形成一N+埋入式集極區域102與一N-集極區域104。然後於N-集極區域104的表面中形成STI或LOCOS絕緣層106，以及形成一N+集極坑140穿過N-集極區域104而接觸N+埋入式集極區域102。

請參照圖3B，可選擇於絕緣層106上圖案化一或多個絕緣層108與多晶矽層110。絕緣層108之材質範例包括SiN、SiON與SiO₂。之後，藉由單晶矽或矽鍺之磊晶成長



五、發明說明 (7)

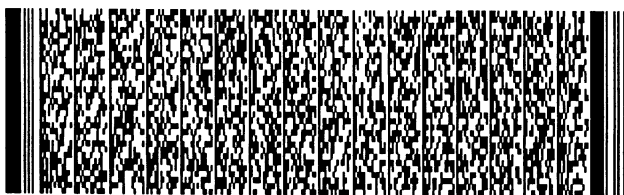
形成一基極層112。舉例來說，在異質接合元件(heterojunction device)的情況中，基極層112可以是一矽鍺層，包括堆疊的一矽晶種層、一矽鍺間隙壁層(spacer layer)、一摻雜矽鍺層以及一矽蓋層(capping layer)。

接下來，請參照圖3C，沈積一絕緣層113並於此形成一射極窗(window)115。然後，藉由離子植入穿過射極窗115形成一過摻雜N+集極區域136。二者擇一地，為避免離子植入傷害基極層112，可在基極層112沈積前利用在圖3A所示之結構上圖案化一光阻罩幕形成N+集極區域136。於任一情形中，沈積絕緣層113並形成射極窗115。

然後，請參照圖3D，形成一射極電極層117與一阻障層121。如圖所示，射極電極層117填滿絕緣層113中的射極窗115，以便接觸射極區域116(尚未形成)。

於本實施例中，藉由單晶矽、矽鍺或一矽-矽鍺合成物(composite)之低溫(低於900°C)磊晶成長形成射極電極層117。射極電極層117不是臨場(in situ)就是離子植入N+摻雜，且較佳是具有一按等級的雜質濃度分佈(graded impurity concentration distribution)，而其中射極電極層117上部具有較高於其下部之濃度。例如在上部中之雜質濃度可在 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ 的一範圍內，反之在下部中之雜質濃度可在 $1 \times 10^{18}/\text{cm}^3 \sim 1 \times 10^{20}/\text{cm}^3$ 的一範圍內。

請繼續參照圖3D，在形成阻障層121之後，藉由熱處理期間雜質之擴散從射極電極層117到基極層112之上部中形成一射極區域116。不過，二者擇一地，前述擴散可在



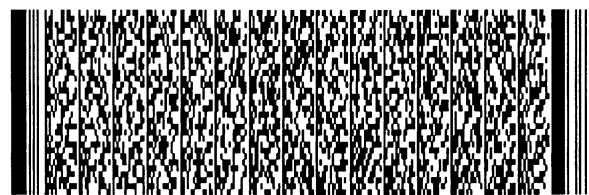
五、發明說明 (8)

射極電極層117之磊晶成長期間進行，或是射極區域116可在射極電極層117形成前藉由離子植入形成。在基極層112是一矽鍺層的異質接合元件之情況中，射極區域116被形成於矽蓋層中或是在矽蓋層與基極層112之摻雜矽鍺層中。

接著，請參照圖3E，利用蝕刻或化學機械研磨來圖案化射極電極層117(如圖3D)，以定義一射極電極118。在圖案化後殘留之部分絕緣層113(如圖3D)於圖3E中被標示為參照號114。然後在射極電極118與絕緣層114之側壁上形成絕緣側壁間隙壁120。再者，不是在間隙壁120的形成之前就是在之後，於N-集極區域104中藉由P型雜質的離子植入形成基極區域138。

請參照圖3F，基極層112與在下面的層110、108被圖案化，以暴露出集極坑140。然後，實施一矽化製程，以於基極區域112、射極電極118與集極坑140上分別形成矽化層122、124與126。在最終結構上沈積一絕緣層128，再形成接觸窗洞141、142與143，以暴露出矽化層122、124與126。最後，雖然未繪示於圖3F中，但是可於接觸窗洞141、142與143中填入金屬內連線。

如上所述，射極電極118是藉由單晶矽之磊晶成長從單晶基極層112形成的。然後射極區域116是藉由雜質之擴散從射極電極118到基極層112中形成的。因為射極區域116與射極電極118都是單晶，所以射極區域116與射極電極118間的界面沒有突然改變的結晶結構。此外，與傳統具有多晶矽射極電極的元件相較下，界面的缺陷也被大大



五、發明說明 (9)

地降低。因此，降低了界面電阻，並增加雙載子電晶體的電流增益與速度。

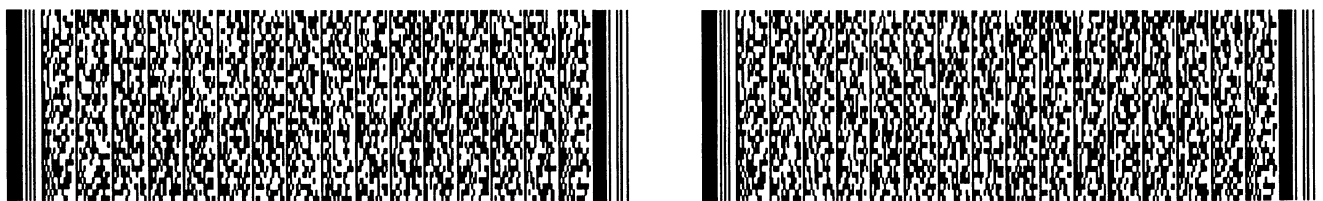
上述實施例之至少部分特點在於單晶射極電極。然而，射極電極需要的不是整個結構從頭到尾都要是單晶的。更確切地說，未與單晶射極區域接觸的一部份射極電極可被形成為非晶質或多晶質的結構。這將被概念上顯示於圖4，其係依照本發明之另一實施例的雙載子電晶體。

圖4的雙載子電晶體之射極電極包括一單晶部分118與一非晶質或多晶質部分119。圖4的所有其他參照號表示與前述圖2中一樣的編號成分。

應知圖4中單晶部分118與非晶質或多晶質部分119之間所示的界線(demarcation line)只是用來作為說明之目的。事實上，在射極電極之成長期間藉由改變製程條件，從單晶到非單晶的轉變可被分等級並任意地定位置。這個概念將描述於下面的圖5。如同一個別的事情，熟習該項技術者應可理解，所謂單晶是指包括實質上或主要是一單晶結構的材料。同樣地，所謂多晶質或非晶質的材料包括結構上實質上或主要是一多晶質或非晶質的。

圖5相當於前述之圖3D，除了射極電極117是顯示成包含一單晶部分117A與一多晶質部分117B。較佳地是藉由部分117A與117B之臨場成長而形成射極電極117。

就像一個例子，單晶部分117A可藉由一N+摻雜的矽、矽鍺或其合成物之低溫(低於900°C)磊晶成長而形成。可選擇地是雜質濃度可具有一漸進的分佈。舉例來說，在上部的雜質濃度可在 $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 的一範圍



五、發明說明 (10)

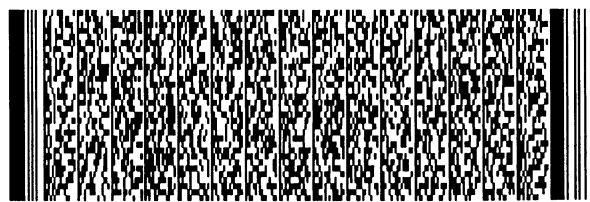
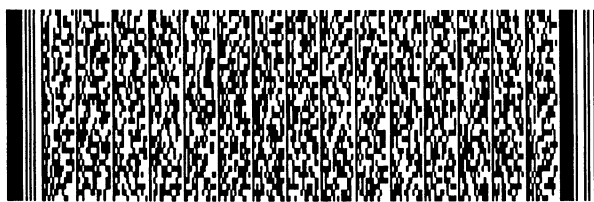
內，反之在下部中之雜質濃度可在 $1 \times 10^{18}/\text{cm}^3 \sim 1 \times 10^{20}/\text{cm}^3$ 的一範圍內。

之後，於磊晶成長後在沒有一真空中斷(vacuum break)下，可藉由一N + 摻雜的矽、矽鍺或其合成物之一低溫(低於 900°C ，如 550°C)多晶質成長形成多晶質部分117B。可選擇地是雜質濃度可以是相當固定的。舉例來說，雜質濃度可在 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{22}/\text{cm}^3$ 的一範圍內。

從磊晶成長到多晶質成長的轉變可藉由增加腔體壓力以及/或是減少腔體溫度來達成。僅作為舉例用，這種轉變可藉由從20 torr到200 torr地增加腔體壓力，或是從 600°C 到 500°C 地減少腔體溫度來實施。另外，從單晶質到多晶質的一更高逐漸變化可藉由在射極電極117成長期間對腔體壓力之持續暴起而獲得，或是在射極電極117成長期間對腔體溫度之持續暴落而獲得。

現在的注意力在圖6，其係本發明之一第三實施例。本實施例不同於圖2，其中一多晶矽基極電極204是位在基極區域112上，以及有關射極電極118、絕緣層202和206與側壁間隙壁208的結構。圖6的所有其他參照號表示與前述圖2中一樣的編號成分。

更具體地，如圖6所示，一摻雜多晶矽基極電極204位於基極區域102上，而在基極電極204上帶有一矽化層122。再者，射極電極118藉由側壁間隙壁208與絕緣層202、206而與基極電極204電性隔絕。與第一實施例對照下，射極電極118的側壁是遵從側壁間隙壁208而呈錐形的。



五、發明說明 (11)

圖6的雙載子電晶體也可包括如圖2中所標示的基極區域。

如前述之實施例，射極電極118可具有一單晶結構，如單晶矽或矽鍺。二者擇一地，與射極區域116接觸的至少一部份射極電極具有一單晶結構，而剩餘部分具有一非晶質或多晶質結構，如非晶矽或矽鍺，或多晶矽或矽鍺。

一種製造圖6的雙載子電晶體之方法將被描述於圖7A~7E。

最初，得到一種與前述圖3B所示相同之基底。然後，請參照圖7A，在基極區域112上圖案化一絕緣層202。接著，依序在結果結構上沈積一摻雜多晶矽層204與一絕緣層206。之後，蝕刻一射極窗115，以暴露出絕緣層202。

請參照圖7B，側壁間隙壁208形成於藉由蝕刻部分絕緣層202而暴露出基極區域112之射極窗115的側壁上。然後，藉由離子植入穿過射極窗115形成一過摻雜N⁺集極區域136。二者擇一地，為避免離子植入傷害基極層112，可在基極層112沈積前利用一光阻罩幕圖案形成N⁺集極區域136。於任一情形中，射極窗115都被形成。

接下來，請參照圖7C，形成一射極電極層117與一阻障層121。如圖示，射極電極層117填滿射極窗115以便與射極區域116(尚未形成)接觸。

於此實施例中，射極電極層117係藉由單晶矽、矽鍺或一矽-矽鍺合成物之低溫(低於900°C)磊晶成長而形成。不過，射極電極層117也可被形成為單晶、多晶與非晶質結構的結合，就如先前有關圖4與5所述。射極電極層117



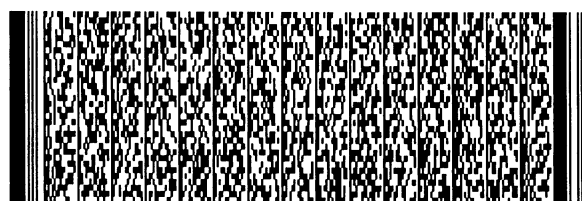
五、發明說明 (12)

不是臨場就是離子植入N+摻雜，且較佳是具有一按等級的雜質濃度分佈，而其中射極電極層117上部具有較高於其下部之濃度。例如在上部中之雜質濃度可在 $1 \times 10^{19} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 的一範圍內，反之在下部中之雜質濃度可在 $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{20} / \text{cm}^3$ 的一範圍內。

請繼續參照圖7C，在形成阻障層121之後，藉由雜質之擴散從射極電極層117到基極層112之上部中形成一射極區域116。而在基極層112是一矽鍍層的異質接合元件之情況中，射極區域116被形成於矽蓋層中或是在矽蓋層與基極層112之摻雜矽鍍層中。

接著，請參照圖7D，利用蝕刻或化學機械研磨來圖案化射極電極層117(如圖7C)，以定義一射極電極118。然後，請參照圖7E，基極電極204、基極層112與下面的層110、108被圖案化，以暴露出集極坑140。然後，實施一矽化製程，以於基極電極204、射極電極118與集極坑140上分別形成矽化層122、124與126。在最終結構上沈積一絕緣層128，再形成接觸窗洞151、152與153，以暴露出矽化層122、124與126。最後，雖然未繪示於圖7E中，但是可於接觸窗洞151、152與153中填入金屬內連線。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1是習知一種垂直式雙載子電晶體的剖面示意圖。

圖2為依照本發明之一實施例的雙載子電晶體之剖面示意圖。

圖3A~3F為圖2的雙載子電晶體之製造流程剖面示意圖。

圖4為依照本發明之另一實施例的雙載子電晶體之剖面示意圖。

圖5係描述依照本發明之一實施例的一射極電極之成長的剖面示意圖。

圖6為依照本發明之再一實施例的雙載子電晶體之剖面示意圖。

圖7A~7E為圖6的雙載子電晶體之製造流程剖面示意圖。

【主要元件符號說明】

1：P-基底

2、102：N+埋入式集極區域

3、104：N-集極區域

4、10、106、108、113、114、128、202、206：絕緣層

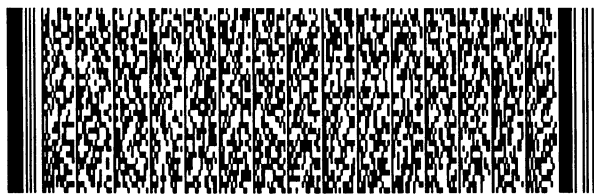
5、138：基極區域 6：射極區域

7：P+多晶矽基極電極

8：多晶矽射極電極

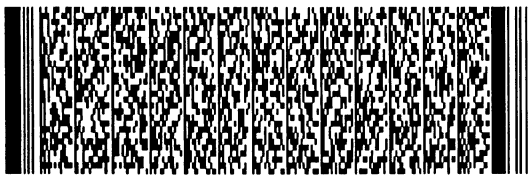
9、120、208：側壁間隙壁

11、124、126：矽化層



圖式簡單說明

- 12 : 摻雜N+ 區域
- 13、140 : N+ 集極坑
- 100 : 雙載子電晶體
- 110 : 多晶矽層
- 112 : P + 基極層
- 115 : 射極窗
- 116 : N+ 單晶射極區域
- 117 : 射極電極層
- 117A : 單晶部分
- 117B : 多晶質部分
- 118 : 射極電極(單晶部分)
- 119 : 非晶質或多晶質部分
- 121 : 阻障層
- 122、204 : 矽化基極電極
- 130 : 金屬接觸窗
- 132 : 金屬射極接觸窗
- 134 : 金屬集極接觸窗
- 136 : 過摻雜N+ 集極區域
- 141、142、143、151、152、153 : 接觸窗洞

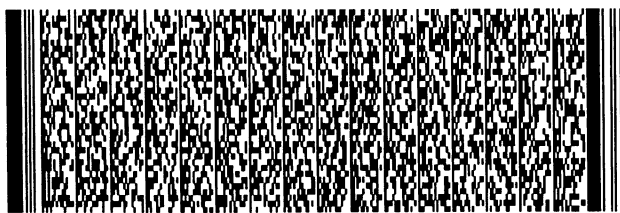


四、中文發明摘要 (發明名稱：雙載子接面電晶體及其製造方法)

一種雙載子接面電晶體，其中的基底具有一第一導電型態的一集極區域，而一單晶結構並含有一第二導電型態的雜質之基極層位於集極區域上。射極區域之至少一部份是由基極層中所含的第一導電型態的雜質所定義。第一導電型態的一射極電極與射極區域接觸，且其與射極區域接觸的至少一部份具有一單晶結構。

五、英文發明摘要 (發明名稱：BIPOLAR JUNCTION TRANSISTORS AND METHODS OF MANUFACTURING THE SAME)

A bipolar junction transistor includes a substrate having a collector region of a first conductivity type, and a base layer of a single crystalline structure and including impurities of a second conductivity type is located over the collector region. An emitter region is defined at least in part by impurities of the first conductivity type contained in the base layer.



四、中文發明摘要 (發明名稱：雙載子接面電晶體及其製造方法)

五、英文發明摘要 (發明名稱：BIPOLAR JUNCTION TRANSISTORS AND METHODS OF MANUFACTURING THE SAME)

An emitter electrode of the first conductivity type contacts the emitter region, and at least a portion of the emitter electrode which is in contact with the emitter region has a single crystalline structure.



六、申請專利範圍

1. 一種雙載子電晶體，包括：

一基底，具有一第一導電型態的一集極區域；

一基極層，位於該集極區域上，該基極層係一單晶結構並含有一第二導電型態的雜質；

一射極區域，至少一部份由該基極層中所含的該第一導電型態的雜質所定義；

該第一導電型態的一射極電極，與該射極區域接觸，其中與該射極區域接觸的至少一部份該射極電極具有一單晶結構，且該射極電極包括矽與矽鍺其中之一或矽與矽鍺的一合成物。

2. 如申請專利範圍第1項所述之雙載子電晶體，更包括一基極電極，位於該基極區域上。

3. 如申請專利範圍第2項所述之雙載子電晶體，其中該基極電極包括多晶矽與多晶矽鍺至少其中之一。

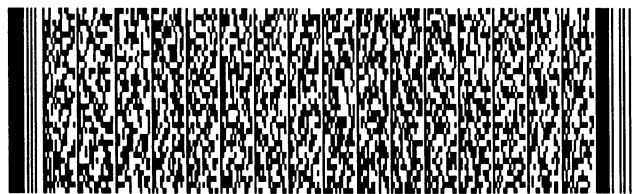
4. 如申請專利範圍第1項所述之雙載子電晶體，更包括一金屬層，形成於該射極電極上。

5. 如申請專利範圍第4項所述之雙載子電晶體，其中與該金屬層接觸之至少一部份該射極電極具有一單晶結構。

6. 如申請專利範圍第1項所述之雙載子電晶體，更包括一金屬層，形成於該基極層上。

7. 如申請專利範圍第2項所述之雙載子電晶體，更包括一金屬層，形成於該基極電極上。

8. 如申請專利範圍第4項所述之雙載子電晶體，其中



六、申請專利範圍

該金屬層是一矽化層，且其中該雙載子電晶體更包括一金屬電極層，與該矽化層接觸。

9. 如申請專利範圍第1項所述之雙載子電晶體，其中未與該射極區域接觸的至少一部份該射極電極具有一多晶質或非晶質結構。

10. 如申請專利範圍第1項所述之雙載子電晶體，其中整個該射極電極具有一單晶結構。

11. 如申請專利範圍第4項所述之雙載子電晶體，其中與該金屬層接觸的至少一部份該射極電極具有一多晶質或非晶質結構。

12. 如申請專利範圍第1項所述之雙載子電晶體，其中該射極電極的雜質濃度沿一深度方向改變。

13. 如申請專利範圍第12項所述之雙載子電晶體，其中該射極電極的上部具有比該射極電極的下部高的雜質濃度。

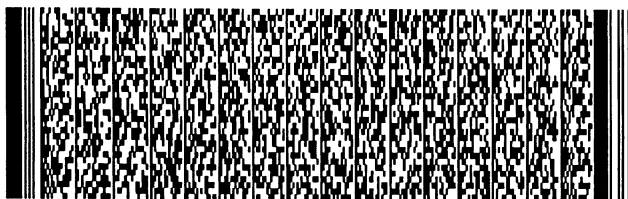
14. 如申請專利範圍第1項所述之雙載子電晶體，更包括一基極區域，位於該集極區域的一表面中與該基極層下方。

15. 如申請專利範圍第2項所述之雙載子電晶體，更包括一間隙壁，電性隔絕該射極電極與該基極電極。

16. 一種雙載子電晶體，包括：

一基底，具有一第一導電型態的一集極區域；

一單晶結構並為一第二導電型態的一基極層，位於該集極區域上；



六、申請專利範圍

一射極區域，至少一部份由該基極層中所含的該第一導電型態的雜質所定義；以及

一射極電極，包括該第一導電型態的一磊晶成長層與該射極區域接觸，其中該磊晶成長層包括矽與矽鍺其中之一或矽與矽鍺的一合成物。

17. 如申請專利範圍第16項所述之雙載子電晶體，其中該磊晶成長層係在低於 900°C 的一溫度下成長的。

18. 如申請專利範圍第16項所述之雙載子電晶體，更包括一矽化層，形成於該射極電極之該磊晶成長層上，以及一金屬電極層，形成於該矽化層上。

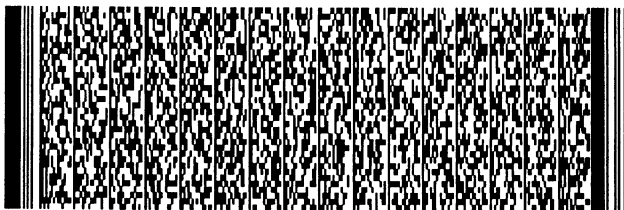
19. 如申請專利範圍第18項所述之雙載子電晶體，更包括一金屬電極層，形成於該射極電極之該磊晶成長層上。

20. 如申請專利範圍第16項所述之雙載子電晶體，其中該射極電極更包括一多晶成長層，形成於該磊晶成長層上。

21. 如申請專利範圍第20項所述之雙載子電晶體，其中該磊晶成長層與該多晶成長層之間的一界面的結構上特點在於這兩層是在沒有一真空中斷下連續成長的。

22. 如申請專利範圍第21項所述之雙載子電晶體，其中該射極電極從該磊晶成長層到該多晶成長層之結構轉變是逐漸改變的。

23. 如申請專利範圍第22項所述之雙載子電晶體，更包括一矽化層，形成於該射極電極的該多晶成長層上，以



六、申請專利範圍

及一金屬電極層，形成於該矽化層上。

24. 如申請專利範圍第23項所述之雙載子電晶體，更包括一金屬電極層，形成於該射極電極的該多晶成長層上。

25. 如申請專利範圍第16項所述之雙載子電晶體，其中該射極電極更包括一非晶質層，形成於該磊晶成長層上。

26. 如申請專利範圍第16項所述之雙載子電晶體，更包括一絕緣層形成於該基底上並具有對準於該射極區域的一通孔，其中該磊晶成長層至少部分包含於該通孔中。

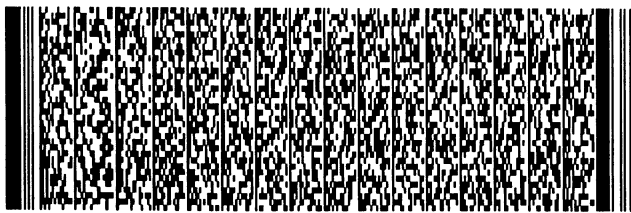
27. 如申請專利範圍第26項所述之雙載子電晶體，其中該磊晶成長層延伸於該絕緣層的一頂面上。

28. 如申請專利範圍第20項所述之雙載子電晶體，其中該磊晶成長層與該多晶成長層包括矽與矽鍺其中之一或矽與矽鍺的一合成物。

29. 一種形成雙載子電晶體的射極接觸窗之方法，包括：

在一第二導電型態的一基極層的表面上成長含有一第一導電型態的一雜質的一射極電極層，其中與該基極層接觸之至少一部份的該射極電極層被成長成具有一單晶結構，且該射極電極層包括矽與矽鍺其中之一或矽與矽鍺的一合成物；

於該基極層中形成該第一導電型態的一射極區域；以及



六、申請專利範圍

於該射極電極層上形成一金屬層。

30. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中該金屬層是一矽化層，且其中該方法更包括於該矽化層上形成一金屬接觸層。

31. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中整個該射極電極層被成長成具有該單晶結構。

32. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中整個該射極電極層在沒有真空中斷下成長。

33. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中不與該基極層接觸之一部份的該射極電極層被成長成具有一多晶結構。

34. 如申請專利範圍第33項所述之形成雙載子電晶體的射極接觸窗之方法，其中整個該射極電極層在沒有真空中斷下成長。

35. 如申請專利範圍第33項所述之形成雙載子電晶體的射極接觸窗之方法，其中該射極電極層被成長以致從該射極電極層之單晶部分到多晶部分之結構轉變是逐漸改變的。

36. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中不與該基極層接觸之一部份的該射極電極層被成長成具有一非晶質結構。

37. 如申請專利範圍第29項所述之形成雙載子電晶體



六、申請專利範圍

的射極接觸窗之方法，其中成長該射極電極層包括在低於 900°C 的一溫度下磊晶成長。

38. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中該射極區域是藉由從該射極電極層到該基極層之雜質的擴散所形成的。

39. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，其中該射極區域是藉由在成長該射極電極層之前的離子植入所形成的。

40. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，更包括形成該射極電極層以致該射極電極層的雜質濃度在一深度方向改變。

41. 如申請專利範圍第29項所述之形成雙載子電晶體的射極接觸窗之方法，更包括形成該射極電極層的上部具有比該射極電極層的下部高的雜質濃度。

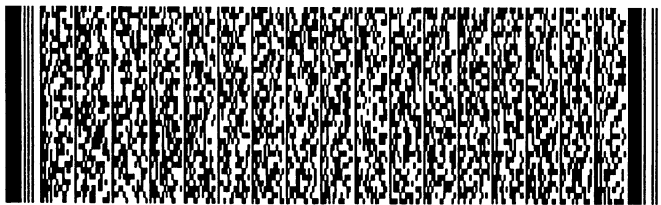
42. 一種形成雙載子電晶體的方法，包括：

在一基底中形成一第一導電型態的一集極區域；

形成一基極層，包括在該基底的一頂面上成長一第二導電型態的一第一磊晶層；

於該基極層上形成一射極電極層，包括從該第一磊晶層的一頂面成長含有該第一導電型態的一雜質的一第二磊晶層；

從該第二磊晶層擴散該雜質到該第一磊晶層中，以於該第一磊晶層中形成該第一導電型態的一射極區域；以及於該射極電極層上形成一金屬層。



六、申請專利範圍

43. 如申請專利範圍第42項所述之形成雙載子電晶體的方法，其中該金屬層是一矽化層，且其中該方法更包括於該矽化層上形成一金屬接觸層。

44. 如申請專利範圍第42項所述之形成雙載子電晶體的方法，其中該第二磊晶層是在低於900°C的一溫度下成長。

45. 如申請專利範圍第42項所述之形成雙載子電晶體的方法，其中整個該射極電極層是由該第二磊晶層所構成。

46. 如申請專利範圍第42項所述之形成雙載子電晶體的方法，其中整個該射極電極層是在沒有真空中斷下形成。

47. 如申請專利範圍第42項所述之形成雙載子電晶體的方法，其中形成該射極電極層更包括於該第二磊晶層上成長一多晶層。

48. 如申請專利範圍第47項所述之形成雙載子電晶體的方法，其中該金屬層係形成於該多晶層上。

49. 如申請專利範圍第47項所述之形成雙載子電晶體的方法，其中整個該射極電極層是在沒有真空中斷下形成。

50. 如申請專利範圍第49項所述之形成雙載子電晶體的方法，其中該射極電極層被成長以致從該射極電極層之該第二磊晶層到該多晶層之結構轉變是逐漸改變的。

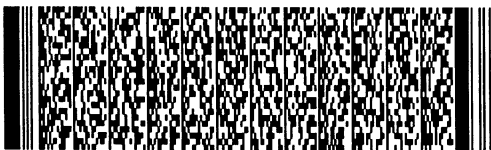
51. 如申請專利範圍第42項所述之形成雙載子電晶體



六、申請專利範圍

的方法，其中不與該基極層接觸之一部份的該射極電極層被形成為具有一非晶質結構。

52. 如申請專利範圍第42項所述之形成雙載子電晶體的方法，其中該射極電極層包括矽與矽鍺其中之一或矽與矽鍺的一合成物。



六、指定代表圖

(一)、本案代表圖為：第_2_圖

(二)、本案代表圖之元件代表符號簡單說明：

100：雙載子電晶體

102：N+埋入式集極區域

104：N-集極區域

106、108、114、128：絕緣層

110：多晶矽層

112：P+基極層

116：N+單晶射極區域

118：射極電極(單晶部分)

120：側壁間隙壁

122：矽化基極電極

124、126：矽化層

130：金屬接觸窗

132：金屬射極接觸窗

134：金屬集極接觸窗

136：過摻雜N+集極區域

138：基極區域

140：N+集極坑

