



(12) 发明专利申请

(10) 申请公布号 CN 116346134 A

(43) 申请公布日 2023. 06. 27

(21) 申请号 202111597874.6

(22) 申请日 2021.12.24

(71) 申请人 圣邦微电子(北京)股份有限公司
地址 100089 北京市海淀区西三环北路87号11层4-1106

(72) 发明人 白玮 谭磊 于翔 谢程益

(74) 专利代理机构 北京成创同维知识产权代理有限公司 11449
专利代理师 蔡纯 张靖琳

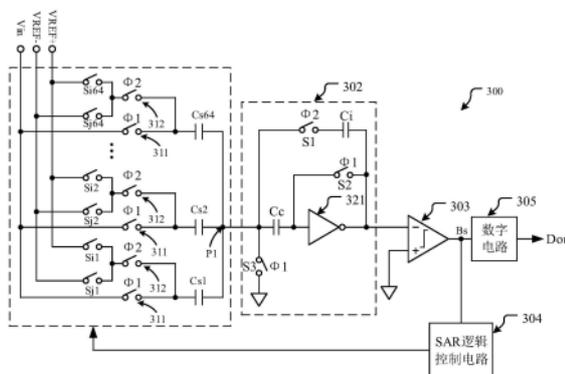
(51) Int. Cl.
H03M 1/46 (2006.01)
H03M 1/52 (2006.01)

权利要求书1页 说明书5页 附图2页

(54) 发明名称
模数转换器

(57) 摘要

本发明公开了一种模数转换器,包括:电容型数模转换器,其通过切换在其上极板处产生残量电压;积分电路,其输入端与电容型数模转换器的上极板耦接以存储由电容型数模转换器产生的残量电压;比较器,比较器用于将电容型数模转换器在当前周期产生的残量电压和积分电路存储的当前周期之前的所有周期的残量电压的加和信号量化成数字码;SAR逻辑控制电路,用于基于数字码控制电容型数模转换器切换,以逐次逼近的方式不断产生每一位输出;以及数字电路,用于基于SAR逻辑控制电路的转换结果得到与输入电压信号对应的数字输出信号。本发明的ADC具有更快的转换速度、更低的功耗、更小的面积和更高的分辨率。



1. 一种模数转换器,包括:

电容型数模转换器,其通过切换在其上极板处产生残量电压;

积分电路,其输入端与所述电容型数模转换器的上极板耦接以存储由所述电容型数模转换器产生的残量电压;

比较器,其输入端与所述积分电路的输出端耦接,所述比较器用于将所述电容型数模转换器在当前周期产生的残量电压和所述积分电路存储的之前周期的残量电压的加和信号量化成数字码;

SAR逻辑控制电路,其输入端与所述比较器的输出端耦接,用于基于所述数字码控制所述电容型数模转换器切换,以逐次逼近的方式不断产生每一位输出,直至量化结束;以及

数字电路,用于基于所述SAR逻辑控制电路的转换结果得到与所述输入电压信号对应的数字输出信号。

2. 根据权利要求1所述的模数转换器,其中,所述模数转换器的每个周期分为采样阶段和转换阶段,

所述电容型数模转换器配置为在所述采样阶段将所述输入电压信号存储于其的多个电容器上,以及在所述转换阶段中基于所述SAR逻辑控制电路进行切换,以产生当前周期的逼近电压,并将所述逼近电压与所述输入电压信号做差以产生当前周期的残量电压。

3. 根据权利要求2所述的模数转换器,其中,所述积分电路包括:

第一电容,其第一端与所述电容型数模转换器的上极板耦接;

运算放大器,其输入端与所述第一电容的第二端耦接,其输出端与所述比较器的输入端耦接;以及

耦接于所述第一电容的第一端和所述运算放大器的输出端之间的第一开关和第二电容,其中所述第一开关配置为在每个周期的所述转换阶段导通,以将所述残量电压存储于所述第二电容上。

4. 根据权利要求3所述的模数转换器,其中,所述积分电路还包括:

第二开关,其耦接于所述运算放大器的输入端和输出端之间;以及

第三开关,其第一端与所述第一电容的第一端耦接,第二端接地,

其中,所述第二开关和所述第三开关配置为在每个周期的采样阶段导通,将所述运算放大器连接成单位增益形式,以将所述运算放大器的失调电压存储于所述第一电容上。

5. 根据权利要求4所述的模数转换器,其中,所述运算放大器通过反相器实现。

6. 根据权利要求1所述的模数转换器,其中,所述数字电路配置为在N次变换之后,对所述SAR逻辑控制电路的N个转换结果求和并平均以得到所述数字输出信号,N为大于1的整数。

模数转换器

技术领域

[0001] 本发明涉及半导体集成电路技术领域,更具体地涉及一种模数转换器。

背景技术

[0002] 模数转换器(Analog to Digital Converter,ADC)是能够将连续性的模拟信号转换为计算机能够处理的离散性的数字信号的装置,是模拟系统与数字系统接口的关键部件,长期以来一直被广泛应用于雷达、通信、测控、医疗、仪表、图像和音频等领域。随着现代技术的不断发展,这些领域对速度和分辨率的要求不断提升,对模数转换器的要求也越来越高。

[0003] 目前,模数转换器主要分为两大类:奈奎斯特模数转换器和过采样模数转换器。奈奎斯特模数转换器中最具代表性的种类之一就是逐次逼近型模数转换器(Successive Approximation Register ADC,SAR ADC)。SAR ADC主要采用数字逻辑单元结构,如图1所示,SAR ADC100包括采样保持电路110、寄存比较器120、SAR逻辑控制电路130和电容型数模转换器(ADAC)140。采样保持电路110根据采样时钟对模拟输入信号 V_{in} 进行采样,并提供至寄存比较器120,寄存比较器120将该模拟输入信号 V_{in} 与电容型数模转换器140产生的模拟电压量进行比较,SAR逻辑控制电路130根据寄存比较器120的比较结果产生逻辑控制信号,反馈控制电容型数模转换器140产生新的模拟电压量去逼近模拟输入信号,直到该模拟电压量与模拟输入信号近似相等时,该模拟电压量对应的数码输出为SAR ADC100的输出 D_{out} 。SAR ADC的结构简单且具有较高的功效和速度,但是由于比较器噪声和DAC建立误差的存在,SAR ADC的精度一般被限制在8~12bits范围内,因此SAR ADC广泛应用于中等速度和中等精度的领域。

[0004] 过采样模数转换器应用最为广泛的是 $\Sigma - \Delta$ ADC,其结构框图如图2所示, $\Sigma - \Delta$ ADC200包括 $\Sigma - \Delta$ 调制器和数字滤波和抽取电路250, $\Sigma - \Delta$ 调制器包括加法器210、积分器220、寄存比较器230,以及包含1位DAC240的反馈环路(该DAC为简单开关,将差分放大器的负输入端接正或负基准电压),反馈DAC的目的是将积分器的平均输出维持在接近比较器的基准电平。 $\Sigma - \Delta$ 调制器以极高的抽样频率对输入信号 V_{in} 进行抽样,并对两个抽样之间的差值进行低位量化,从而得到用低位数码表示的1位数据流,然后由数字滤波和抽取电路250进行抽取滤波,从而得到高分辨率的线性脉冲编码调制的数字信号 D_{out} 。过采样和噪声整形技术是 $\Sigma - \Delta$ 调制器中应用的两个关键技术,它们分别将带内的噪声降低和大部分移除,能够大大提高模数转换器的精度。但是1位的量化器抑制量化噪声所需的高过采样比,这限制了转换速度,需要很长的转换时间。

[0005] 为了得到高分辨率和快速稳定的ADC,现有技术有在1位量化的 $\Sigma - \Delta$ ADC的基础上,提出了一种多位量化的 $\Sigma - \Delta$ ADC,但是这种结构需要动态元素匹配技术来降低失配的影响,因此需要更为复杂的电路设计和更高的功耗。另一方面,基于SAR ADC快速稳定的优点,现有技术另外提出了一种增量式缩放型 $\Sigma - \Delta$ ADC,它利用SAR ADC作为粗略量化ADC,其转换结果用于动态地调整 $\Sigma - \Delta$ ADC的参考电压,从而大大减小了 $\Sigma - \Delta$ ADC的量化误差,具有

高分辨率和低功耗的优点,但是其缺点是数字电路的结构复杂且转换速度还是较慢,需要较长的转换时间。

发明内容

[0006] 有鉴于此,本发明的目的在于提供一种模数转换器,可以同时兼顾模数转换器的分辨率和转换速度。

[0007] 根据本发明实施例,提供了一种模数转换器,包括:电容型数模转换器,其通过切换在其上极板处产生残量电压;积分电路,其输入端与所述电容型数模转换器的上极板耦接以存储由所述电容型数模转换器产生的残量电压;比较器,其输入端与所述积分电路的输出端耦接,所述比较器用于将所述电容型数模转换器在当前周期产生的残量电压和所述积分电路存储的之前周期的残量电压的加和信号量化成数字码;SAR逻辑控制电路,其输入端与所述比较器的输出端耦接,用于基于所述数字码控制所述电容型数模转换器切换,以逐次逼近的方式不断产生每一位输出,直至量化结束;以及数字电路,用于基于所述SAR逻辑控制电路的转换结果得到与所述输入电压信号对应的数字输出信号。

[0008] 可选的,所述模数转换器的每个周期分为采样阶段和转换阶段,所述电容型数模转换器配置为在所述采样阶段将所述输入电压信号存储于其的多个电容器上,以及在所述转换阶段中基于所述SAR逻辑控制电路进行切换,以产生当前周期的逼近电压,并将所述逼近电压与所述输入电压信号做差以产生当前周期的残量电压。

[0009] 可选的,所述积分电路包括:第一电容,其第一端与所述电容型数模转换器的上极板耦接;运算放大器,其输入端与所述第一电容的第二端耦接,其输出端与所述比较器的输入端耦接;以及耦接于所述第一电容的第一端和所述运算放大器的输出端之间的第一开关和第二电容,其中所述第一开关配置为在每个周期的所述转换阶段导通,以将所述残量电压存储于所述第二电容上。

[0010] 可选的,所述积分电路还包括:第二开关,其耦接于所述运算放大器的输入端和输出端之间;以及第三开关,其第一端与所述第一电容的第一端耦接,第二端接地,其中,所述第二开关和所述第三开关配置为在每个周期的采样阶段导通,将所述运算放大器连接成单位增益形式,以将所述运算放大器的失调电压存储于所述第一电容上。

[0011] 可选的,所述运算放大器通过反相器实现。

[0012] 可选的,所述数字电路配置为在N次变换之后,对所述SAR逻辑控制电路的N个转换结果求和并平均以得到所述数字输出信号,N为大于1的整数。

[0013] 综上所述,本发明实施例提出了一种基于 $\Sigma - \Delta$ ADC残量累加思想的新型的SAR ADC,其在多个周期的转换中,将电容型数模转换器产生的残量电压累加得到的加和信号进行量化得到数字码,相对于当前主流的ADC架构,本发明的ADC具有更快的转换速度、更低的功耗、更小的面积和更高的分辨率。

附图说明

[0014] 通过以下参照附图对本发明实施例的描述,本发明的上述以及其他目的、特征和优点将更为清楚。

[0015] 图1示出了一种逐次逼近型模数转换器的结构示意图;

- [0016] 图2示出了一种 $\Sigma - \Delta$ 模数转换器的结构示意图；
- [0017] 图3示出了本发明实施例的模数转换器的结构示意图；
- [0018] 图4示出了本发明实施例的模数转换器的工作时序图。

具体实施方式

[0019] 以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。此外，在图中可能未示出某些公知的部分。

[0020] 在下文中描述了本发明的许多特定的细节，例如部件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

[0021] 应当理解，在以下的描述中，“电路”可包括单个或多个组合的硬件电路、可编程电路、状态机电路和/或能存储由可编程电路执行的指令的元件。当称元件或电路“连接到”或者“耦接到”另一元件，或称元件/电路“连接在”或者“耦接在”两个节点之间时，它可以直接耦接或连接到另一元件或者二者之间也可以存在中间元件，元件之间的连接或耦接可以是物理上的、逻辑上的、或者其结合。相反，当称元件“直接耦接到”或“直接连接到”另一元件时，意味着两者不存在中间元件。

[0022] 图3示出了本发明实施例的模数转换器的结构示意图，如图3所示，本发明设计的模数转换器300包括：电容型数模转换器(CDAC)301、积分电路302、比较器303、SAR逻辑控制电路304和数字电路305。

[0023] 其中，电容型数模转换器301配置为通过切换在其上极板处产生残量电压。积分电路302的输入端与电容型数模转换器301的上极板耦接，以存储由电容型数模转换器301产生的上一周期的残量电压。比较器303的输入端与积分电路302的输出端耦接，所述比较器303配置为将电容型数模转换器301在当前周期产生的残量电压和积分电路302存储的之前周期的残量电压的加和信号量化成数字码。SAR逻辑控制电路304的输入端与比较器303的输出端耦接，配置为基于所述数字码控制电容型数模转换器301切换，以逐次逼近的方式不断产生每一位的输出，直至量化结束。数字电路305配置为基于SAR逻辑控制电路的转换结果输出与输入电压信号 V_{in} 对应的数字输出信号 D_{out} 。

[0024] 进一步的，本实施例的模数转换器300主要用于处理接近直流的信号，及在一次完成的转换周期内，认为输入信号保持不变，其每个周期分为采样阶段 $\phi 1$ 和转换阶段 $\phi 2$ ， $\phi 1$ 和 $\phi 2$ 是互不交叠的信号。在模数转换器300的采样阶段 $\phi 1$ ，电容型数模转换器301耦接到输入电压信号 V_{in} ，以将输入电压信号 V_{in} 存储于其上的多个电容器上。在转换阶段 $\phi 2$ ，SAR逻辑控制电路304控制权电容阵列中的部分电容器耦接正参考电压 V_{REF+} ，剩下的电容器耦接负参考电压 V_{REF-} ，从而产生当前周期的逼近电压，并将所述逼近电压与输入电压信号 V_{in} 做差以产生当前周期的残量电压，该残量电压被传输到积分电路302上与之前周期的残量电压进行加和，比较器303根据该加和信号的正负情况输出“1”或“0”，SAR逻辑控制电路304根据比较器303的输出控制电容型数模转换器301的下一位的切换情况。就这样在SAR逻辑控制电路304的控制下，在多个周期完成之后，可以得到一个多比特的转换结果。数字电路305将这些转换结果逐一求和，最终在完成 N 次变换之后， N 为大于1的整数，求平均即可得

到最终的数字输出信号Dout。

[0025] 如图3所示,电容型数模转换器301可以包括多个电容器,以6bit的SAR ADC为例,其包括多个电容器Cs1~Cs64(其中电容器的数量为 2^6 个),以及开关阵列,其中开关阵列包括在311和312处示出的两个开关以及开关Si1~Si64和开关Sj1~Sj64。在电容型数模转换器301中,多个电容器Cs1~Cs64的上极板彼此耦接,下极板分别与对应的多个开关耦接,多个开关用于将其对应的电容器耦接到正参考电压VREF+、输入电压信号Vin或负参考电压VREF-。进一步的,多个开关311分别将对应的电容器的下极板耦接到输入电压信号Vin,多个开关312分别将对应的电容器的下极板耦接到开关Si和Sj的第一端,开关Si和Sj的第二端分别与正参考电压VREF+和负参考电压VREF-耦接。在每个周期的转换阶段 $\phi 2$ 结束时,残量电压存在于电容型数模转换器301的节点P1处。

[0026] 积分电路302可以包括电容Cc和Ci,运算放大器321、以及开关S1至S3。其中,电容Cc的第一端与电容型数模转换器301的节点P1处耦接,第二端与运算放大器321的输入端耦接,运算放大器321的输出端与比较器303的负输入端耦接,比较器303的正输入端接地。开关S1和电容Ci耦接于电容Cc的第一端和运算放大器321的输出端之间,开关S2耦接于运算放大器321的输入端和输出端之间,开关S3的第一端与电容Cc的第一端耦接,第二端接地。其中,开关S1配置为在模数转换器300的转换阶段 $\phi 2$ 导通,开关S2和S3配置为在采样阶段 $\phi 1$ 导通。

[0027] 在进一步的实施例中,积分电路302中的运算放大器321可以采用基于反相器的运算放大器,结构简单,面积更小,功耗更低。

[0028] 图4示出了本发明实施例的模数转换器的工作时序图。本发明实施例的模数转换器300的周期中包括采样阶段 $\phi 1$ 和转换阶段 $\phi 2$,下面结合图4对本发明实施例的6bit的模数转换器的原理进行说明。

[0029] 在第1周期的采样阶段 $\phi 1$,电容型数模转换器301中的所有开关311导通,所有开关312关断,开关S3导通,电容器Cs1~Cs64的下极板接输入电压信号Vin,输入电压信号Vin以电荷的形式存储于电容型数模转换器301中的全部电容器中。同时,开关S1关断,开关S2导通,积分电路302中的运算放大器接成单位增益的形式,其失调电压被存储于电容Cc上。

[0030] 在转换阶段 $\phi 2$,电容型数模转换器301中的全部开关311断开,全部开关312导通,开关S1导通,开关S2和S3关断,然后在SAR逻辑电路控制下将开关Si1~Si64中的部分导通,从而将多个电容器Cs1~Cs64中部分电容器的下极板接到正参考电压VREF+。同时,多个电容器Cs1~Cs64中剩下的电容器的下极板在开关Sj1~Sj64的控制下,下极板接到负参考电压VREF-,从而产生相应的逼近电压。根据电容器上的电荷量守恒的原理,可在节点P1处得到输入电压信号Vin与逼近电压的差值,即残量电压。该残量电压通过积分电路302中的电容Cc和运算放大器321传递到比较器303的负输入端接,比较器303根据该残量电压的正负情况输出数字码“1”或“0”。例如,该残量电压为正,则比较器303输出数字码“0”,同时该残量电压被存储到电容Ci上,用于在下一周期的比较时使用。

[0031] 在第2周期,在采样阶段 $\phi 1$ 的工作过程与第1周期中相似,即将电容器Cs1~Cs64的下极板接输入电压信号Vin,输入电压信号Vin以电荷的形式存储于电容型数模转换器301中的全部电容器。在转换阶段 $\phi 2$,电容型数模转换器301中的全部开关311再次断开,全部开关312再次导通,然后将开关Si1~Si64中的部分导通,从而将电容器Cs1~Cs64中的部

分电容器的下极板接到正参考电压VREF+,剩下的电容器的下极板通过开关Sj1~Sj64控制接到负参考电压VREF-。根据电容器上的电荷量守恒原理,可在节点P1处得到第2周期的残量电压,该残量电压与第1周期得到的残量电压的加和信号被传递到比较器303的负输入端,比较器303根据该加和信号的正负情况输出数字码“1”或“0”。例如,该加和信号为负,则比较器303输出数字码“1”。

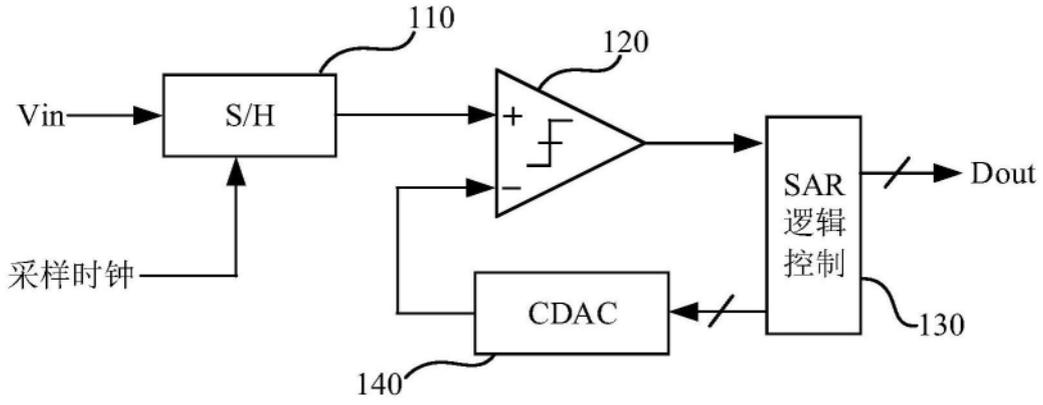
[0032] 以此类推,在SAR逻辑的控制下,每完成6次比较,则会得到一个6bit的转换结果,在N次变换结束后,数字电路305将这些转换结果逐一求和并求平均,最终得到一个数字输出信号Dout。理论上,N次完整的SAR变换可以得到一个6+N的分辨率,实际上可以适当地增加SAR变换的次数,取数字输出信号的高位即可得到一个更准确的转换结果,最终得到一个具有高分辨率和很快的转换速度的模数转换器。

[0033] 综上所述,本发明实施例提出了一种基于 $\Sigma - \Delta$ ADC残量累加思想的新型的SAR ADC,其在多个周期的转换中,将电容型数模转换器产生的残量电压累加得到的加和信号进行量化得到数字码,相对于当前主流的ADC架构,本发明的ADC具有更快的转换速度、更低的功耗、更小的面积和更高的分辨率。

[0034] 本领域普通技术人员可以理解,本文中使用的与电路运行相关的词语“期间”、“当”和“当……时”不是表示在启动动作开始时立即发生的动作的严格术语,而是在其与启动动作所发起的反应动作(reaction)之间可能存在一些小的但是合理的一个或多个延迟,例如各种传输延迟等。本文中使用词语“大约”或者“基本上”意指要素值(element)具有预期接近所声明的值或位置的参数。然而,如本领域所周知的,总是存在微小的偏差使得该值或位置难以严格为所声明的值。本领域已恰当的确定了,至少百分之十(10%) (对于半导体掺杂浓度,至少百分之二十(20%))的偏差是偏离所描述的准确的理想目标的合理偏差。当结合信号状态使用时,信号的实际电压值或逻辑状态(例如“1”或“0”)取决于使用正逻辑还是负逻辑。

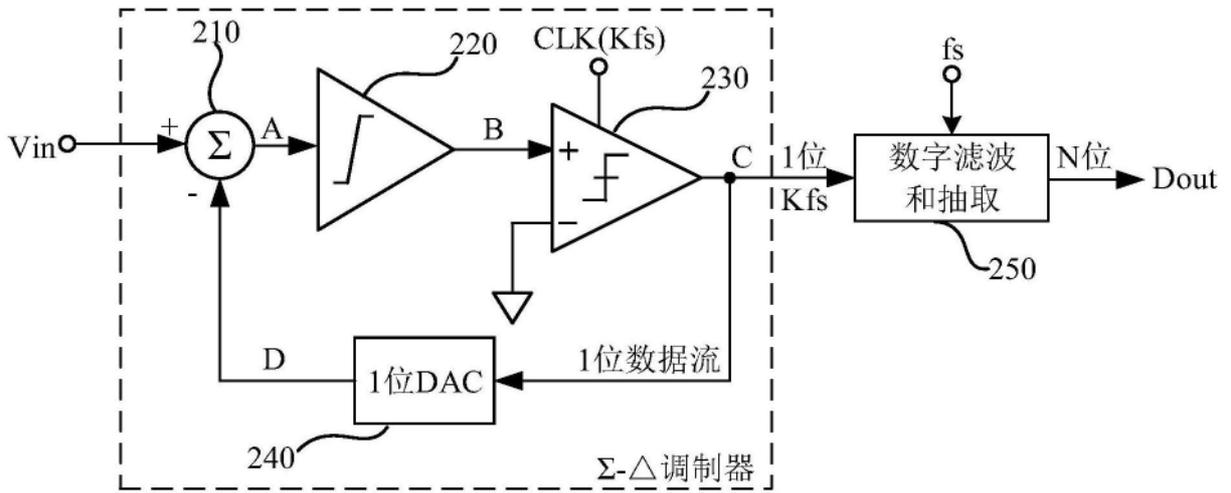
[0035] 此外,还需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0036] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。



100

图1



200

图2

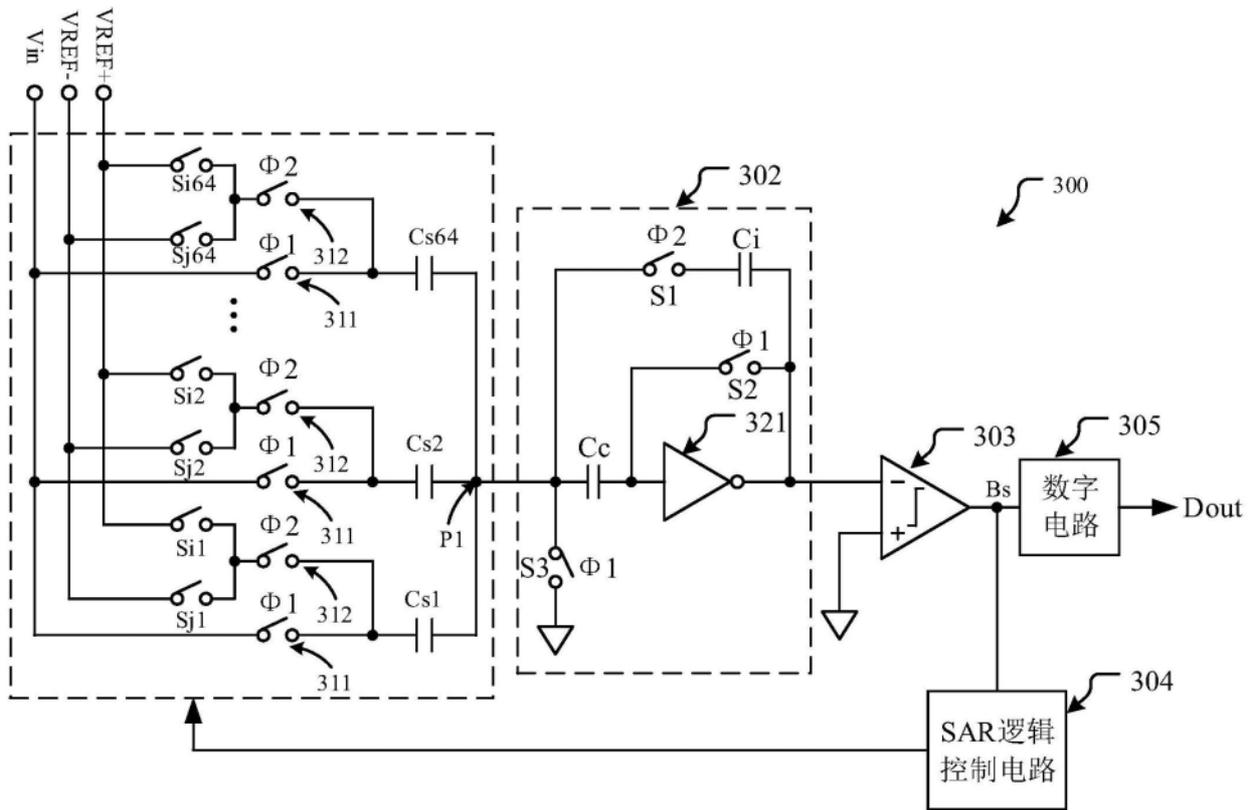


图3

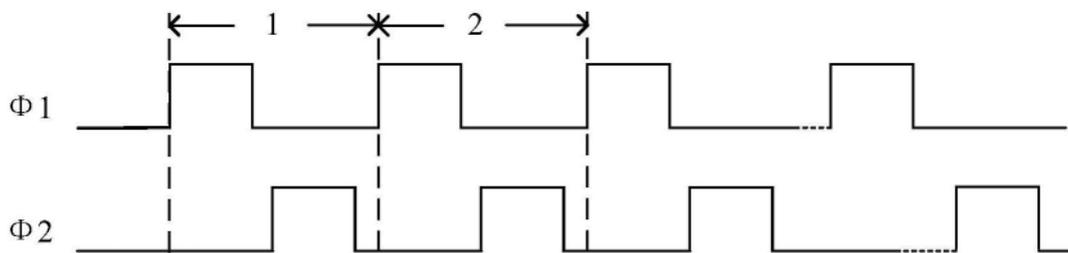


图4