



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월20일  
(11) 등록번호 10-2708771  
(24) 등록일자 2024년09월13일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3225 (2016.01)

(52) CPC특허분류  
G09G 3/3225 (2013.01)  
G09G 2310/0278 (2013.01)

(21) 출원번호 10-2020-0062415

(22) 출원일자 2020년05월25일

심사청구일자 2022년11월21일

(65) 공개번호 10-2021-0145480

(43) 공개일자 2021년12월02일

(56) 선행기술조사문헌

KR1020200034884 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

나중민

경기도 성남시 분당구 분당로201번길 17, 106동  
101호(서현동, 효자촌현대아파트)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 9 항

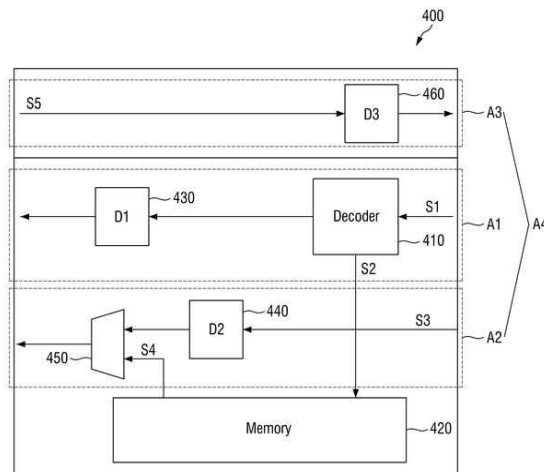
심사관 : 이문선

(54) 발명의 명칭 디스플레이 구동 장치 및 디스플레이 구동 장치를 포함하는 디스플레이 장치

(57) 요약

대역폭 손실이 감소되고, 메모리 모듈의 설계 시간을 감소시킬 수 있는 메모리 모듈을 포함하는 디스플레이 구동 장치가 제공된다. 디스플레이 구동 장치는 로직 모듈, 로직 모듈의 제어에 의해 이미지 데이터를 저장하고 로직 모듈과 직렬로 접속된 제1 메모리 모듈 및 제2 메모리 모듈을 포함하고, 제1 메모리 모듈은 제2 메모리 모듈과 접속되고, 이미지 데이터를 저장하는 제1 메모리를 포함하고, 제1 메모리 모듈은 로직 모듈로부터 제공된 제어 신호를 기초로 제1 메모리에 대한 액세스 여부를 결정하고, 제어 신호는 제1 신호와 제2 신호를 포함하고, 제1 메모리 모듈은 로직 모듈로부터 제공된 제1 신호에 응답하여 제1 메모리를 액세스하고 제1 메모리의 액세스 결과를 제2 메모리 모듈에 제공하고, 로직 모듈로부터 제공된 제2 신호에 응답하여 제1 메모리에 대한 액세스 없이 제2 메모리 모듈에 제2 신호를 전달한다.

대표도 - 도5



**명세서**

**청구범위**

**청구항 1**

로직 모듈; 및

상기 로직 모듈의 제어에 의해 이미지 데이터를 저장하고 상기 로직 모듈과 직렬로 접속된 제1 메모리 모듈 및 제2 메모리 모듈을 포함하고,

상기 제1 메모리 모듈은 상기 제2 메모리 모듈과 접속되고, 상기 이미지 데이터를 저장하는 제1 메모리를 포함하고,

상기 제1 메모리 모듈은 상기 로직 모듈로부터 제공된 제어 신호를 기초로 상기 제1 메모리에 대한 액세스 여부를 결정하고,

상기 제2 메모리 모듈은 제2 메모리를 포함하고,

상기 제어 신호는 제1 신호와 제2 신호를 포함하고,

상기 제1 메모리 모듈은 상기 로직 모듈로부터 제공된 제1 신호에 응답하여 상기 제1 메모리를 액세스하고 상기 제1 메모리의 액세스 결과를 상기 제2 메모리 모듈에 제공하고, 상기 로직 모듈로부터 제공된 제2 신호에 응답하여 상기 제1 메모리에 대한 액세스 없이 상기 제2 메모리 모듈에 상기 제2 신호를 전달하고,

상기 제2 메모리 모듈은 상기 제1 메모리 모듈로부터 전달된 제2 신호에 응답하여 상기 제2 메모리를 액세스하고, 상기 제2 메모리의 액세스 결과를 생성하는 디스플레이 구동 장치.

**청구항 2**

삭제

**청구항 3**

제 1항에 있어서,

상기 제2 메모리 모듈과 접속된 터미널 모듈을 더 포함하고,

상기 제2 메모리 모듈은 상기 제2 메모리의 액세스 결과를 상기 터미널 모듈에 제공하고,

상기 터미널 모듈에 제공된 상기 제2 메모리의 액세스 결과는 상기 제2 메모리 모듈을 통하여 상기 제1 메모리 모듈에 전달되고,

상기 제1 메모리 모듈에 전달된 상기 제2 메모리의 액세스 결과는 상기 로직 모듈에 전달되는 디스플레이 구동 장치.

**청구항 4**

제 1항에 있어서,

상기 제2 메모리 모듈과 접속된 터미널 모듈을 더 포함하고,

상기 제2 메모리 모듈은 상기 제2 메모리 모듈에 제공된 상기 제1 메모리의 액세스 결과를 상기 터미널 모듈에 제공하고,

상기 터미널 모듈에 제공된 상기 제1 메모리의 액세스 결과는 상기 제2 메모리 모듈을 통하여 상기 제1 메모리 모듈에 전달되고,

상기 제1 메모리 모듈에 전달된 상기 제1 메모리의 액세스 결과는 상기 로직 모듈에 전달되는 디스플레이 구동 장치.

**청구항 5**

제 4항에 있어서,

상기 터미널 모듈은 래치를 포함하고,

상기 터미널 모듈에 제공된 상기 제1 메모리의 액세스 결과는 상기 래치에 저장되고, 상기 래치로부터 출력되어 상기 제2 메모리 모듈에 제공되는 디스플레이 구동 장치.

**청구항 6**

로직 모듈;

상기 로직 모듈의 제어에 의해 이미지 데이터를 저장하고 상기 로직 모듈의 일측에 배치되고 상기 로직 모듈과 접속된 제1 메모리 모듈; 및

상기 제1 메모리 모듈과 접속된 터미널 모듈(termination module)을 포함하고,

상기 제1 메모리 모듈은 제1 디코더, 제1 메모리, 제1 전송부 및 제1 회송부를 포함하고,

상기 제1 디코더는 상기 로직 모듈로부터 제어 신호를 제공받고, 상기 제어 신호를 기초로 상기 제1 메모리에 대한 액세스 여부를 결정하고,

상기 제어 신호는 제1 신호와 제2 신호를 포함하고,

상기 제1 디코더는 상기 제1 신호에 응답하여 상기 제1 메모리에 상기 제1 신호를 제공하고,

상기 제1 메모리는 상기 제1 신호에 응답하여 액세스되고, 상기 제1 메모리의 액세스 결과는 상기 제1 전송부에 제공되고,

상기 제1 전송부는 상기 제1 메모리의 액세스 결과를 상기 터미널 모듈에 제공하고,

상기 터미널 모듈에 제공된 상기 제1 메모리의 액세스 결과는 상기 제1 메모리 모듈의 제1 회송부에 전달되고, 상기 제1 회송부에 전달된 상기 제1 메모리의 액세스 결과는 상기 로직 모듈로 전달되는 디스플레이 구동 장치.

**청구항 7**

제 6항에 있어서,

상기 로직 모듈과 상기 제1 메모리 모듈 사이에, 상기 로직 모듈과 접속되고, 상기 제1 메모리 모듈과 접속된 제2 메모리 모듈을 더 포함하고,

상기 제2 메모리 모듈은 제2 디코더, 제2 메모리, 제2 전송부 및 제2 회송부를 포함하고,

상기 제2 디코더는 상기 로직 모듈로부터 제어 신호를 제공받아 상기 제1 메모리 모듈의 상기 제1 디코더에 제공하는 디스플레이 구동 장치.

**청구항 8**

제 6항에 있어서,

상기 제1 메모리 모듈과 상기 터미널 모듈 사이에, 상기 제1 메모리 모듈과 접속되고, 상기 터미널 모듈과 접속된 제3 메모리 모듈을 더 포함하고,

상기 제3 메모리 모듈은 제3 디코더, 제3 메모리, 제3 전송부 및 제3 회송부를 포함하고,

상기 제3 디코더는 상기 제1 디코더로부터 상기 제2 신호를 제공받고, 상기 제2 신호에 응답하여 상기 제3 메모리에 상기 제2 신호를 제공하고,

상기 제3 메모리는 상기 제2 신호에 응답하여 액세스되고, 상기 제3 메모리의 액세스 결과는 상기 제3 전송부에 제공되는 디스플레이 구동 장치.

**청구항 9**

제 6항에 있어서,

상기 제1 회송부는 D 플립플롭을 포함하는 디스플레이 구동 장치.

**청구항 10**

픽셀을 포함하는 디스플레이 패널;

상기 픽셀과 전기적으로 연결되는 게이트 라인;

상기 게이트 라인을 통해 상기 픽셀에 게이트 전압 신호를 입력시키는 게이트 드라이버;

상기 픽셀과 전기적으로 연결되는 소스 라인;

상기 소스 라인을 통해 상기 픽셀에 구동 전류를 제공하는 소스 드라이버; 및

상기 소스 드라이버 및 상기 게이트 드라이버에 제어 신호를 제공하는 디스플레이 구동 컨트롤러를 포함하고,

상기 디스플레이 구동 컨트롤러는 로직 모듈, 상기 게이트 드라이버 및 상기 소스 드라이버를 구동하는 데이터를 저장하는 차례로 접속된 제1 내지 제3 메모리 모듈 및, 상기 제3 메모리 모듈과 접속된 터미널 모듈을 포함하고,

상기 제1 내지 제3 메모리 모듈은 각각 디코더, 메모리 및 전송부를 포함하고,

상기 제1 메모리 모듈은 상기 로직 모듈로부터 제공된 제어 신호를 상기 제2 메모리 모듈의 디코더에 제공하고,

상기 제2 메모리 모듈은 상기 제1 메모리 모듈로부터 제공된 제어 신호를 기초로 상기 제2 메모리 모듈의 메모리에 대한 액세스 여부를 결정하고,

상기 제어 신호는 제1 신호와 제2 신호를 포함하고,

상기 제2 메모리 모듈은 상기 제1 신호에 응답하여 상기 제2 메모리 모듈의 메모리를 액세스하고 상기 액세스 결과를 상기 제2 메모리 모듈의 전송부를 통해 상기 제3 메모리 모듈의 전송부에 제공하고, 상기 제2 신호에 응답하여 상기 제2 메모리 모듈의 메모리에 대한 액세스 없이 상기 제3 메모리 모듈의 디코더에 상기 제2 신호를 전달하고,

상기 제3 메모리 모듈의 전송부는 상기 제공된 액세스 결과를 상기 터미널 모듈에 제공하고,

상기 터미널 모듈에 제공된 액세스 결과는 차례대로 상기 제3 메모리 모듈, 상기 제2 메모리 모듈 및 상기 제1 메모리 모듈을 통하여 상기 로직 모듈로 전달되는 디스플레이 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 디스플레이 구동 장치 및 디스플레이 구동 장치를 포함하는 디스플레이 장치에 관한 것이다. 특히, 본 발명은 메모리 모듈을 포함하는 디스플레이 구동 장치에 관한 것이다.

**배경 기술**

[0002] TV, 랩톱 컴퓨터, 모니터 및 모바일 기기 등과 같은 영상을 표시하는 전자 장치에 이용되고 있는 디스플레이 장치로서 액정 표시 장치(LCD, Liquid Crystal Device), 유기발광 표시 장치(OLED, Organic Light Emitting Device) 등이 있다. 디스플레이 장치는 복수의 픽셀을 갖는 디스플레이 패널과, 복수의 픽셀에 전기 신호를 인가하기 위한 디스플레이 구동 장치(Display Drive Integrated circuit)(DDI)를 포함할 수 있으며, 디스플레이 구동 장치가 복수의 픽셀에 제공하는 전기 신호에 의해 영상이 구현될 수 있다. 모바일 DDI(MDDI)는 휴대폰 등의 적용에서 경량화/소형화가 요구된다.

[0003] 모바일 디스플레이 구동 장치는 정방형이 아닌 한 변의 길이가 긴 직사각형의 구조를 가져, 모바일 디스플레이 구동 장치에 배치되는 메모리는 신호가 전달되는 거리가 긴 문제점이 있다. 또한, 제품의 공정, 제품의 사이즈 등의 요소가 변경될 때마다, 다양한 요소들이 고려되어 메모리가 다시 설계되어야 하는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

- [0004] 본 발명이 해결하고자 하는 기술적 과제는, 대역폭 손실이 감소된 메모리 모듈을 포함하는 디스플레이 구동 장치를 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 다른 기술적 과제는, 메모리 모듈의 설계 시간을 감소시킬 수 있는 디스플레이 구동 장치를 제공하는 것이다.
- [0006] 본 발명이 해결하고자 하는 기술적 과제는, 대역폭 손실이 감소된 메모리 모듈을 포함하는 디스플레이 구동 장치를 포함하는 디스플레이 장치를 제공하는 것이다.
- [0007] 본 발명이 해결하고자 하는 다른 기술적 과제는, 메모리 모듈의 설계 시간을 감소시킬 수 있는 디스플레이 구동 장치를 포함하는 디스플레이 장치를 제공하는 것이다.
- [0008] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0009] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치는 로직 모듈, 로직 모듈의 제어에 의해 이미지 데이터를 저장하고 로직 모듈과 직렬로 접속된 제1 메모리 모듈 및 제2 메모리 모듈을 포함하고, 제1 메모리 모듈은 제2 메모리 모듈과 접속되고, 이미지 데이터를 저장하는 제1 메모리를 포함하고, 제1 메모리 모듈은 로직 모듈로부터 제공된 제어 신호를 기초로 제1 메모리에 대한 액세스 여부를 결정하고, 제어 신호는 제1 신호와 제2 신호를 포함하고, 제1 메모리 모듈은 로직 모듈로부터 제공된 제1 신호에 응답하여 제1 메모리를 액세스하고 제1 메모리의 액세스 결과를 제2 메모리 모듈에 제공하고, 로직 모듈로부터 제공된 제2 신호에 응답하여 제1 메모리에 대한 액세스 없이 제2 메모리 모듈에 제2 신호를 전달할 수 있다.
- [0010] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치는 로직 모듈, 로직 모듈의 제어에 의해 이미지 데이터를 저장하고 로직 모듈의 일측에 배치되고 로직 모듈과 접속된 제1 메모리 모듈, 및 제1 메모리 모듈과 접속된 터미널 모듈(termination module)을 포함하고, 제1 메모리 모듈은 제1 디코더, 제1 메모리, 제1 전송부 및 제1 회송부를 포함하고, 제1 디코더는 로직 모듈로부터 제어 신호를 제공받고, 제어 신호를 기초로 제1 메모리에 대한 액세스 여부를 결정하고, 제어 신호는 제1 신호와 제2 신호를 포함하고, 제1 디코더는 제1 신호에 응답하여 제1 메모리에 제1 신호를 제공하고, 제1 메모리는 제1 신호에 응답하여 액세스되고, 제1 메모리의 액세스 결과는 제1 전송부에 제공되고, 제1 전송부는 제1 메모리의 액세스 결과를 터미널 모듈에 제공하고, 터미널 모듈에 제공된 제1 메모리의 액세스 결과는 제1 메모리 모듈의 제1 회송부에 전달되고, 제1 회송부에 전달된 제1 메모리의 액세스 결과는 로직 모듈로 전달될 수 있다.
- [0011] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예에 따른 디스플레이 장치는 픽셀을 포함하는 디스플레이 패널, 픽셀과 전기적으로 연결되는 게이트 라인, 게이트 라인을 통해 픽셀에 게이트 전압 신호를 입력시키는 게이트 드라이버, 픽셀과 전기적으로 연결되는 소스 라인, 소스 라인을 통해 픽셀에 구동 전류를 제공하는 소스 드라이버, 및 소스 드라이버 및 게이트 드라이버에 제어 신호를 제공하는 디스플레이 구동 컨트롤러를 포함하고, 디스플레이 구동 컨트롤러는 로직 모듈, 게이트 드라이버 및 소스 드라이버를 구동하는 데이터를 저장하는 차례로 접속된 제1 내지 제3 메모리 모듈 및, 제3 메모리 모듈과 접속된 터미널 모듈을 포함하고, 제1 내지 제3 메모리 모듈은 각각 디코더, 메모리 및 전송부를 포함하고, 제1 메모리 모듈은 로직 모듈로부터 제공된 제어 신호를 제2 메모리 모듈의 디코더에 제공하고, 제2 메모리 모듈은 제1 메모리 모듈로부터 제공된 제어 신호를 기초로 제2 메모리 모듈의 메모리에 대한 액세스 여부를 결정하고, 제어 신호는 제1 신호와 제2 신호를 포함하고, 제2 메모리 모듈은 제1 신호에 응답하여 제2 메모리 모듈의 메모리를 액세스하고 액세스 결과를 제2 메모리 모듈의 전송부를 통해 제3 메모리 모듈의 전송부에 제공하고, 제2 신호에 응답하여 제2 메모리 모듈의 메모리에 대한 액세스 없이 제3 메모리 모듈의 디코더에 제2 신호를 전달하고, 제3 메모리 모듈의 전송부는 제공된 액세스 결과를 터미널 모듈에 제공하고, 터미널 모듈에 제공된 액세스 결과는 차례대로 제3 메모리 모듈, 제2 메모리 모듈 및 제1 메모리 모듈을 통하여 로직 모듈로 전달될 수 있다.
- [0012] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**도면의 간단한 설명**

- [0013] 도 1은 본 발명의 몇몇 실시예에 따른 디스플레이 장치를 포함하는 전자 장치를 설명하기 위한 블록도이다.
- 도 2 및 도 3은 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 포함한 디스플레이 장치를 설명하기 위한 블록도이다.
- 도 4는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다.
- 도 5는 도 4의 메모리 모듈을 설명하기 위한 도면이다.
- 도 6은 도 4의 R1 영역을 확대한 도면이다.
- 도 7 내지 도 9는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 10은 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다.
- 도 11은 도 10의 디스플레이 구동 장치의 동작 방법을 설명하기 위한 타이밍도이다.
- 도 12는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다.
- 도 13은 도 12의 디스플레이 구동 장치의 동작 방법을 설명하기 위한 타이밍도이다.
- 도 14 및 도 15는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다.
- 도 16 및 도 17은 본 발명의 몇몇 실시예에 따른 디스플레이 장치가 탑재되는 전자 장치를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 이하 첨부된 도면을 참조하여, 본 발명의 기술적 사상에 따른 실시예들에 대해 설명한다.
- [0015] 이하 도 1 내지 도 3을 참조하여 디스플레이 장치를 포함하는 전자 장치(1)를 설명한다.
- [0016] 도 1은 본 발명의 몇몇 실시예에 따른 디스플레이 장치를 포함하는 전자 장치를 설명하기 위한 블록도이다. 도 2 및 도 3은 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 포함한 디스플레이 장치를 설명하기 위한 블록도이다.
- [0017] 도 1을 참조하면, 몇몇 실시예들에 따른 전자 장치(1)는 디스플레이 장치(10), 입출력부(20), 메모리(30), 포트(40), 및 프로세서(50) 등을 포함할 수 있다. 전자 장치(1)는 스마트폰, 태블릿 PC, 랩톱 컴퓨터 등의 모바일 기기 외에, 텔레비전, 데스크톱 컴퓨터 등을 포함할 수 있다. 디스플레이 장치(10), 입출력부(20), 메모리(30), 포트(40), 및 프로세서(50) 등의 구성 요소는 버스(60)를 통해 서로 통신할 수 있다.
- [0018] 디스플레이 장치(10)는 디스플레이 드라이버 및 디스플레이 패널을 포함할 수 있다. 몇몇 실시예에서, 디스플레이 드라이버는 동작 모드에 따라 프로세서(50)(예를 들어, AP(Application Processor))가 버스(60)를 통해 전송하는 영상 데이터(예를 들어 이미지 데이터)를 디스플레이 패널에 표시할 수 있다. 디스플레이 드라이버는 프로세서(50)가 전송하는 영상 데이터의 비트 수에 대응하는 개수의 감마 전압들을 생성할 수 있고, 영상 데이터에 따라 감마 전압들 중 적어도 일부를 선택하여 단위 버퍼들에 입력할 수 있다.
- [0019] 몇몇 실시예들에서, 소정 범위의 계조 전압을 출력하는 단위 버퍼들의 입력 포트에, 서로 다른 크기를 갖는 둘 이상의 감마 전압들이 입력될 수 있다.
- [0020] 도 2 및 도 3을 참조하면, 본 발명의 몇몇 실시예에 따른 디스플레이 장치(10)는 디스플레이 구동 장치(100)(display drive IC)(DDI)와 디스플레이 패널(200)을 포함할 수 있다.
- [0021] 도 2를 참조하면, 디스플레이 구동 장치(100)는 디스플레이 패널(200)을 제어할 수 있다.
- [0022] 본 발명의 몇몇 실시예에 따른 디스플레이 장치(10)는 각종 디스플레이 장치 중 어느 하나가 적용될 수 있다. 예를 들어, 유기 발광 표시 장치(organic light emitting diode display)(OLED), 액정 표시 장치(liquid crystal display)(LCD), DP(plasma display panel) 장치, ECD(Electrochromic Display), DMD(Digital Mirror Device), AMD(Actuated Mirror Device), GLV(Grating Light Value), PDP(Plasma Display Panel), ELD(Electro Luminescent Display)일 수 있다.
- [0023] 도 3을 참조하면, 디스플레이 구동 장치(100)는 디스플레이 구동 컨트롤러(150), 소스 드라이버(120) 및 게이트 드라이버(130)를 포함할 수 있다.

- [0024] 디스플레이 구동 컨트롤러(150)는 외부, 예를 들어 디스플레이 장치(10)가 탑재된 시스템의 호스트 (예를 들어, 프로세서(50))로부터 데이터(DATA) 및 커맨드(CMD)를 인가받아 소스 드라이버(120) 및 게이트 드라이버(130)로 동작에 필요한 이미지 데이터(RGB DATA), 소스 제어 신호(SDC) 및 게이트 제어 신호(GDC)를 제공할 수 있다. 메모리(300)는 예를 들어 프레임 메모리일 수 있다. 디스플레이 구동 컨트롤러(150)는 이미지 프로세싱 유닛, 메모리 컨트롤러, 커맨드 프리 버퍼, 커맨드 레지스터, 커맨드 싱크 컨트롤러 등을 더 포함할 수 있다.
- [0025] 디스플레이 패널(200)은 행방향으로 스캔 신호를 전달하는 다수의 게이트 라인(131)과, 게이트 라인(131)과 교차하는 방향으로 배치되며 열방향으로 데이터 신호를 전달하는 다수의 소스 라인(121)과, 게이트 라인(131) 및 소스 라인(121)이 교차하는 영역에 배열된 다수의 픽셀(PX)들을 포함할 수 있다.
- [0026] 다수의 게이트 라인(131)이 차례로 선택되면 선택된 게이트 라인(131)에 연결된 픽셀(PX)에 다수의 소스 라인(121)을 통해 계조 전압이 인가될 수 있다.
- [0027] 픽셀(PX)은 각각 스위칭 트랜지스터, 구동 트랜지스터, 스토리지 커패시터 및 유기발광 다이오드를 포함할 수 있다. 게이트 라인(131)과 소스 라인(121)은 픽셀(PX)에 연결될 수 있다.
- [0028] 소스 드라이버(120)는 디스플레이 구동 컨트롤러(150)로부터 인가받은 디지털 데이터인 이미지 데이터(RGB DATA)를 계조 전압으로 변환하여 소스 라인(121)을 통해 디스플레이 패널(200)에 계조 전압을 인가할 수 있다. 게이트 드라이버(130)는 게이트 라인(131)을 차례로 스캔할 수 있다. 게이트 드라이버(130)는 선택된 게이트 라인(131)에 게이트 온 전압을 인가하여 선택된 게이트 라인(131)을 활성화시키고, 소스 드라이버(120)는 활성화된 게이트 라인(131)에 연결된 픽셀(PX)들에 대응되는 계조 전압을 출력할 수 있다. 이에 따라, 디스플레이 패널(200)은 수평 라인 단위로, 즉 한 행씩 이미지가 디스플레이될 수 있다.
- [0029] 인터페이스 회로(140)를 통해 디스플레이 장치(10)는 호스트(예를 들어, 프로세서(50))와 통신할 수 있다. 인터페이스 회로(140)는 호스트로부터 병렬 또는 직렬로 인가되는 데이터(DATA) 및 커맨드(CMD)를 수신하여 디스플레이 구동 컨트롤러(150)에 제공한다. 데이터(DATA) 및 커맨드(CMD)는, 디스플레이 장치(10)가 탑재된 시스템의 호스트(예를 들어, 프로세서(50))로부터 전송될 수 있다. 인터페이스 회로(140)는 호스트의 전송방식에 대응되는 인터페이스 방식에 따라 데이터(DATA) 및 커맨드(CMD)를 수신할 수 있다. 예컨대, 인터페이스 회로(140)에서 사용되는 인터페이스 방식은 RGB 인터페이스, CPU 인터페이스, PSI(Service provider interface), MDDI(Mobile display digital interface) 및 MIPI(Mobile industry processor interface) 방식 중 하나일 수 있다.
- [0030] 디스플레이 구동 컨트롤러(150)는 타이밍 컨트롤러(110) 및 메모리(300)를 포함할 수 있다.
- [0031] 타이밍 컨트롤러(110)는 데이터(DATA) 및 커맨드(CMD) 등의 신호에 기초하여 소스 드라이버(120)의 동작 타이밍을 제어하기 위한 소스 제어 신호(SDC)와 게이트 드라이버(130)의 동작 타이밍을 제어하기 위한 게이트 제어 신호(GDC)를 생성할 수 있다.
- [0032] 메모리(300)는 디스플레이 패널(200)에 디스플레이될 한 프레임의 이미지 데이터(RGB DATA)를 임시로 저장하였다가 이미지 데이터(RGB DATA)가 디스플레이 패널(200) 상에 디스플레이 되도록 출력할 수 있다. 메모리(300)는 그래픽 램(GRAM)이라고 불리기도 하며, SRAM(static random access memory)과 같은 휘발성 메모리가 사용될 수 있다. 하지만 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않고, 다양한 종류의 메모리가 사용될 수 있다.
- [0033] 디스플레이 구동 컨트롤러(150)는 메모리(300)의 전반적인 동작을 제어할 수 있고, 특히 메모리(300)에서 라이트 동작 및 리드 동작이 수행되는 어드레스 및 타이밍 등을 제어할 수 있다.
- [0034] 이하, 도 4 내지 도 9를 참조하여 메모리 모듈(400)을 포함하는 디스플레이 구동 장치(100) 및 메모리 모듈(400)의 동작을 설명한다.
- [0035] 도 4는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다. 도 5는 도 4의 메모리 모듈을 설명하기 위한 도면이다. 도 6은 도 4의 R1 영역을 확대한 도면이다. 도 7 내지 도 9는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0036] 도 4를 참조하면, 디스플레이 구동 장치(100)는 로직 영역(101), 제1 영역(102) 및 제2 영역(103)을 포함할 수 있다. 디스플레이 구동 장치(100)는 도시된 것처럼 한 번의 길이가 다른 한 번의 길이보다 큰 직사각형 형태일 수 있다. 하지만, 본 발명의 기술적 사상에 따른 실시예가 이에 제한되지 않으며 디스플레이 구동 장치(100)의 형상은 다른 형상일 수 있다.

- [0037] 로직 영역(101)의 일측에 직사각형 형상의 제1 영역(102)이 배치될 수 있고, 제1 영역(102)이 배치된 일측의 반대편의 로직 영역(101)의 타측에 직사각형 형상의 제2 영역(103)이 배치될 수 있다. 즉, 로직 영역(101)은 제1 영역(102) 및 제2 영역(103) 사이에 배치될 수 있다.
- [0038] 로직 영역(101)에 로직 모듈이 배치될 수 있다. 또한, 로직 모듈은 예를 들어 디스플레이 구동 장치(100)의 타이밍 컨트롤러(110)를 포함할 수 있다. 로직 모듈은 소스 드라이버(120) 및 게이트 드라이버(130)를 제어할 수 있고, 메모리(300)의 전반적인 동작을 제어할 수 있다.
- [0039] 복수의 메모리 모듈(400)은 제1 영역(102) 및 제2 영역(103)에 배치될 수 있다. 디스플레이 구동 장치(100)의 메모리(300)는 복수의 메모리 모듈(400)을 포함하거나, 복수의 메모리 모듈(400)과 동일할 수 있다. 복수의 메모리 모듈(400)은 제1 영역(102) 및 제2 영역(103)의 긴 변을 따라서 직렬로 배치될 수 있다. 복수의 메모리 모듈(400)은 직렬로 접속될 수 있다. 예를 들어, 복수의 메모리 모듈(400)은 직렬로 배치되고, 메모리 모듈(400)끼리 서로 연결되고, 메모리 모듈(400)끼리 서로 접속될 수 있다. 복수의 메모리 모듈(400) 중 로직 영역(101)과 가장 인접한 곳에 있는 메모리 모듈(400)은 로직 영역(101)의 로직 모듈과 연결 및 접속될 수 있다. 로직 영역(101)의 로직 모듈은 복수의 메모리 모듈(400)의 전반적인 동작을 제어할 수 있다. 예를 들어, 로직 모듈은 메모리 모듈(400)의 라이트 동작 및 리드 동작이 수행되는 어드레스 및 타이밍 등을 제어할 수 있다.
- [0040] 도 5를 참조하면, 메모리 모듈(400)은 디코더(410), 메모리(420), 제1 래치(430), 제2 래치(440), 전송부(450) 및 제3 래치(460)를 포함할 수 있다. 도 4의 복수의 메모리 모듈(400)은 도 5의 메모리 모듈(400)과 동일한 구조일 수 있지만, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않고 특정 구성을 생략하고 나타낼 수 있다.
- [0041] 디코더(410)는 메모리(420) 및 제1 래치(430)와 연결될 수 있다. 디코더(410)는 이전의 메모리 모듈(400)으로부터 제1 신호(S1)을 제공받을 수 있다. 또한, 디코더(410)가 로직 모듈과 연결된 경우, 디코더(410)는 로직 모듈으로부터 제1 신호(S1)을 제공받을 수 있다. 디코더(410)는 메모리(420)에 제2 신호(S2)를 제공할 수 있다. 제2 신호(S2)는 라이트 동작의 경우 이미지 데이터와 커맨드를 포함할 수 있고, 리드 동작의 경우 커맨드를 포함할 수 있다.
- [0042] 메모리(420)는 디코더(410) 및 전송부(450)와 연결될 수 있다. 메모리(420)는 그래픽 램을 포함할 수 있다. 또한, 메모리(420)는 SRAM(static random access memory)을 포함할 수 있다. 하지만, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않고, 메모리(420)는 DRAM(dynamic RAM), SDRAM(synchronous dynamic RAM) 등과 같은 비휘발성 메모리를 포함할 수 있다. 메모리(420)는 디코더(410)로부터 제2 신호(S2)를 제공받아 리드 동작 또는 라이트 동작을 수행할 수 있다. 메모리(420)은 리드 동작 또는 라이트 동작 후에 액세스 결과를 포함하는 제4 신호(S4)를 전송부(450)에 제공할 수 있다.
- [0043] 제1 래치(430), 제2 래치(440) 및 제3 래치(460)는 D 플립플롭(D flipflop)을 포함할 수 있다. 하지만, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않는다.
- [0044] 제2 래치(440)는 이전 메모리 모듈로부터 제3 신호(S3)를 제공받을 수 있다. 제2 래치(440)는 제3 신호(S3)를 제공받아 데이터를 저장할 수 있다. 제2 래치(440)는 해당 데이터를 출력하여 전송부(450)에 제공할 수 있다. 메모리 모듈(400)이 로직 모듈과 연결된 경우, 제2 래치(440)에는 제3 신호(S3)가 제공되지 않을 수 있다.
- [0045] 전송부(450)는 메모리(420) 및 제2 래치(440)와 연결될 수 있다. 전송부(450)는 멀티플렉서(multiplexer)(MUX)를 포함할 수 있다. 전송부(450)는 제2 래치(440)로부터 출력된 제3 신호(S3)와 메모리(420)로부터 출력된 제4 신호(S4)를 제공받을 수 있다. 전송부(450)는 제어를 통해 제3 신호(S3)와 제4 신호(S4)를 다른 시간대에 출력할 수 있다. 전송부(450)는 다음 메모리 모듈(400)에 신호를 제공할 수 있다.
- [0046] 제1 래치(430)는 디코더(410)와 연결될 수 있다. 제1 래치(430)는 디코더(410)로부터 신호를 제공받아 데이터를 저장할 수 있다. 제1 래치(430)는 해당 데이터를 출력하여 다음 메모리 모듈(400)에 신호를 제공할 수 있다.
- [0047] 제3 래치(460)는 다른 메모리 모듈(400)로부터 제5 신호(S5)를 제공받아 데이터를 저장할 수 있다. 제3 래치(460)는 해당 데이터를 출력하여 다른 메모리 모듈(400)에 신호를 제공할 수 있다.
- [0048] 메모리 모듈(400)의 동작은 제1 동작(A1), 제2 동작(A2) 및 제3 동작(A3)을 포함할 수 있다. 제1 동작(A1)은 디코더(410) 및 제1 래치(430)에 의하여 수행될 수 있다. 제2 동작(A2)은 메모리(420), 제2 래치(440) 및 전송부(450)에 의하여 수행될 수 있다. 제3 동작(A3)은 제3 래치(460)에 의하여 수행될 수 있다.



- [0049] 몇몇 실시예에서, 메모리 모듈(400)의 동작은 제1 동작(A1) 및 제4 동작(A4)을 포함할 수 있다.
- [0050] 제1 동작(A1)은 이전의 메모리 모듈(400) 또는 로직 모듈로부터 제1 신호(S1)를 제공받아, 메모리(420)에 제2 신호(S2)를 제공하거나, 제1 래치(D1)를 통해 다음의 메모리 모듈(400)에 제2 신호(S2)를 제공하는 동작을 포함할 수 있다. 제2 신호(S2)는 라이트 동작의 경우 이미지 데이터와 커맨드를 포함할 수 있고, 리드 동작의 경우 커맨드를 포함할 수 있다.
- [0051] 제4 동작(A4)은 제2 동작(A2) 및 제3 동작(A3)을 포함할 수 있다. 제4 동작(A4)은 메모리 모듈(400)의 메모리(420)로부터 리드된 데이터를 포함하는 제4 신호(S4)가 후술될 터미널 모듈(도 12의 505)로 전달되고, 터미널 모듈(도 12의 505)로부터 제4 신호(S4)와 실질적으로 동일한 제5 신호(S5)가 메모리 모듈(400)의 제3 래치(460)로 전달되는 것을 포함할 수 있다. 또한, 제4 동작(A4)은 이전의 메모리 모듈(400)로부터 전달된 제3 신호(S3)가 터미널 모듈(도 12의 505)로 전달되고, 터미널 모듈(도 12의 505)로부터 제3 신호(S3)와 실질적으로 동일한 제5 신호(S5)가 메모리 모듈(400)의 제3 래치(460)로 전달되는 것을 포함할 수 있다. 제5 신호(S5)는 제3 신호(S3) 및 제4 신호(S4)를 포함할 수 있다.
- [0052] 몇몇 실시예에서, 제1 동작(A1) 및 제4 동작(A4)은 서로 분리된 동작일 수 있다. 예를 들어, 제1 동작(A1)이 수행되는 경우 반드시 제4 동작(A4)이 수행되어야 하는 것은 아닐 수 있고, 제4 동작(A4)이 수행되는 경우 반드시 제1 동작(A1)이 수행되어야 하는 것은 아닐 수 있다. 다시 말해, 제1 동작(A1) 및 제4 동작(A4)은 타이밍 관계 상으로 서로 분리된 동작일 수 있다. 하지만, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않으며, 제1 동작(A1)과 제4 동작(A4)이 함께 수행될 수 있다.
- [0053] 도 6을 참조하면, 도 4의 R1 영역에 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403)이 존재할 수 있다. 여기서, N은 2 이상의 자연수일 수 있다. 도면에서 3 개 이상의 메모리 모듈(400)이 제1 영역(102)에 배치되는 것으로 도시되었으나, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않고 1 개의 메모리 모듈 또는 2 개의 메모리 모듈만이 배치될 수 있다.
- [0054] 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403)은 도 5의 메모리 모듈(400)과 동일한 구조일 수 있다. 즉, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403)은 각각 디코더(410), 메모리(420), 제1 래치(430), 제2 래치(440), 전송부(450) 및 제3 래치(460)를 포함할 수 있다.
- [0055] 제N-1 메모리 모듈(401)의 전송부(450)는 제N 메모리 모듈(402)의 제2 래치(440)와 연결될 수 있다. 제N-1 메모리 모듈(401)의 제1 래치(430)는 제N 메모리 모듈(402)의 디코더(410)와 연결될 수 있다. 제N-1 메모리 모듈(401)의 제3 래치(460)는 제N 메모리 모듈(402)의 제3 래치(460)와 연결될 수 있다.
- [0056] 제N 메모리 모듈(402)의 전송부(450)는 제N+1 메모리 모듈(403)의 제2 래치(440)와 연결될 수 있다. 제N 메모리 모듈(402)의 제1 래치(430)는 제N+1 메모리 모듈(403)의 디코더(410)와 연결될 수 있다. 제N 메모리 모듈(402)의 제3 래치(460)는 제N+1 메모리 모듈(403)의 제3 래치(460)와 연결될 수 있다.
- [0057] 몇몇 실시예에서, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403)의 제1 동작(A1)은 이전의 메모리 모듈 또는 로직 모듈로부터 신호를 제공받아, 각각의 메모리(memory)에 신호를 제공하거나, 각각의 제1 래치(D1)를 통해 다음의 메모리 모듈에 신호를 제공하는 동작을 포함할 수 있다.
- [0058] 몇몇 실시예에서, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403)의 제4 동작(A4)은 메모리(memory)로부터 리드된 데이터를 포함하는 신호가 다음의 메모리 모듈(예를 들어, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403))을 통해 터미널 모듈로 전달되고, 터미널 모듈로부터 메모리 모듈(예를 들어, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403))을 통해 로직 모듈로 전달되는 동작을 포함할 수 있다. 또한, 제4 동작(A4)은 이전의 메모리 모듈(예를 들어, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403))로부터 전달된 신호가 터미널 모듈로 전달되고, 터미널 모듈로부터 메모리 모듈(예를 들어, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403))을 통해 로직 모듈로 전달되는 동작을 포함할 수 있다.
- [0059] 몇몇 실시예에서, 제N-1 메모리 모듈(401), 제N 메모리 모듈(402) 및 제N+1 메모리 모듈(403)의 제1 동작(A1) 및 제4 동작(A4)은 서로 분리된 동작일 수 있다. 다시 말해, 제1 동작(A1) 및 제4 동작(A4)은 타이밍 관계 상으로 서로 분리된 동작일 수 있다. 하지만, 본 발명의 기술적 사상에 따른 실시예는 이에 제한되지 않으며, 제1 동작(A1)과 제4 동작(A4)이 함께 수행될 수 있다.
- [0060] 도 7을 참조하여 디스플레이 구동 장치(100)의 동작 방법 중 제1 동작(A1)에 대하여 설명한다.

- [0061] 제N-1 메모리 모듈(401)로부터 제N 메모리 모듈(402)로 신호가 제공될 수 있다(S470). 상세히, 제N-1 메모리 모듈(401)의 디코더(410) 및 제1 래치(430)을 통과한 신호가 제N 메모리 모듈(402)의 디코더(410)에 제공된다. 제N 메모리 모듈(402)의 디코더(410)에 제공되는 신호는 제N 메모리 모듈(402)의 메모리(420)에 대한 커맨드 및 이미지 데이터를 포함할 수 있다.
- [0062] 제N 메모리 모듈(402)의 디코더(410)는 제N-1 메모리 모듈(401)로부터 제공된 신호를 기초로 제N 메모리 모듈(402)의 메모리(420)에 대한 액세스 여부를 결정할 수 있다(S471).
- [0063] 예를 들어 제N-1 메모리 모듈(401)로부터 제공된 신호가 제N 메모리 모듈(402)의 메모리(420)에 대한 액세스가 필요한 경우(S471-YES), 제N 메모리 모듈(402)의 디코더(410)는 해당 신호를 제N 메모리 모듈(402)의 메모리(420)에 제공할 수 있다. 그리고, 제N 메모리 모듈(402)의 디코더(410)는 제N 메모리 모듈(402)의 제1 래치(430)에 커맨드가 포함되지 않은 신호, 즉 null 데이터를 포함하는 신호를 전달할 수 있다(S472). 제1 래치(430)에 전달된 null 데이터를 포함하는 신호는 이후에 연결된 메모리 모듈(예를 들어, 제N+1 메모리 모듈(403))을 동작시키지 않을 수 있다.
- [0064] 제N-1 메모리 모듈(401)로부터 제공된 신호가 제N 메모리 모듈(402)의 메모리(420)에 대한 액세스가 필요하지 않은 경우(S471-NO), 제N 메모리 모듈(402)의 디코더(410)는 해당 신호를 제N 메모리 모듈(402)의 제1 래치(430)에 제공할 수 있다(S473). 이 때, 해당 신호는 제N 메모리 모듈(402)의 메모리(420)에 전달되지 않고, 제N 메모리 모듈(402)의 메모리(420)는 액세스되지 않을 수 있다. 제N 메모리 모듈(402)의 제1 래치(430)는 제공된 신호의 데이터를 저장할 수 있다.
- [0065] 제N 메모리 모듈(402)의 제1 래치(430)는 저장된 데이터를 출력하여 제N+1 메모리 모듈(403)에 제공할 수 있다(S474). 제N 메모리 모듈(402)의 제1 래치(430)에 데이터가 저장되고 출력되는 과정에서, 신호는 1 클럭 사이클(clock cycle)만큼 지연될 수 있다. 제N+1 메모리 모듈(403)의 디코더(410)는 지연된 신호를 제공받을 수 있다.
- [0066] 해당 메모리 모듈(400)의 메모리(420)에 대한 액세스가 필요하지 않은 경우, 해당 메모리 모듈(400) 이후의 사이클에서 다른 메모리 모듈(400)의 동작이 발생하지 않아 디스플레이 구동 장치(100)의 전력 소모를 방지할 수 있다.
- [0067] 도 8을 참조하여 디스플레이 구동 장치(100)의 동작 방법 중 제2 동작(A2)에 대하여 설명한다.
- [0068] 로직 모듈은 제N-1 메모리 모듈(401)의 전송부(450)로부터 제N 메모리 모듈(402)로 신호가 제공되는지 여부를 판단할 수 있다(S480). 제N-1 메모리 모듈(401)의 전송부(450)로부터 제공되는 신호는 제N-1 메모리 모듈(401)의 메모리(420) 또는 제2 래치(440)에서 제공되는 신호일 수 있다.
- [0069] 제N-1 메모리 모듈(401)의 전송부(450)로부터 제N 메모리 모듈(402)로 신호가 제공되는 경우(S480-YES), 해당 신호는 제N 메모리 모듈(402)의 제2 래치(440)를 통하여 제N 메모리 모듈(402)의 전송부(450)(예를 들어, 멀티플렉서)에 제공될 수 있다(S481). 해당 신호는 제N 메모리 모듈(402)의 제2 래치(440)에 저장될 수 있고, 1 클럭 사이클만큼 지연된 후에 제N 메모리 모듈(402)의 제2 래치(440)로부터 출력될 수 있다.
- [0070] 제N-1 메모리 모듈(401)의 전송부(450)로부터 제N 메모리 모듈(402)로 신호가 제공되지 않는 경우(S480-NO), 예를 들어 제N 메모리 모듈(402)이 로직 모듈과 접속되거나, 제N-1 메모리 모듈(401)의 메모리(420)가 액세스되지 않는 경우, 제N 메모리 모듈(402)의 메모리(420)가 리드 커맨드 신호를 수신하였는지 판단될 수 있다(S482). 즉, 제N 메모리 모듈(402)의 디코더(410)가 리드 커맨드 데이터를 포함하는 신호를 수신하여 제N 메모리 모듈(402)의 메모리(420)에 신호를 제공하였는지 판단될 수 있다.
- [0071] 제N 메모리 모듈(402)의 메모리(420)가 리드 커맨드 신호를 수신한 경우(S482-YES), 제N 메모리 모듈(402)의 메모리(420)로부터 이미지 데이터를 포함하는 신호가 출력될 수 있고, 해당 신호는 제N 메모리 모듈(402)의 전송부(450)(예를 들어, 멀티플렉서)에 제공될 수 있다(S483).
- [0072] 제N 메모리 모듈(402)의 메모리(420)가 리드 커맨드 신호를 수신하지 않은 경우(S482-NO), 다시 로직 모듈은 제N-1 메모리 모듈(401)의 전송부(450)로부터 제N 메모리 모듈(402)로 신호가 제공되는지 여부를 판단할 수 있다(S480).
- [0073] 제N 메모리 모듈(402)의 제2 래치(440)으로부터 제N 메모리 모듈(402)의 전송부(450)로 제공된 신호 또는 제N 메모리 모듈(402)의 메모리(420)로부터 제N 메모리 모듈(402)의 전송부(450)로 제공된 신호는, 전송부(450)를 통해 제N+1 메모리 모듈(403)로 제공될 수 있다(S484). 즉, 전송부(450)는 해당 신호를 선택적으로 전달할 수 있고, 1 클럭 사이클만큼 지연된 제N-1 메모리 모듈(401)로부터 제공된 신호 및 제N 메모리 모듈(402)의 메모리

(420)로부터 출력된 신호를 순차적으로 정렬하여 전달할 수 있다. 예를 들어 해당 신호를 제N+1 메모리 모듈(403)의 제2 래치(440)를 통과하여 제N+1 메모리 모듈(403)의 전송부(450)에 전달할 수 있다.

- [0074] 도 9를 참조하여 디스플레이 구동 장치(100)의 동작 방법 중 제3 동작(A3)에 대하여 설명한다.
- [0075] 제N+1 메모리 모듈(403)으로부터 제N 메모리 모듈(402)로 신호가 제공될 수 있다(S490). 예를 들어, 제N+1 메모리 모듈(403)의 전송부(450)로부터 출력된 신호는 다시 제N+1 메모리 모듈(403)에 제공될 수 있다. 상세히, 제N+1 메모리 모듈(403)의 전송부(450)로부터 출력된 신호는 제N+1 메모리 모듈(403)의 제3 래치(460)에 전달될 수 있다. 제N+1 메모리 모듈(403)의 제3 래치(460)는 해당 신호의 데이터를 저장하고, 1 클락 사이클만큼 지연된 신호를 출력할 수 있다. 제N+1 메모리 모듈(403)의 제3 래치(460)로부터 출력된 신호는 제N 메모리 모듈(402)의 제3 래치(460)로 전달될 수 있다. 제N 메모리 모듈(402)의 제3 래치(460)는 해당 신호의 데이터를 저장하고, 1 클락 사이클만큼 지연된 신호를 출력할 수 있다.
- [0076] 제N 메모리 모듈(402)로부터 제N-1 메모리 모듈(401)로 신호가 제공될 수 있다(S491). 예를 들어, 제N 메모리 모듈(402)의 제3 래치(460)로부터 출력된 신호는 제N-1 메모리 모듈(401)의 제3 래치(460)로 전달될 수 있다. 제N-1 메모리 모듈(401)의 제3 래치(460)는 해당 신호의 데이터를 저장하고, 1 클락 사이클만큼 지연된 신호를 출력할 수 있다. 제N-1 메모리 모듈(401)의 제3 래치(460)로부터 출력된 신호는 예를 들어 로직 모듈에 전달될 수 있다.
- [0077] 메모리 모듈(400)의 디코더(410)를 통하여 메모리(420)에 대한 액세스 여부를 판단하여 소모 전력이 감소될 수 있고, 메모리 모듈(400)의 제1 래치(430)를 통하여 제공되는 신호를 지연시켜 순차적으로 메모리 모듈(400)이 사용될 수 있으며, 제2 래치(440) 및 전송부(450)를 통하여 전달되는 신호들을 지연시키고 순차적으로 정렬하여 전달할 수 있다.
- [0078] 메모리 모듈(400)은 같은 구조, 예를 들어 디코더(410), 메모리(420), 제1 래치(430), 제2 래치(440), 전송부(450) 및 제3 래치(460)를 포함하므로, 로직 모듈로부터 복수 개의 메모리 모듈(400)이 직렬로 연결(cascading)될 수 있다. 또한, 복수 개의 메모리 모듈(400)들을 통해 로직 모듈로부터 제공되는 신호를 순차적으로 전달할 수 있고, 복수 개의 메모리 모듈(400)들을 통해 메모리(420)의 액세스 결과를 출력하여 로직 모듈로 전달할 수 있다.
- [0079] 이를 통하여 여러 개의 메모리를 이용하여, 넓은 대역폭의 데이터를 저장 및 출력할 수 있고, 랜덤 액세스 제약을 해결할 수 있다. 예를 들어, 4 개의 메모리 모듈(400)을 사용하는 경우, 하나의 메모리 모듈(400)의 메모리(420)가 2Mb를 저장하는 경우, 4 개의 메모리 모듈(400)을 연결하는 경우 메모리(300)는 8Mb를 저장할 수 있다. 또한, 모두 동일한 메모리 모듈(400)을 이용하여 메모리(300)를 설계하는 데 필요한 시간 및 비용이 감소될 수 있다. 예를 들어 기존에 사용하던 메모리(300)의 메모리 용량보다 큰 메모리 용량이 필요한 경우, 기존에 설계된 메모리 모듈(400)을 직렬로 연결하여 사용할 수 있다.
- [0080] 이하 도 10 및 도 11을 참조하여 메모리 모듈의 메모리를 리드하는 경우의 디스플레이 구동 장치(100)의 동작을 설명한다.
- [0081] 도 10은 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다. 도 11은 도 10의 디스플레이 구동 장치의 동작 방법을 설명하기 위한 타이밍도이다.
- [0082] 도 10을 참조하면, 디스플레이 구동 장치(100)는 제1 메모리 모듈(501)과 제2 메모리 모듈(502)을 포함할 수 있다. 상세히, 제1 메모리 모듈(501)은 도 4의 로직 영역(101)의 로직 모듈과 접속될 수 있고, 제2 메모리 모듈(502)는 제1 메모리 모듈과 서로 접속될 수 있다.
- [0083] 제1 메모리 모듈(501)은 디코더(510), 메모리(511), 제1 래치(512), 제2 래치(513) 및 전송부(514)를 포함할 수 있다. 제2 메모리 모듈(502)은 디코더(520), 메모리(521), 제1 래치(522), 제2 래치(523) 및 전송부(524)를 포함할 수 있다.
- [0084] 디코더(510)는 제1 입력 클락 데이터(CKI1) 및 제1 입력 명령 데이터(CMD\_IN1)을 포함하는 신호를 제공받을 수 있다. 도 11을 참조하면, 클락 사이클 별로 순차적으로 제1 명령 데이터(CMD1), 제2 명령 데이터(CMD2), 제3 명령 데이터(CMD3) 및 제4 명령 데이터(CMD4)가 제공될 수 있다.
- [0085] 디코더(510)는 메모리(511)에 제1 메모리 명령 데이터(MEM\_CMD1)를 전달할 수 있다. 제1 메모리 명령 데이터(MEM\_CMD1)는 제1 입력 명령 데이터(CMD\_IN1)가 전달되는 클락 사이클에 전달될 수 있다. 예를 들어, 제1 명령

데이터(CMD1)는 메모리(511)에 전달될 수 있다.

- [0086] 메모리(511)는 제1 메모리 출력 데이터(MEM Q1)를 전송부(514)에 제공할 수 있다. 상세히, 메모리(511)는 제1 메모리 명령 데이터(MEM CMD1)를 기초로 해당하는 데이터를 메모리(511)로부터 출력하여 제1 메모리 출력 데이터(MEM Q1)를 다음 클럭 사이클에 전달할 수 있다. 예를 들어, 제1 출력 데이터(Q1)는 메모리(511)로부터 출력될 수 있다.
- [0087] 제1 래치(512)는 디코더(510)로부터 신호를 제공받아 제1 출력 클럭 데이터(CKO1) 및 제1 출력 명령 데이터(CMD\_OUT1)을 포함하는 신호를 출력할 수 있다. 예를 들어, 제2 명령 데이터(CMD2)는 제1 래치(512)로부터 출력될 수 있다.
- [0088] 제1 출력 명령 데이터(CMD\_OUT1)는 제1 명령 데이터(CMD1)가 메모리(511)에 전달된 경우, 클럭 사이클 별로 순차적으로 제2 명령 데이터(CMD2), 제3 명령 데이터(CMD3) 및 제4 명령 데이터(CMD4)를 포함할 수 있다.
- [0089] 전송부(514)는 제1 메모리 출력 데이터(MEM Q1)를 제2 메모리 모듈(502)에 제1 메모리 모듈 출력 데이터(MOD Q1)로 제공할 수 있다. 예를 들어, 전송부(514)는 제1 출력 데이터(Q1)를 출력하여 제2 메모리 모듈(502)에 전달할 수 있다.
- [0090] 제1 출력 클럭 데이터(CKO1) 및 제1 출력 명령 데이터(CMD\_OUT1)을 포함하는 신호는 제2 메모리 모듈(502)로 전달되고, 디코더(520)는 제2 입력 클럭 데이터(CKI2) 및 제2 입력 명령 데이터(CMD\_IN2)을 포함하는 신호를 제공할 수 있다. 제2 입력 명령 데이터(CMD\_IN2)는 클럭 사이클 별로 순차적으로 제2 명령 데이터(CMD2), 제3 명령 데이터(CMD3) 및 제4 명령 데이터(CMD4)를 포함할 수 있다.
- [0091] 디코더(520)는 제2 입력 클럭 데이터(CKI2) 및 제2 입력 명령 데이터(CMD\_IN2)을 포함하는 신호를 제공할 수 있다. 도 11을 참조하면, 디코더(520)에 클럭 사이클 별로 순차적으로 제2 명령 데이터(CMD2), 제3 명령 데이터(CMD3) 및 제4 명령 데이터(CMD4)가 제공될 수 있다.
- [0092] 디코더(520)는 메모리(521)에 제2 메모리 명령 데이터(MEM CMD2)를 전달할 수 있다. 제2 메모리 명령 데이터(MEM CMD2)는 제2 입력 명령 데이터(CMD\_IN2)가 전달되는 클럭 사이클에 전달될 수 있다. 예를 들어, 디코더(520)는 제2 명령 데이터(CMD2)를 메모리(521)에 제공할 수 있다.
- [0093] 도 11을 참조하면, 제1 입력 클럭 데이터(CKI1)와 제2 입력 클럭 데이터(CKI2)는 스큐(skew)가 발생할 수 있다. 즉, 제1 메모리 모듈(501) 및 제2 메모리 모듈(502) 사이에서 신호가 전달되는 동안 클럭의 스큐가 발생할 수 있지만, 추후에 기술될 구성에 의하여 클럭은 기준 클럭으로 동기화될 수 있다.
- [0094] 이하 도 12 및 도 13을 참조하여 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치(500)의 메모리를 리드하는 경우의 디스플레이 구동 장치(100)의 동작을 설명한다. 메모리를 리드하는 경우에 대하여 서술하였지만, 메모리의 동작은 리드 동작에만 국한되지 않고 라이트 동작도 할 수 있다.
- [0095] 도 12는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다. 도 13은 도 12의 디스플레이 구동 장치의 동작 방법을 설명하기 위한 타이밍도이다.
- [0096] 도 12를 참조하면, 디스플레이 구동 장치(500)는 제1 영역(102)에 제1 내지 제4 메모리 모듈(501, 502, 503 및 504), 터미널 모듈(505) 및 FIFO 모듈(540)을 포함할 수 있다.
- [0097] 제1 내지 제4 메모리 모듈(501, 502, 503 및 504) 및 터미널 모듈(505)는 순차적으로 직렬로 연결되고 접속될 수 있다. FIFO 모듈(540)은 제1 메모리 모듈(501)의 측면에 배치되고, 로직 모듈과 제1 메모리 모듈(501)의 사이에 배치될 수 있다. FIFO 모듈(540)은 제1 메모리 모듈(501)로부터 로직 모듈에 전달되는 신호를 수신하고, 처리한 후에 출력하여 로직 모듈에 제공할 수 있다.
- [0098] 제1 메모리 모듈(501)은 로직 모듈로부터 제1 입력 명령 데이터(CMD\_IN1)를 제공받고, 제1 메모리 모듈 출력 데이터(MOD Q1)를 출력할 수 있다. 제2 메모리 모듈(502)은 제1 메모리 모듈(501)로부터 제2 입력 명령 데이터(CMD\_IN2)를 제공받고, 제2 메모리 모듈 출력 데이터(MOD Q2)를 출력할 수 있다. 제3 메모리 모듈(503)은 제2 메모리 모듈(502)로부터 제3 입력 명령 데이터(CMD\_IN3)를 제공받고, 제3 메모리 모듈 출력 데이터(MOD Q3)를 출력할 수 있다. 제4 메모리 모듈(504)은 제3 메모리 모듈(503)로부터 제4 입력 명령 데이터(CMD\_IN4)를 제공받고, 제4 메모리 모듈 출력 데이터(MOD Q4)를 출력할 수 있다.
- [0099] 터미널 모듈(505)(termination module)은 직렬로 연결된 메모리 모듈 중 마지막인 제4 메모리 모듈(504)와 접속될 수 있다. 터미널 모듈(505)은 제4 래치(530)을 포함할 수 있다. 제4 래치(530)은 D 플립플롭을 포함할 수 있다.

으나, 본 발명의 기술적 사상에 따른 실시에는 이에 제한되지 않는다. 터미널 모듈(505)의 제4 래치(530)는 제4 메모리 모듈(504)로부터 제4 메모리 모듈 출력 데이터(MOD Q4)를 제공받아 저장할 수 있다. 제4 래치(530)로부터 출력된 터미널 데이터(TERM Q)는 다시 제4 메모리 모듈(504)에 제공될 수 있다.

- [0100] 터미널 모듈(505)의 제4 래치(530)에 의해 제4 메모리 모듈 출력 데이터(MOD Q4)를 포함하는 신호는 1 클락 사이클만큼 지연되어 전달될 수 있다. 이를 통해 제4 메모리 모듈(504)로 데이터가 다시 리턴하는 경우에도 정적 타이밍 특성을 유지할 수 있다.
- [0101] 제4 래치(530)로부터 출력된 터미널 데이터(TERM Q)는 차례대로 제4 메모리 모듈(504)의 래치, 제3 메모리 모듈(503)의 래치, 제2 메모리 모듈(502)의 래치 및 제1 메모리 모듈(501)의 래치를 통하여 전달되어 리턴 데이터(RTRN Q)로 출력될 수 있다.
- [0102] FIFO 모듈(540)은 제1 메모리 모듈(501)의 래치로부터 출력된 리턴 데이터(RTRN Q)를 제공받을 수 있다. 복수의 메모리 모듈(400)들을 통하여 신호가 전달되는 중에, 도 11과 같이 클락 간의 스큐가 발생할 수 있다. 예를 들어, 로직 모듈로부터 제1 메모리 모듈(501)에 전달되는 신호의 클락과 제1 메모리 모듈(501)의 래치로부터 출력된 신호의 클락은 서로 다를 수 있다. 따라서, 제1 메모리 모듈(501)의 래치로부터 출력된 리턴 데이터(RTRN Q)를 포함하는 신호는 FIFO 모듈(540)을 이용하여 기준 클락과 동기화될 수 있고, 그 후에 로직 모듈로 전달될 수 있다.
- [0103] 도 13은 클락 스큐가 발생하지 않는 것으로 가정하고 디스플레이 구동 장치의 동작 방법을 설명하기 위한 타이밍도이다. 본 발명의 기술적 사상에 따른 실시에는 이에 제한되지 않으며 신호의 전달은 클락 스큐가 발생할 수 있다.
- [0104] 도 13을 참조하면, 클락(CK\_IN)은 제1 클락 사이클(t1) 내지 제13 클락 사이클(t13)을 포함할 수 있다.
- [0105] 제1 입력 클락 데이터(CMD\_IN1)는 순차적으로 입력되는 제1 명령 데이터(CMD1), 제2 명령 데이터(CMD2), 제3 명령 데이터(CMD3) 및 제4 명령 데이터(CMD4)를 포함할 수 있다.
- [0106] 제1 클락 사이클(t1)에서 제1 메모리 모듈(501)에 제1 명령 데이터(CMD1)가 입력될 수 있다. 제2 클락 사이클(t2)에서 제1 메모리 모듈(501)은 제1 출력 데이터(Q1)를 출력할 수 있고, 출력된 제1 출력 데이터(Q1)를 제2 메모리 모듈(502)에 전달할 수 있다. 제3 클락 사이클(t3)에서 제2 메모리 모듈(502)은 전달된 제1 출력 데이터(Q1)를 1 클락 사이클 지연시켜 제3 메모리 모듈(503)에 전달할 수 있다. 제4 클락 사이클(t4)에서 제3 메모리 모듈(503)은 전달된 제1 출력 데이터(Q1)를 1 클락 사이클 지연시켜 제4 메모리 모듈(504)에 전달할 수 있다. 제5 클락 사이클(t5)에서 제4 메모리 모듈(504)는 전달된 제1 출력 데이터(Q1)를 1 클락 사이클 지연시켜 터미널 모듈(505)에 전달할 수 있다. 이에 따라 제1 메모리 모듈(501)에 제1 명령 데이터(CMD1)이 입력되고, 4 클락 사이클(T1) 지연되어 터미널 모듈(505)에 신호가 전달될 수 있다.
- [0107] 제6 클락 사이클(t6)에서 터미널 모듈(505)는 제4 래치(530)를 사용하여 전달된 제1 출력 데이터(Q1)를 1 클락 사이클(T2) 지연시켜 제4 메모리 모듈(504)에 전달할 수 있다.
- [0108] 제7 내지 제10 클락 사이클(t7, t8, t9 및 t10)에서 제1 내지 제4 메모리 모듈(501, 502, 503, 504)은 전달된 제1 출력 데이터(Q1)를 4 클락 사이클(T3) 지연시켜 FIFO 모듈(540)에 전달할 수 있다.
- [0109] 제2 클락 사이클(t2)에서 제1 메모리 모듈(501)에 제2 명령 데이터(CMD2)가 입력될 수 있다. 제2 명령 데이터(CMD2)는 제1 메모리 모듈(501)에 의하여 지연되어 제2 메모리 모듈(502)에 전달될 수 있다. 제3 클락 사이클(t3)에서 제2 메모리 모듈(502)에 제2 명령 데이터(CMD2)가 입력될 수 있다. 제4 클락 사이클(t4)에서 제2 메모리 모듈(502)은 제2 출력 데이터(Q2)를 출력할 수 있고, 출력된 제2 출력 데이터(Q2)를 제3 메모리 모듈(503)에 전달할 수 있다. 제5 클락 사이클(t5)에서 제3 메모리 모듈(503)은 전달된 제2 출력 데이터(Q2)를 1 클락 사이클 지연시켜 제4 메모리 모듈(504)에 전달할 수 있다. 제6 클락 사이클(t6)에서 제4 메모리 모듈(504)은 전달된 제2 출력 데이터(Q2)를 1 클락 사이클 지연시켜 터미널 모듈(505)에 전달할 수 있다.
- [0110] 제7 클락 사이클(t7)에서 터미널 모듈(505)은 제4 래치(530)를 사용하여 전달된 제2 출력 데이터(Q2)를 1 클락 사이클 지연시켜 제4 메모리 모듈(504)에 전달할 수 있다.
- [0111] 제8 내지 제11 클락 사이클(t8, t9, t10, t11)에서 제1 내지 제4 메모리 모듈(501, 502, 503, 504)은 전달된 제2 출력 데이터(Q2)를 4 클락 사이클 지연시켜 FIFO 모듈(540)에 전달할 수 있다.
- [0112] 제3 클락 사이클(t3)에서 제1 메모리 모듈(501)에 제3 명령 데이터(CMD3)가 입력될 수 있다. 제3 명령 데이터

(CMD3)는 제1 메모리 모듈(501) 및 제2 메모리 모듈(502)에 의하여 지연되어 제3 메모리 모듈(503)에 전달될 수 있다. 제5 클락 사이클(t5)에서 제3 메모리 모듈(503)에 제3 명령 데이터(CMD3)가 입력될 수 있다. 제6 클락 사이클(t6)에서 제3 메모리 모듈(503)은 제3 출력 데이터(Q3)를 출력할 수 있고, 출력된 제3 출력 데이터(Q3)를 제4 메모리 모듈(504)에 전달할 수 있다. 제7 클락 사이클(t7)에서 제4 메모리 모듈(504)은 전달된 제3 출력 데이터(Q3)를 1 클락 사이클 지연시켜 터미널 모듈(505)에 전달할 수 있다.

- [0113] 제8 클락 사이클(t8)에서 터미널 모듈(505)은 제4 래치(530)를 사용하여 전달된 제3 출력 데이터(Q3)를 1 클락 사이클 지연시켜 제4 메모리 모듈(504)에 전달할 수 있다.
- [0114] 제9 내지 제12 클락 사이클(t9, t10, t11, t12)에서 제1 내지 제4 메모리 모듈(501, 502, 503, 504)은 전달된 제3 출력 데이터(Q3)를 4 클락 사이클 지연시켜 FIFO 모듈(540)에 전달할 수 있다.
- [0115] 제4 클락 사이클(t4)에서 제1 메모리 모듈(501)에 제4 명령 데이터(CMD4)가 입력될 수 있다. 제4 명령 데이터(CMD4)는 제1 메모리 모듈(501), 제2 메모리 모듈(502) 및 제3 메모리 모듈(503)에 의하여 지연되어 제4 메모리 모듈(504)에 전달될 수 있다. 제7 클락 사이클(t7)에서 제4 메모리 모듈(504)에 제4 명령 데이터(CMD4)가 입력될 수 있다. 제8 클락 사이클(t8)에서 제4 메모리 모듈(504)은 제4 출력 데이터(Q4)를 출력할 수 있고, 출력된 제4 출력 데이터(Q4)를 터미널 모듈(505)에 전달할 수 있다.
- [0116] 제9 클락 사이클(t9)에서 터미널 모듈(505)은 제4 래치(530)를 사용하여 전달된 제4 출력 데이터(Q4)를 1 클락 사이클 지연시켜 제4 메모리 모듈(504)에 전달할 수 있다.
- [0117] 제10 내지 제13 클락 사이클(t10, t11, t12, t13)에서 제1 내지 제4 메모리 모듈(501, 502, 503, 504)은 전달된 제4 출력 데이터(Q4)를 4 클락 사이클 지연시켜 FIFO 모듈(540)에 전달할 수 있다.
- [0118] FIFO 모듈(540)에 전달된 제1 내지 제4 출력 데이터(Q1, Q2, Q3, Q4)는 FIFO 모듈(540)을 이용하여 기준 클락과 동기화될 수 있다.
- [0119] 도 14 및 도 15를 참조하여 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명한다. 이하에서는 앞서 설명한 실시예와 차이점을 위주로 설명한다.
- [0120] 도 14 및 도 15는 본 발명의 몇몇 실시예에 따른 디스플레이 구동 장치를 설명하기 위한 도면이다.
- [0121] 도 14를 참조하면, 디스플레이 구동 장치(160)는 로직 영역(101), 제1 영역(102) 및 제2 영역(103)을 포함할 수 있다. 제1 메모리 모듈(501)은 제1 영역(102)에 배치될 수 있고, 메모리 모듈(601)은 제2 영역(103)에 배치될 수 있다. 제1 메모리 모듈(501)과 메모리 모듈(601)은 로직 영역(101)을 경계로 서로 대칭인 모양으로 배치될 수 있다. 예를 들어, 로직 영역(101)으로부터 전송되는 신호는 같은 위치로부터 제1 메모리 모듈(501)과 메모리 모듈(601)에 제공될 수 있고, 제1 메모리 모듈(501)과 메모리 모듈(601)로부터 로직 영역(101)에 제공되는 신호는 같은 로직 영역(101)의 같은 위치에 제공될 수 있다.
- [0122] 몇몇 실시예에서, 제1 메모리 모듈(501)의 메모리(511)와 메모리 모듈(601)의 메모리(611)는 각각 제1 영역(102) 및 제2 영역(103)의 하단부에 인접하여 배치될 수 있다.
- [0123] 도 15를 참조하면, 디스플레이 구동 장치(170)는 로직 영역(101), 제1 영역(102) 및 제2 영역(103)을 포함할 수 있다. 제1 메모리 모듈(501)은 제1 영역(102)에 배치될 수 있고, 메모리 모듈(602)은 제2 영역(103)에 배치될 수 있다. 제1 메모리 모듈(501)과 메모리 모듈(602)은 로직 영역(101)을 경계로 서로 180도 회전된 모양으로 배치될 수 있다.
- [0124] 몇몇 실시예에서, 제1 메모리 모듈(501)의 메모리(511)는 제1 영역(102)의 하단부에 인접하여 배치될 수 있고, 메모리 모듈(602)의 메모리(611)는 제2 영역(103)의 상단부에 인접하여 배치될 수 있다.
- [0125] 도 16 및 도 17은 본 발명의 몇몇 실시예에 따른 디스플레이 장치가 탑재되는 전자 장치를 나타내는 도면이다.
- [0126] 도 16은 디스플레이 장치(100)가 탑재되는 전자 장치(1)를 나타낸다. 도면은 스마트폰의 형상만을 도시하지만, 스마트폰, 태블릿 PC, 랩톱 컴퓨터 등의 모바일 기기 외에, 텔레비전, 데스크톱 컴퓨터 등을 포함할 수 있다.
- [0127] 도 17은 전자 장치(1)에 포함된 디스플레이 장치(10) 및 프로세서(50)를 나타내는 도면이다.
- [0128] 디스플레이 장치(10)는 디스플레이 패널(200), 디스플레이 구동 장치(100) 및 PCB 기판(PCB)(Printed Circuit Board Substrate)을 포함할 수 있다. 디스플레이 패널(200), 디스플레이 구동 장치(100) 및 프로세서(50)는 PCB 기판(PCB)에 의하여 서로 접속될 수 있다.

[0129] 몇몇 실시예에서, 전자 장치(1)가 모바일 장치인 경우, PCB 기판(PCB)은 플렉시블 PCB 기판을 포함할 수 있다. 플렉시블 PCB 기판은 접혀질 수 있고, 디스플레이 구동 장치(100)와 프로세서(50)가 부착될 수 있다. 디스플레이 구동 장치(100)와 프로세서(50)는 플렉시블 PCB 기판이 접혀져 디스플레이 패널(200)의 후면에 위치할 수 있다.

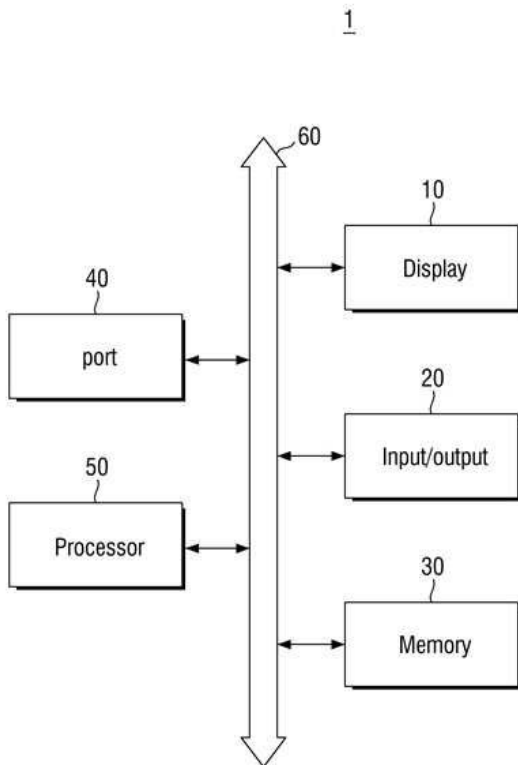
[0130] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

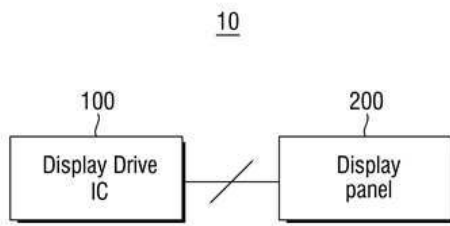
- |        |               |                  |
|--------|---------------|------------------|
| [0131] | 10: 디스플레이 장치  | 100: 디스플레이 구동 장치 |
|        | 200: 디스플레이 패널 | 400: 메모리 모듈      |
|        | 410: 디코더      | 420: 메모리         |
|        | 430: 제1 래치    | 440: 제2 래치       |
|        | 450: 전송부      | 460: 제3 래치       |

**도면**

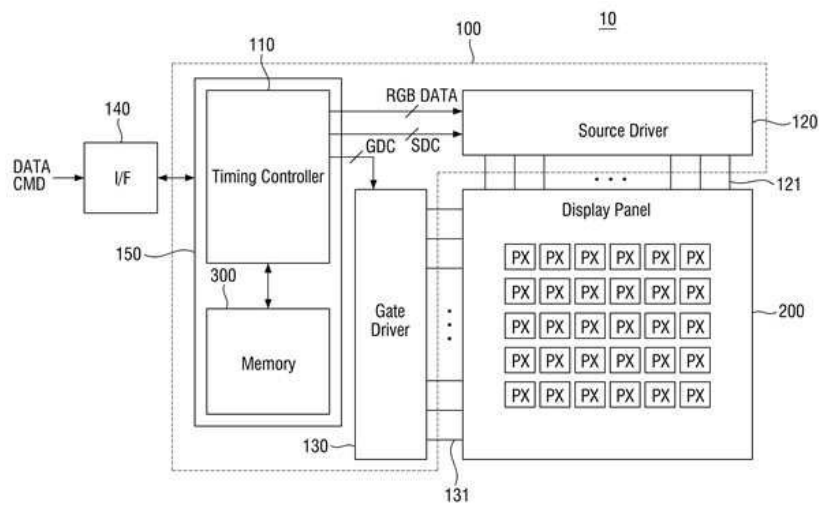
**도면1**



도면2

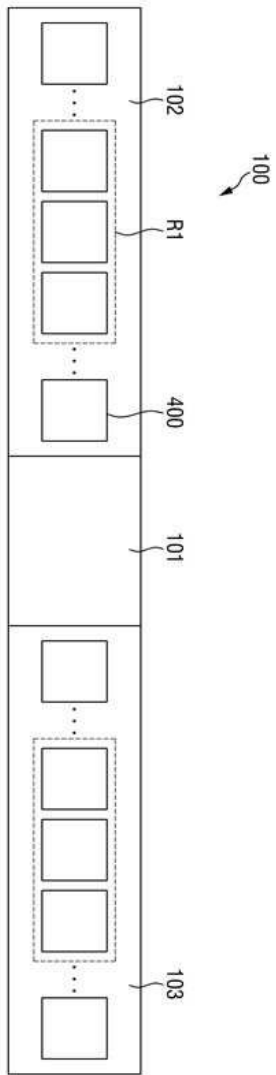


도면3

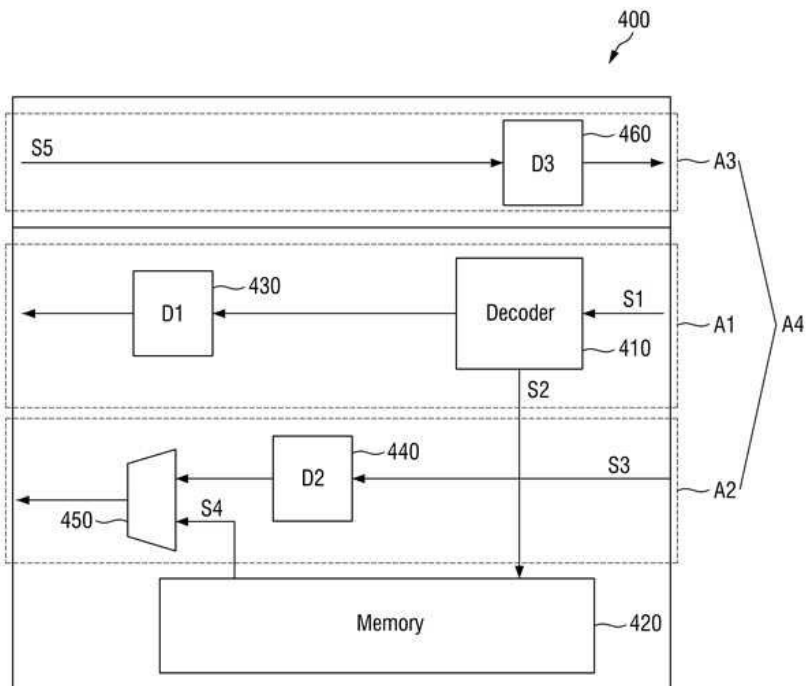




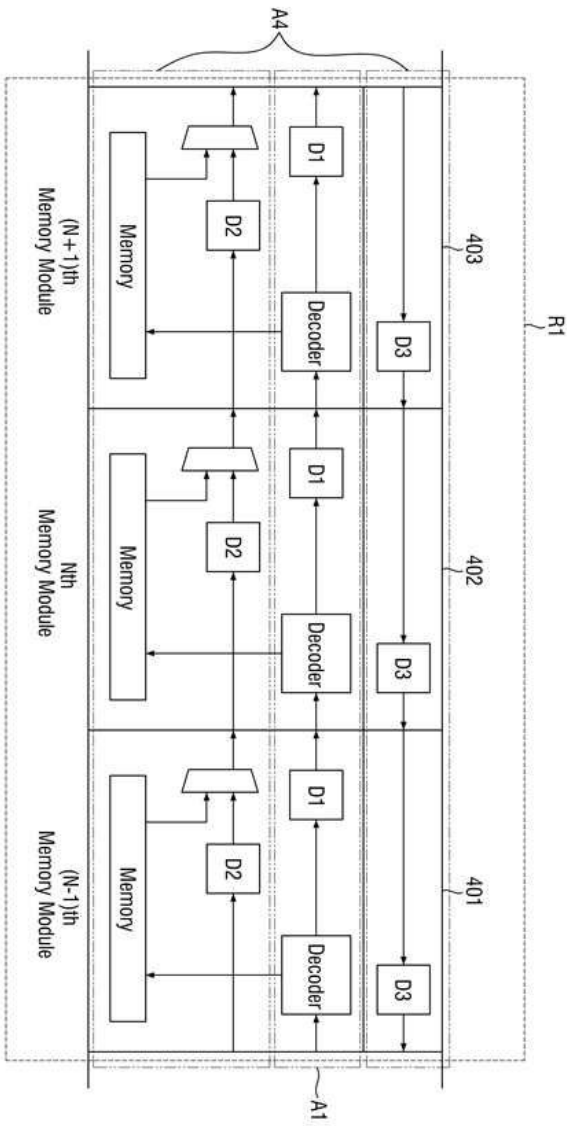
도면4



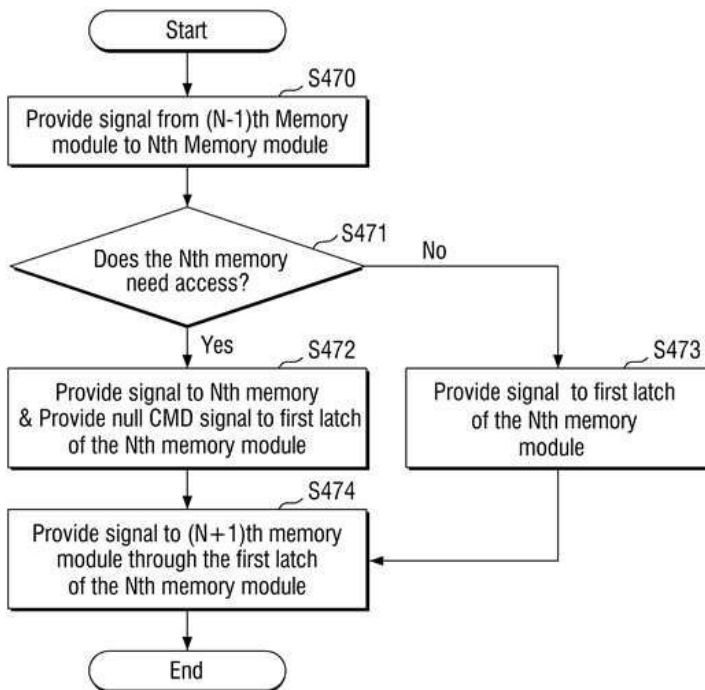
도면5



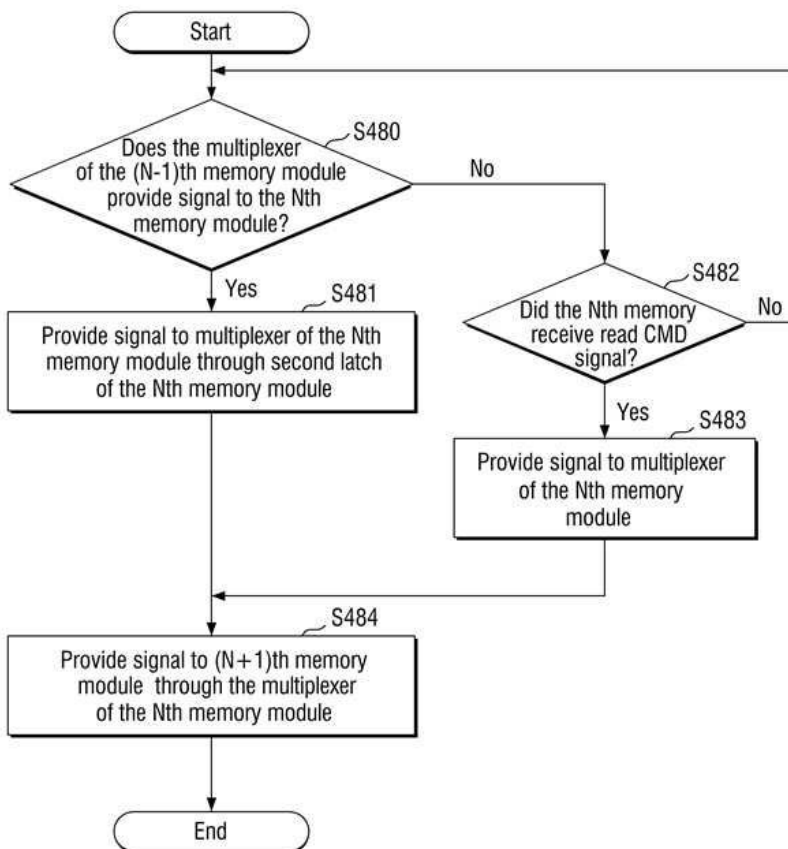
도면6



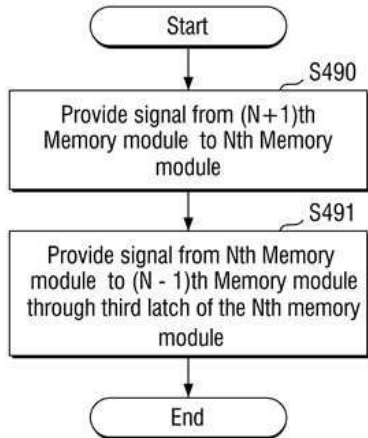
도면7



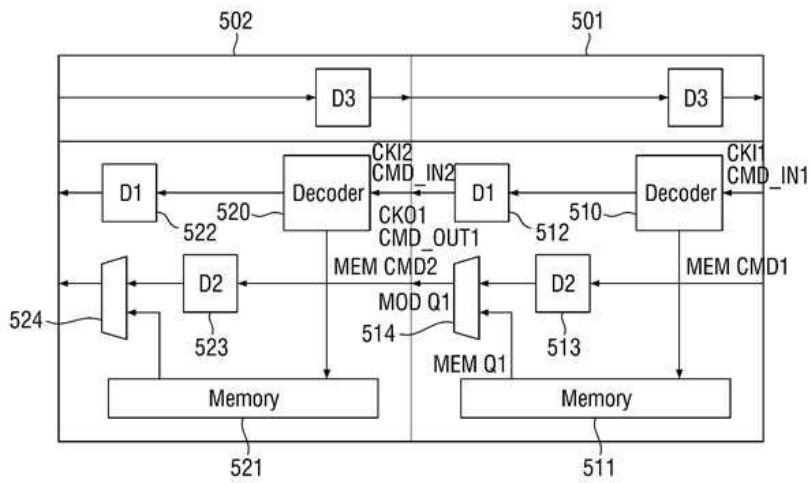
도면8



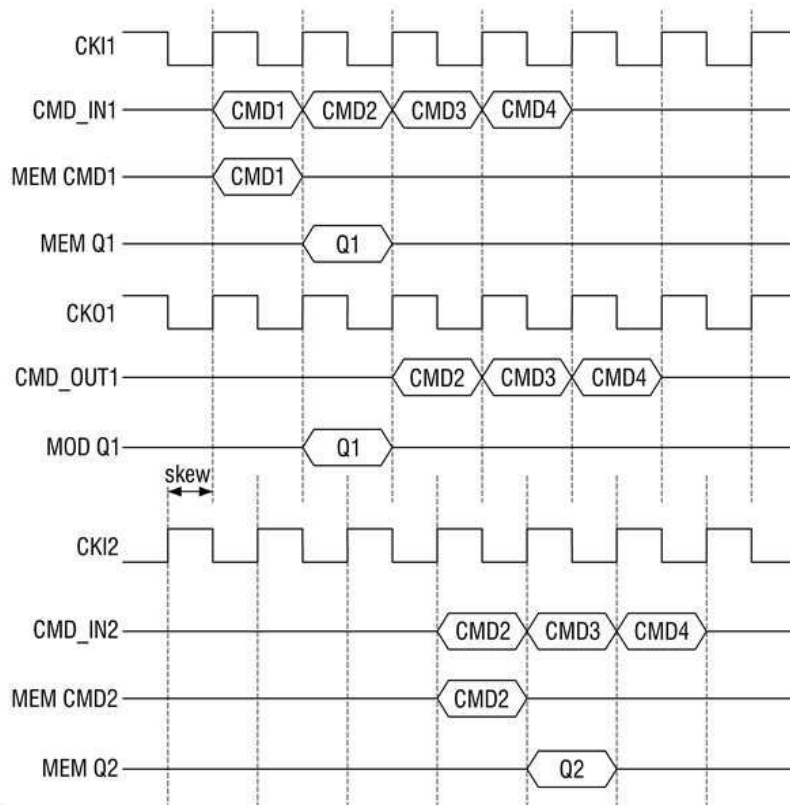
도면9



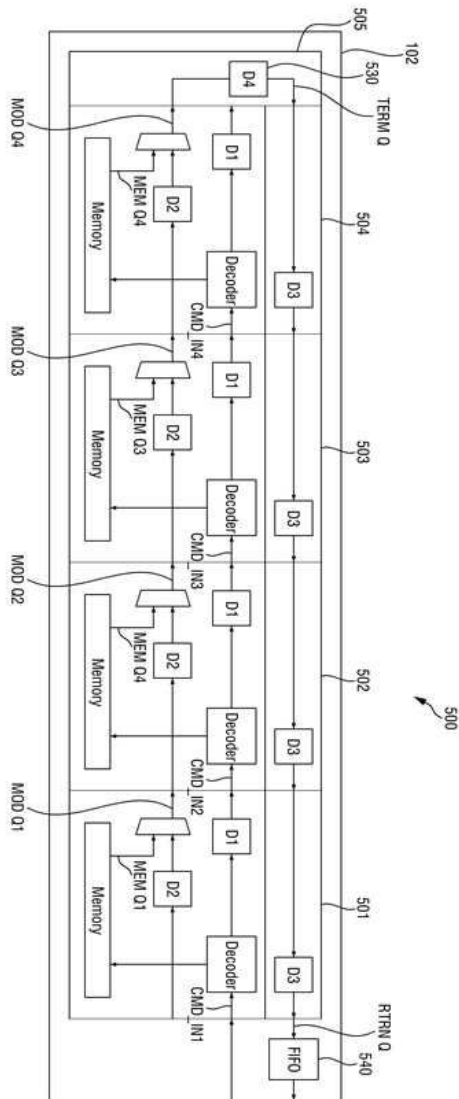
도면10



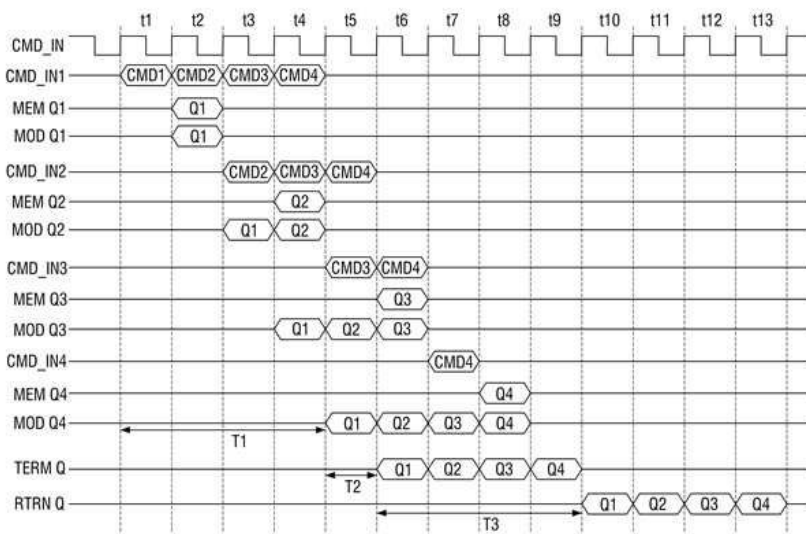
도면11



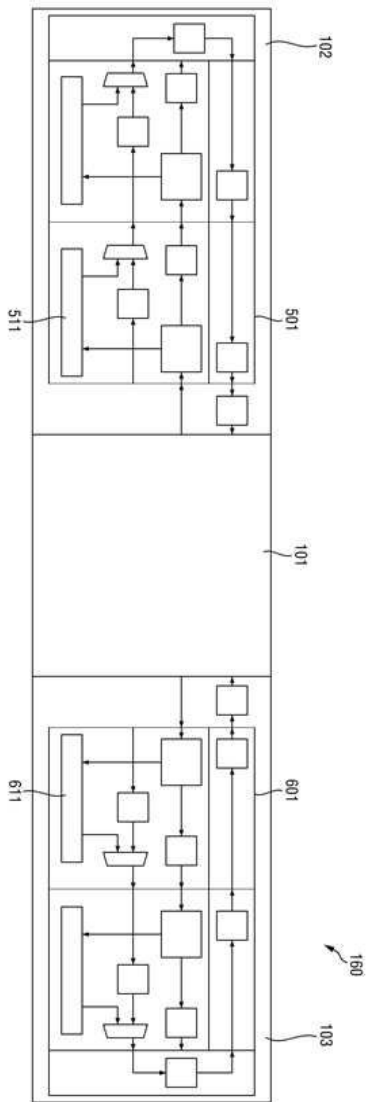
도면12



도면13

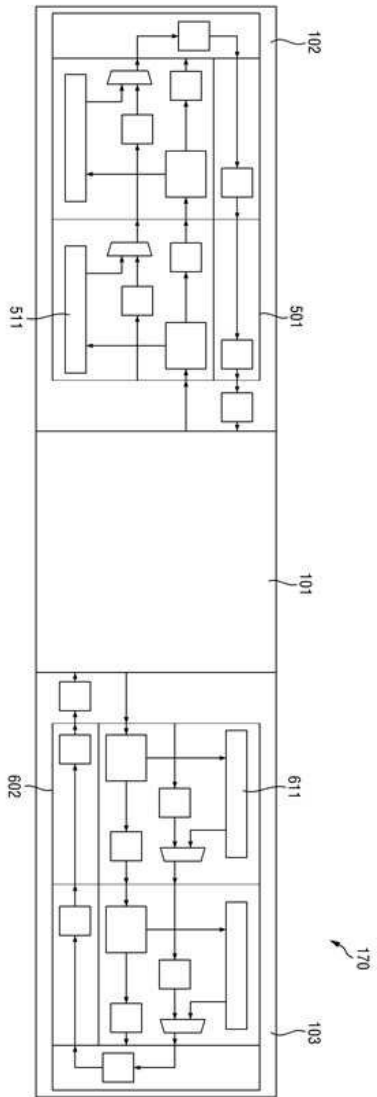


도면14

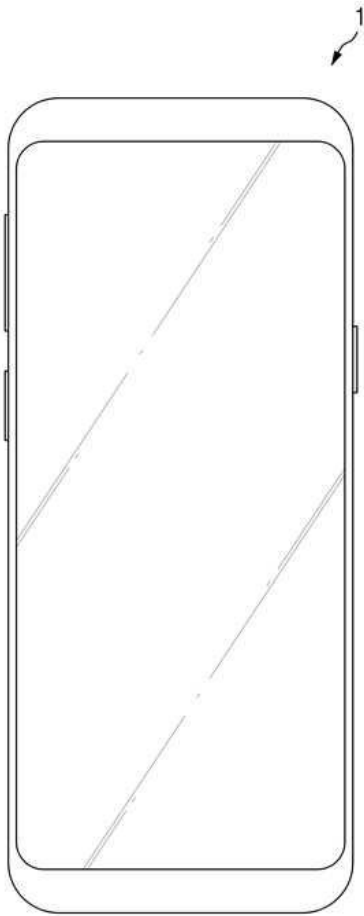




도면15



도면16



도면17

