



## 【特許請求の範囲】

## 【請求項 1】

電気光学装置の第 1 及び第 2 のゲート線を走査するためのゲートドライバであって、  
前記第 1 のゲート線を選択するための選択信号を出力する第 1 のゲート出力回路と、  
前記第 1 のゲート線の選択期間の次の選択期間に、前記第 2 のゲート線を選択するための  
選択信号を出力する第 2 のゲート出力回路と、

前記第 1 及び第 2 のゲート出力回路の出力の間に設けられた第 1 のゲート線短絡回路と  
を含み、

前記第 1 のゲート線短絡回路が、

前記第 1 のゲート線の選択期間と前記第 2 のゲート線の選択期間との間に、前記第 1 及  
び第 2 のゲート出力回路の出力を短絡することを特徴とするゲートドライバ。

10

## 【請求項 2】

請求項 1 において、

前記第 1 及び第 2 のゲート出力回路の各ゲート出力回路が、

ゲート線の非選択電圧が供給される非選択電圧用電源線と当該ゲート出力回路の出力と  
の間に設けられた第 1 のスイッチ回路と、

ゲート線の選択電圧が供給される選択電圧用電源線と当該ゲート出力回路の出力との間  
に設けられた第 2 のスイッチ回路とを含み、

前記第 1 及び第 2 のスイッチ回路が非導通状態となる期間後に、前記第 1 及び第 2 のス  
イッチ回路の 1 つが導通状態に設定されることを特徴とするゲートドライバ。

20

## 【請求項 3】

請求項 1 又は 2 において、

前記第 1 のゲート線短絡回路が、トランジスタであり、

前記第 1 及び第 2 のゲート線の非選択期間に、前記トランジスタが導通状態となるよう  
にゲート制御されることを特徴とするゲートドライバ。

## 【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 1 及び第 2 のゲート出力回路の出力の短絡期間後、前記第 1 のゲート線の電圧が  
低電位側電圧に変化したタイミングで、前記第 1 のゲート線により選択される画素に階調  
信号が書き込まれることを特徴とするゲートドライバ。

30

## 【請求項 5】

複数のゲート線と、

複数のソース線と、

各画素が各ゲート線及び各ソース線により特定される複数の画素と、

前記複数のゲート線のうち少なくとも前記第 1 及び第 2 のゲート線を走査する請求項 1  
乃至 4 のいずれか記載のゲートドライバとを含むことを特徴とする電気光学装置。

## 【請求項 6】

複数のゲート線と、

複数のソース線と、

各画素が、各ゲート線及び各ソース線により特定される複数の画素と、

前記複数のゲート線のうちの第 1 のゲート線と該第 1 のゲート線に次に選択される第 2  
のゲート線との間に設けられた第 1 のゲート線短絡回路とを含み、

40

前記第 1 のゲート線短絡回路が、

前記第 1 のゲート線の選択期間と前記第 2 のゲート線の選択期間との間に、前記第 1 及  
び第 2 のゲート線を短絡することを特徴とする電気光学装置。

## 【請求項 7】

請求項 6 において、

前記第 1 のゲート線短絡回路が、トランジスタであり、

前記第 1 及び第 2 のゲート線の非選択期間に、前記トランジスタが導通状態となるよう  
にゲート制御されることを特徴とする電気光学装置。

50

**【請求項 8】**

請求項 6 又は 7 において、

前記第 1 及び第 2 のゲート出力回路の出力の短絡期間後、前記第 1 のゲート線の電圧が低電位側電圧に変化したタイミングで、前記第 1 のゲート線により選択される画素に階調信号が書き込まれることを特徴とする電気光学装置。

**【請求項 9】**

請求項 5 乃至 8 のいずれかにおいて、更に、

前記第 1 のゲート線を選択するための選択信号を出力する第 1 のゲート出力回路と、前記第 1 のゲート線の選択期間の次の選択期間に、前記第 2 のゲート線を選択するための選択信号を出力する第 2 のゲート出力回路とを含むことを特徴とする電気光学装置。

10

**【請求項 10】**

請求項 5 乃至 9 のいずれかにおいて、更に、

各画素に対応した階調信号を前記複数のソース線に供給するソースドライバを含むことを特徴とする電気光学装置。

**【請求項 11】**

請求項 1 乃至 4 のいずれか記載のゲートドライバを含むことを特徴とする電気光学装置

。

**【請求項 12】**

請求項 1 乃至 4 のいずれか記載のゲートドライバを含むことを特徴とする電子機器。

**【請求項 13】**

請求項 5 乃至 10 のいずれか記載の電気光学装置を含むことを特徴とする電子機器。

20

**【請求項 14】**

電気光学装置の第 1 及び第 2 のゲート線を走査するための駆動方法であって、

前記第 1 のゲート線の選択期間に、該第 1 のゲート線を選択するための選択信号を出力し、

前記第 1 のゲート線の選択期間と前記第 2 のゲート線の選択期間との間に、前記第 1 及び第 2 のゲート線を短絡し、

前記第 1 及び第 2 のゲート線を短絡後に前記第 1 及び第 2 のゲート線を電氣的に遮断した状態で、前記第 2 のゲート線の選択期間に、前記第 2 のゲート線を選択するための選択信号を出力することを特徴とする駆動方法。

30

**【請求項 15】**

請求項 14 において、

前記第 1 及び第 2 のゲート出力回路の出力の短絡期間後、前記第 1 のゲート線の電圧が低電位側電圧に変化したタイミングで、前記第 1 のゲート線により選択される画素に階調信号が書き込むことを特徴とする駆動方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、ゲートドライバ、電気光学装置、電子機器及び駆動方法等に関する。

**【背景技術】**

40

**【0002】**

従来より、携帯電話機等の電子機器に用いられる液晶表示 (Liquid Crystal Display : LCD) パネル (広義には、表示パネル。更に広義には電気光学装置) として、単純マトリクス方式の LCD パネルと、薄膜トランジスタ (Thin Film Transistor : 以下、TFT と略す) 等のスイッチ素子を用いたアクティブマトリクス方式の LCD パネルとが知られている。

**【0003】**

単純マトリクス方式は、アクティブマトリクス方式に比べて低消費電力化が容易である反面、多色化や動画表示が困難である。一方、アクティブマトリクス方式は、多色化や動画表示に適している反面、低消費電力化が困難である。

50

## 【0004】

単純マトリクス方式のLCDパネルやアクティブマトリクス方式のLCDパネルでは、画素を構成する液晶（広義には電気光学物質）への印加電圧が交流となるように駆動される。このような交流駆動の手法として、ライン反転駆動やフィールド反転駆動（フレーム反転駆動）が知られている。ライン反転駆動では、1又は複数走査ライン毎に、液晶の印加電圧の極性が反転するように駆動される。フィールド反転駆動では、フィールド毎（フレーム毎）に液晶の印加電圧の極性が反転するように駆動される。

## 【0005】

その際、画素を構成する画素電極と対向する対向電極（コモン電極）に供給する対向電極電圧（コモン電圧）を、反転駆動タイミングに合わせて変化させることで、画素電極に印加する電圧レベルを低下させることができる。

10

## 【0006】

このような交流駆動を行う場合であっても、液晶の充放電に伴う消費電力の増大を招く。そこで例えば特許文献1には、反転駆動時に、液晶を挟持する2つの電極を短絡することにより液晶に蓄積される電荷を初期化し、電極の短絡前の電圧の中間電圧まで遷移させることで低消費化を図る技術が開示されている。

【特許文献1】特開2002-244622号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0007】

しかしながら、特許文献1に開示されている技術では、消費電力の削減効果がソース線に与える電圧に依存してしまうという問題がある。そのため、極性が反転する対向電極を充放電する電荷量の削減効果が、それほど期待できない。また、特許文献1に開示された技術では、ソース線に与える電圧と対向電極電圧の極性との関係によっては、液晶を挟持する2つの電極を短絡することで、充放電すべき電荷量が却って増加してしまい、低消費電力化の効果が薄れてしまう場合があるという問題がある。

20

## 【0008】

その一方、LCDパネルを駆動する場合、ゲート線を駆動する必要がある。ところが、特許文献1に開示されている技術では、ゲート線の駆動に伴う消費電力を低減することができない。仮に、ゲート線を対向電極と短絡した場合であっても、ソース線と対向電極を短絡する場合と異なり、低消費電力化の効果をj得ることが困難となるばかりか画質を劣化させる。

30

## 【0009】

このように、一定の低消費電力化の効果をj得るためには、ゲート線の駆動に伴う消費電力を低減できることが望ましい。

## 【0010】

本発明の幾つかの態様によれば、ゲート線の駆動に伴う消費電力を低減できるゲートドライバ、電気光学装置、電子機器及び駆動方法を提供できる。

【課題を解決するための手段】

## 【0011】

上記課題を解決するために本発明は、  
電気光学装置の第1及び第2のゲート線を走査するためのゲートドライバであって、  
前記第1のゲート線を選択するための選択信号を出力する第1のゲート出力回路と、  
前記第1のゲート線の選択期間の次の選択期間に、前記第2のゲート線を選択するための選択信号を出力する第2のゲート出力回路と、  
前記第1及び第2のゲート出力回路の出力の間に設けられた第1のゲート線短絡回路とを含み、

40

前記第1のゲート線短絡回路が、

前記第1のゲート線の選択期間と前記第2のゲート線の選択期間との間に、前記第1及び第2のゲート出力回路の出力を短絡するゲートドライバに係する。

50

## 【 0 0 1 2 】

本発明によれば、第1のゲート線の選択信号の立ち下がり、第2のゲート線の立ち上がりにおいて、電荷を再利用して、外部から電荷を充放電することなく、選択信号のレベルを変化させることができる。従って、第1及び第2のゲート線の電圧を変化させる場合に充放電すべき電荷量を削減できるので、ゲート線の駆動に伴う消費電力を低減できる。この結果、電気光学装置を駆動する際に、一定の低消費電力化の効果を必ず得ることができるようになる。

## 【 0 0 1 3 】

また本発明に係るゲートドライバでは、

前記第1及び第2のゲート出力回路の各ゲート出力回路が、

10

ゲート線の非選択電圧が供給される非選択電圧用電源線と当該ゲート出力回路の出力との間に設けられた第1のスイッチ回路と、

ゲート線の選択電圧が供給される選択電圧用電源線と当該ゲート出力回路の出力との間に設けられた第2のスイッチ回路とを含み、

前記第1及び第2のスイッチ回路が非導通状態となる期間後に、前記第1及び第2のスイッチ回路の1つが導通状態に設定されてもよい。

## 【 0 0 1 4 】

また本発明に係るゲートドライバでは、

前記第1のゲート線短絡回路が、トランジスタであり、

20

前記第1及び第2のゲート線の非選択期間に、前記トランジスタが導通状態となるようにゲート制御されてもよい。

## 【 0 0 1 5 】

上記のいずれかの発明によれば、簡素な構成で、ゲート線を駆動する際に電荷を再利用して、低消費電力化を図ることができるようになる。

## 【 0 0 1 6 】

また本発明に係るゲートドライバでは、

前記第1及び第2のゲート出力回路の出力の短絡期間後、前記第1のゲート線の電圧が低電位側電圧に変化したタイミングで、前記第1のゲート線により選択される画素に階調信号が書き込まれてもよい。

30

## 【 0 0 1 7 】

本発明によれば、第1のゲート線により選択される画素に、該第1のゲート線の選択信号の電圧が低電位側電圧に変化したタイミングにおける電圧が書き込まれるので、第1及び第2のゲート線の短絡により画素選択期間が重複しても、画質を劣化させることがなくなる。

## 【 0 0 1 8 】

また本発明は、

複数のゲート線と、

複数のソース線と、

各画素が各ゲート線及び各ソース線により特定される複数の画素と、

40

前記複数のゲート線のうち少なくとも前記第1及び第2のゲート線を走査する上記のいずれか記載のゲートドライバとを含む電気光学装置に係る。

## 【 0 0 1 9 】

また本発明は、

複数のゲート線と、

複数のソース線と、

各画素が、各ゲート線及び各ソース線により特定される複数の画素と、

前記複数のゲート線のうちの第1のゲート線と該第1のゲート線に次に選択される第2のゲート線との間に設けられた第1のゲート線短絡回路とを含み、

前記第1のゲート線短絡回路が、

前記第1のゲート線の選択期間と前記第2のゲート線の選択期間との間に、前記第1及

50

び第2のゲート線を短絡する電気光学装置に係する。

【0020】

また本発明に係る電気光学装置では、

前記第1のゲート線短絡回路が、トランジスタであり、

前記第1及び第2のゲート線の非選択期間に、前記トランジスタが導通状態となるようにゲート制御されてもよい。

【0021】

また本発明に係る電気光学装置では、

前記第1及び第2のゲート出力回路の出力の短絡期間後、前記第1のゲート線の電圧が低電位側電圧に変化したタイミングで、前記第1のゲート線により選択される画素に階調信号が書き込まれてもよい。

10

【0022】

また本発明に係る電気光学装置では、

前記第1のゲート線を選択するための選択信号を出力する第1のゲート出力回路と、

前記第1のゲート線の選択期間の次の選択期間に、前記第2のゲート線を選択するための選択信号を出力する第2のゲート出力回路とを含むことができる。

【0023】

また本発明に係る電気光学装置では、

各画素に対応した階調信号を前記複数のソース線に供給するソースドライバを含むことができる。

20

【0024】

また本発明は、

上記のいずれか記載のゲートドライバを含む電気光学装置に係する。

【0025】

上記のいずれかの発明によれば、第1のゲート線の選択信号の立ち下がり、第2のゲート線の立ち上がりにおいて、電荷を再利用して、外部から電荷を充放電することなく、選択信号のレベルを変化させることができる。従って、第1及び第2のゲート線の電圧を変化させる場合に充放電すべき電荷量を削減できるので、ゲート線の駆動に伴う消費電力を低減できる。この結果、一定の低消費電力化の効果を必ず得ることができる電気光学装置を提供できるようになる。

30

【0026】

また本発明は、

上記のいずれか記載のゲートドライバを含む電子機器に係する。

【0027】

また本発明は、

上記のいずれか記載の電気光学装置を含む電子機器に係する。

【0028】

上記のいずれかの発明によれば、ゲート線を駆動する際に電荷を再利用することで、一定の低消費電力化の効果を必ず得る電気光学装置を提供できるようになる。

40

【0029】

また本発明は、

電気光学装置の第1及び第2のゲート線を走査するための駆動方法であって、

前記第1のゲート線の選択期間に、該第1のゲート線を選択するための選択信号を出力し、

前記第1のゲート線の選択期間と前記第2のゲート線の選択期間との間に、前記第1及び第2のゲート線を短絡し、

前記第1及び第2のゲート線を短絡後に前記第1及び第2のゲート線を電氣的に遮断した状態で、前記第2のゲート線の選択期間に、前記第2のゲート線を選択するための選択信号を出力する駆動方法に係する。

【0030】

50

また本発明に係る駆動方法では、

前記第1及び第2のゲート出力回路の出力の短絡期間後、前記第1のゲート線の電圧が低電位側電圧に変化したタイミングで、前記第1のゲート線により選択される画素に階調信号が書き込むことができる。

【発明を実施するための最良の形態】

【0031】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0032】

#### 1. 液晶装置

図1に、本実施形態の液晶装置のブロック図の例を示す。

【0033】

液晶装置10（液晶表示装置。広義には表示装置）は、表示パネル12（狭義には液晶パネル、LCD（Liquid Crystal Display）パネル）、ソースドライバ20（広義にはデータ線駆動回路）、ゲートドライバ30（広義には走査線駆動回路）、表示コントローラ40、電源回路50を含む。なお、液晶装置10にこれらのすべての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

【0034】

ここで表示パネル12（広義には電気光学装置）は、複数のゲート線（広義には走査線）と、複数のソース線（広義にはデータ線）と、各画素がゲート線及びソース線により特定される複数の画素を含む。この場合、各画素では、ソース線に薄膜トランジスタTFT（Thin Film Transistor、広義にはスイッチング素子）を接続し、このTFTに画素電極を接続することで、アクティブマトリクス型の液晶装置を構成できる。

【0035】

より具体的には、表示パネル12は、アクティブマトリクス基板（例えばガラス基板）上にアモルファスシリコン薄膜が形成されたアモルファスシリコン液晶パネルである。アクティブマトリクス基板には、図1のY方向に複数配列されそれぞれX方向に伸びるゲート線 $G_1 \sim G_M$ （Mは2以上の自然数）と、X方向に複数配列されそれぞれY方向に伸びるソース線 $S_1 \sim S_N$ （Nは2以上の自然数）とが配置されている。また、ゲート線 $G_K$ （ $1 < K < M$ 、Kは自然数）とソース線 $S_L$ （ $1 < L < N$ 、Lは自然数）との交差点に対応する位置に、薄膜トランジスタTFT $_{KL}$ （広義にはスイッチング素子）が設けられている。

【0036】

TFT $_{KL}$ のゲート電極はゲート線 $G_K$ に接続され、TFT $_{KL}$ のソース電極はソース線 $S_L$ に接続され、TFT $_{KL}$ のドレイン電極は画素電極PE $_{KL}$ に接続されている。この画素電極PE $_{KL}$ と、画素電極PE $_{KL}$ と液晶（広義には電気光学物質）を挟んで対向する対向電極CE（共通電極、コモン電極）との間には、液晶容量CL $_{KL}$ （液晶素子）及び補助容量CS $_{KL}$ が形成されている。そして、TFT $_{KL}$ 、画素電極PE $_{KL}$ 等が形成されるアクティブマトリクス基板と対向電極CEが形成される対向基板との間に液晶が封入されるように形成され、画素電極PE $_{KL}$ と対向電極CEとの間の印加電圧に応じて画素の透過率が変化している。

【0037】

なお、対向電極CEに与えられる対向電極電圧VCOMの電圧レベル（高電位側電圧VCOMH、低電位側電圧VCOML）は、電源回路50に含まれる対向電極電圧生成回路より生成される。例えば、対向電極CEは、対向基板上に一面に形成される。

【0038】

ソースドライバ20は、階調データに基づいて表示パネル12のソース線 $S_1 \sim S_N$ を駆動する。一方、ゲートドライバ30は、表示パネル12のゲート線 $G_1 \sim G_M$ を走査（順次駆動）する。

10

20

30

40

50

## 【 0 0 3 9 】

表示コントローラ 4 0 は、図示しない中央演算処理装置 (Central Processing Unit : CPU) 等のホストにより設定された内容に従って、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 を制御する。より具体的には、表示コントローラ 4 0 は、ソースドライバ 2 0 及びゲートドライバ 3 0 に対しては、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路 5 0 に対しては、対向電極 CE に印加する対向電極電圧 VCOM の電圧レベルの極性反転タイミングの制御を行う。

## 【 0 0 4 0 】

電源回路 5 0 は、外部から供給される基準電圧に基づいて、表示パネル 1 2 の駆動に必要な各種の電圧レベル (階調電圧) や、対向電極 CE の対向電極電圧 VCOM の電圧レベルを生成する。

10

## 【 0 0 4 1 】

このような構成の液晶装置 1 0 は、表示コントローラ 4 0 の制御の下、外部から供給される階調データに基づいて、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 が協調して表示パネル 1 2 を駆動する。

## 【 0 0 4 2 】

なお、図 1 において、ソースドライバ 2 0、ゲートドライバ 3 0 及び電源回路 5 0 を集積化して、半導体装置 (集積回路、IC) として表示ドライバ 6 0 を構成してもよい。

## 【 0 0 4 3 】

また図 1 において、表示ドライバ 6 0 が、表示コントローラ 4 0 を内蔵してもよい。或いは図 1 において、表示ドライバ 6 0 が、ソースドライバ 2 0 及びゲートドライバ 3 0 のいずれか一方と、電源回路 5 0 とを集積化した半導体装置であってもよい。

20

## 【 0 0 4 4 】

## 1. 1 ゲートドライバ

図 2 に、図 1 のゲートドライバ 3 0 の構成例を示す。

## 【 0 0 4 5 】

ゲートドライバ 3 0 は、シフトレジスタ 3 2、レベルシフタ 3 4、出力バッファ 3 6 を含む。

## 【 0 0 4 6 】

シフトレジスタ 3 2 は、各ゲート線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ 3 2 は、クロック信号 CLK に同期してイネーブル入出力信号 EIO をフリップフロップに保持すると、順次クロック信号 CLK に同期して隣接するフリップフロップにイネーブル入出力信号 EIO をシフトする。ここで入力されるイネーブル入出力信号 EIO は、表示コントローラ 4 0 から供給される垂直同期信号である。

30

## 【 0 0 4 7 】

レベルシフタ 3 4 は、シフトレジスタ 3 2 からの電圧レベルを、表示パネル 1 2 の液晶素子と TFT のトランジスタ能力とに応じた電圧レベルにシフトする。この電圧レベルとしては、高い電圧レベルが必要とされるため、他のロジック回路部とは異なる高耐圧プロセスが用いられる。

40

## 【 0 0 4 8 】

出力バッファ 3 6 は、レベルシフタ 3 4 によってシフトされた走査電圧 (選択信号) をバッファリングしてゲート線に出力し、ゲート線を駆動する。走査電圧は、非選択電圧と選択電圧のうちのいずれかである。

## 【 0 0 4 9 】

本実施形態におけるゲートドライバ 3 0 の出力バッファ 3 6 は、少なくとも第 1 及び第 2 のゲート線としてのゲート線  $G_1$ 、 $G_2$  を駆動する際に電荷の再利用を行うことで、ゲート線の駆動に伴う電力消費を低減させることができる。

## 【 0 0 5 0 】

なお、本実施形態では、シフトレジスタ 3 2 により、イネーブル入出力信号 EIO をシ

50

フトさせることでゲート線を走査するようにしていたが、これに限定されるものではなく、例えばゲートドライバ30がアドレスデコーダを備え、該アドレスデコーダのデコード結果に基づいてゲート線を選択させるようにしてもよい。

【0051】

1.2 ソースドライバ

図3に、図1のソースドライバ20の構成例のブロック図を示す。

【0052】

ソースドライバ20は、シフトレジスタ22、ラインラッチ24、26、基準電圧発生回路27、DAC28(Digital-to-Analog Converter)(広義にはデータ電圧生成回路)、ソース線駆動回路29を含む。

10

【0053】

シフトレジスタ22は、各ソース線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ22は、クロック信号CLKに同期してイネーブル入出力信号EIOを保持すると、順次クロック信号CLKに同期して隣接するフリップフロップにイネーブル入出力信号EIOをシフトする。

【0054】

ラインラッチ24には、表示コントローラ40から例えば18ビット(6ビット(階調データ) $\times$ 3(RGB各色))単位で階調データ(DIO)が入力される。ラインラッチ24は、この階調データ(DIO)を、シフトレジスタ22の各フリップフロップで順次シフトされたイネーブル入出力信号EIOに同期してラッチする。

20

【0055】

ラインラッチ26は、表示コントローラ40から供給される水平同期信号LPに同期して、ラインラッチ24でラッチされた1水平走査単位の階調データをラッチする。

【0056】

基準電圧発生回路27は、64( $=2^6$ )種類の基準電圧を生成する。基準電圧発生回路27によって生成された64種類の基準電圧は、DAC28に供給される。

【0057】

DAC(データ電圧生成回路)28は、各ソース線に供給すべきアナログのデータ電圧を生成する。具体的にはDAC28は、ラインラッチ26からのデジタルの階調データに基づいて、基準電圧発生回路27からの基準電圧のいずれかを選択し、デジタルの階調データに対応するアナログのデータ電圧を出力する。

30

【0058】

ソース線駆動回路29は、DAC28からのデータ電圧をバッファリングしてソース線に出力し、ソース線を駆動する。具体的には、ソース線駆動回路29は、各ソース線毎に設けられたボルテージフォロワ接続の演算増幅器OPC(広義にはインピーダンス変換回路)を含み、これらの各演算増幅器OPCが、DAC28からのデータ電圧をインピーダンス変換して、各ソース線に出力する。

【0059】

なお、図3では、デジタルの階調データをデジタル・アナログ変換して、ソース線駆動回路29を介してソース線に出力する構成を採用しているが、アナログの映像信号をサンプル・ホールドして、ソース線駆動回路29を介してソース線に出力する構成を採用することもできる。

40

【0060】

図4に、図3の基準電圧発生回路27、DAC28及びソース線駆動回路29の構成例を示す。図4において、階調データが6ビットのデータD0~D5であり、各ビットのデータの反転データをXD0~XD5と示している。また図4において、図3と同一部分には同一符号を付し、適宜説明を省略する。

【0061】

基準電圧発生回路27は、両端の電圧VDDH、VSSHを抵抗分割して64種類の基準電圧を生成する。各基準電圧は、6ビットの階調データにより表される各階調値に対応

50

している。各基準電圧は、ソース線  $S_1 \sim S_N$  の各ソース線に共通に供給される。

【0062】

DAC28は、ソース線毎に設けられたデコーダを含み、各デコーダは、階調データに対応した基準電圧を演算増幅器OPCに出力する。

【0063】

### 1.3 電源回路

図5に、図1の電源回路50の構成例を示す。

【0064】

電源回路50は、正方向2倍昇圧回路52、走査電圧生成回路54、対向電極電圧生成回路56を含む。この電源回路50には、システム接地電源電圧VSS及びシステム電源電圧VDDが供給される。

10

【0065】

正方向2倍昇圧回路52には、システム接地電源電圧VSS及びシステム電源電圧VDDが供給される。そして正方向2倍昇圧回路52は、システム接地電源電圧VSSを基準に、システム電源電圧VDDを正方向に2倍に昇圧した電源電圧VOUTを生成する。即ち正方向2倍昇圧回路52は、システム接地電源電圧VSSとシステム電源電圧VDDとの間の電圧差を2倍に昇圧する。このような正方向2倍昇圧回路52は、公知のチャージポンプ回路により構成できる。電源電圧VOUTは、ソースドライバ20、走査電圧生成回路54や対向電極電圧生成回路56に供給される。なお正方向2倍昇圧回路52は、2倍以上の昇圧倍率で昇圧後にレギュレータで電圧レベルを調整して、システム電源電圧VDDを正方向に2倍に昇圧した電源電圧VOUTを出力することが望ましい。

20

【0066】

走査電圧生成回路54には、システム接地電源電圧VSS及び電源電圧VOUTが供給される。そして走査電圧生成回路54は、走査電圧を生成する。走査電圧は、ゲートドライバ30によって駆動されるゲート線に印加される電圧である。この走査電圧の高電位側電圧はVDDHGであり、低電位側電圧はVEEである。

【0067】

対向電極電圧生成回路56は、対向電極電圧VCOMを生成する。対向電極電圧生成回路56は、極性反転信号POLに基づいて、高電位側電圧VCOMH又は低電位側電圧VCOMLを、対向電極電圧VCOMとして出力する。極性反転信号POLは、極性反転タイミングに合わせて表示コントローラ40によって生成される。

30

【0068】

### 2. 駆動波形

図6に、図1の表示パネル12の駆動波形の一例を示す。

【0069】

ソース線には、階調データの階調値に応じた階調電圧DLVが印加される。図6では、システム接地電源電圧VSS(=0V)を基準に、5Vの振幅の階調電圧DLVが印加されている。

【0070】

ゲート線には、非選択時において非選択電圧として低電位側電圧VEE(=-10V)、選択時において選択電圧として高電位側電圧VDDHG(=15V)の走査電圧GLVが印加される。

40

【0071】

対向電極CEには、高電位側電圧VCOMH(=3V)、低電位側電圧VCOML(=-2V)の対向電極電圧VCOMが印加される。そして所与の電圧を基準とした対向電極電圧VCOMの電圧レベルの極性が、極性反転タイミングに合わせて反転している。図6では、いわゆる走査ライン反転駆動時の対向電極電圧VCOMの波形を示している。この極性反転タイミングに合わせて、ソース線の階調電圧DLVもまた、所与の電圧を基準に、その極性が反転している。

【0072】

50

ところで液晶素子は、直流電圧を長時間印加すると劣化するという性質がある。このため、液晶素子に印加する電圧の極性を所定期間毎に反転させる駆動方式が必要になる。このような駆動方式としては、フレーム反転駆動、走査（ゲート）ライン反転駆動、データ（ソース）ライン反転駆動、ドット反転駆動等がある。

【0073】

このうち、フレーム反転駆動は、消費電力は低い、画質がそれほど良くないという不利点がある。また、データライン反転駆動、ドット反転駆動は、画質は良いが、表示パネルの駆動に高い電圧が必要になるという不利点がある。

【0074】

本実施形態では、例えば走査ライン反転駆動が採用される。この走査ライン反転駆動では、液晶素子に印加される電圧が走査期間毎（走査線毎）に極性反転される。例えば、第1の走査期間（走査線）では正極性の電圧が液晶素子に印加され、第2の走査期間では負極性の電圧が印加され、第3の走査期間では正極性の電圧が印加される。一方、次のフレームにおいては、今度は、第1の走査期間では負極性の電圧が液晶素子に印加され、第2の走査期間では正極性の電圧が印加され、第3の走査期間では負極性の電圧が印加されるようになる。

10

【0075】

そして、この走査ライン反転駆動では、対向電極CEの対向電極電圧VCOMの電圧レベルが走査期間毎に極性反転される。

【0076】

20

より具体的には図7に示すように、正極の期間T1（第1の期間）では対向電極電圧VCOMの電圧レベルは低電位側電圧VCOMLになり、負極の期間T2（第2の期間）では高電位側電圧VCOMHになる。そして、このタイミングに合わせてソース線に印加される階調電圧も、その極性が反転する。なお、低電位側電圧VCOMLは、所与の電圧レベルを基準として高電位側電圧VCOMHの極性を反転した電圧レベルである。

【0077】

ここで、正極の期間T1は、ソース線の階調電圧が供給された画素電極の電圧レベルが対向電極CEの電圧レベルよりも高くなる期間である。この期間T1では液晶素子に正極性の電圧が印加されることになる。一方、負極の期間T2は、ソース線の階調電圧が供給された画素電極の電圧レベルが対向電極CEの電圧レベルよりも低くなる期間である。この期間T2では液晶素子に負極性の電圧が印加されることになる。

30

【0078】

このように対向電極電圧VCOMを極性反転することで、表示パネルの駆動に必要な電圧を低くすることができる。これにより、駆動回路の耐圧を低くでき、駆動回路の製造プロセスの簡素化、低コスト化を図ることができる。

【0079】

### 3. 本実施形態の説明

本実施形態では、ゲートドライバ30が電荷の再利用を行うことで、ゲート線の駆動に伴う消費電力を低減できる。以下、このようなゲートドライバ30の構成の要部について説明する。

40

【0080】

図8に、本実施形態におけるゲートドライバ30の構成要部の一例を示す。図8は、図2の出力バッファ36の構成例の回路図を示す。

【0081】

出力バッファ36は、ゲート線毎に設けられたゲート出力回路を有する。

【0082】

ゲート線G<sub>1</sub>に走査電圧を出力するゲート出力回路GO<sub>1</sub>（第1のゲート出力回路）は、第1のスイッチ回路としてのn型（第2導電型）の金属酸化膜半導体（Metal Oxide Semiconductor：MOS）トランジスタSW<sub>1n</sub>と、第2のスイッチ回路としてのp型（第1導電型）のMOSトランジスタSW<sub>1p</sub>とを含む。トランジスタSW<sub>1n</sub>のソースには

50

、ゲート線の非選択電圧である電圧  $V_{EE}$  が供給される非選択電圧用電源線が接続される。トランジスタ  $SW_{1n}$  のドレインには、ゲート出力回路  $GO_1$  の出力ノードに接続される。トランジスタ  $SW_{1n}$  のゲートには、制御信号  $G_1CNT$  が供給される。トランジスタ  $SW_{1p}$  のソースには、ゲート線の選択電圧である電圧  $V_{DDHG}$  が供給される選択電圧用電源線が接続される。トランジスタ  $SW_{1p}$  のドレインには、ゲート出力回路  $GO_1$  の出力ノードに接続される。トランジスタ  $SW_{1p}$  のゲートには、制御信号  $XG_1CNT$  が供給される。制御信号  $G_1CNT$ 、 $XG_1CNT$  は、トランジスタ  $SW_{1n}$ 、 $SW_{1p}$  が同時にオンとならないように生成される。制御信号  $G_1CNT$ 、 $XG_1CNT$  は、レベルシフタ 34 から出力バッファ 36 に供給されたり、出力バッファ 36 内で生成されたりする。

10

#### 【0083】

同様に、ゲート線  $G_2$  に走査電圧を出力するゲート出力回路  $GO_2$  (第2のゲート出力回路) は、第1のスイッチ回路としての  $n$  型の  $MOS$  トランジスタ  $SW_{2n}$  と、第2のスイッチ回路としての  $p$  型の  $MOS$  トランジスタ  $SW_{2p}$  とを含む。トランジスタ  $SW_{2n}$  のソースには、ゲート線の非選択電圧である電圧  $V_{EE}$  が供給される非選択電圧用電源線が接続される。トランジスタ  $SW_{2n}$  のドレインには、ゲート出力回路  $GO_2$  の出力ノードに接続される。トランジスタ  $SW_{2n}$  のゲートには、制御信号  $G_2CNT$  が供給される。トランジスタ  $SW_{2p}$  のソースには、ゲート線の選択電圧である電圧  $V_{DDHG}$  が供給される選択電圧用電源線が接続される。トランジスタ  $SW_{2p}$  のドレインには、ゲート出力回路  $GO_2$  の出力ノードに接続される。トランジスタ  $SW_{2p}$  のゲートには、制御信号  $XG_2CNT$  が供給される。制御信号  $G_2CNT$ 、 $XG_2CNT$  は、トランジスタ  $SW_{2n}$ 、 $SW_{2p}$  が同時にオンとならないように生成される。制御信号  $G_2CNT$ 、 $XG_2CNT$  は、レベルシフタ 34 から出力バッファ 36 に供給されたり、出力バッファ 36 内で生成されたりする。

20

#### 【0084】

ゲート出力回路  $GO_3 \sim GO_M$  も、ゲート出力回路  $GO_1$  と同様の構成を有している。

#### 【0085】

このような出力バッファ 36 は、更に、第1～第  $(M-1)$  のゲート線短絡回路としての  $n$  型の  $MOS$  トランジスタ  $Q_1 \sim Q_{M-1}$  を含む。第1のゲート線短絡回路としてのトランジスタ  $Q_1$  は、ゲート出力回路  $GO_1$  の出力とゲート出力回路  $GO_2$  の出力(出力ノード)との間に設けられる。即ち、トランジスタ  $Q_1$  のソース(ドレイン)はゲート出力回路  $GO_1$  の出力に接続され、トランジスタ  $Q_1$  のドレイン(ソース)はゲート出力回路  $GO_2$  の出力に接続される。トランジスタ  $Q_1$  のゲートには、制御信号  $SWC_1$  が供給される。同様に、第2のゲート線短絡回路としてのトランジスタ  $Q_2$  は、ゲート出力回路  $GO_2$  の出力とゲート出力回路  $GO_3$  の出力との間に設けられる。即ち、トランジスタ  $Q_2$  のソース(ドレイン)はゲート出力回路  $GO_2$  の出力に接続され、トランジスタ  $Q_2$  のドレイン(ソース)はゲート出力回路  $GO_3$  の出力に接続される。トランジスタ  $Q_2$  のゲートには、制御信号  $SWC_2$  が供給される。以下、同様に、例えば第  $(M-1)$  のゲート線短絡回路としてのトランジスタ  $Q_{M-1}$  は、ゲート出力回路  $GO_{M-1}$  の出力とゲート出力回路  $GO_M$  の出力との間に設けられる。

30

40

#### 【0086】

そして、第1のゲート線短絡回路としてのトランジスタ  $Q_1$  は、ゲート線  $G_1$  (第1のゲート線)の選択期間とゲート線  $G_2$  (第2のゲート線)の選択期間との間に、ゲート出力回路  $GO_1$ 、 $GO_2$  の出力を短絡する。同様に、第2のゲート線短絡回路としてのトランジスタ  $Q_2$  は、ゲート線  $G_2$  の選択期間とゲート線  $G_3$  の選択期間との間に、ゲート出力回路  $GO_2$ 、 $GO_3$  の出力を短絡する。即ち、トランジスタ  $Q_j$  ( $1 \leq j \leq M-1$ 、 $j$  は整数)は、ゲート線  $G_j$  の選択期間とゲート線  $G_{j+1}$  の選択期間との間に、ゲート出力回路  $GO_j$ 、 $GO_{j+1}$  の出力を短絡する。

#### 【0087】

図9に、図8の出力バッファ 36 の制御信号の一例のタイミング図を示す。

50

## 【 0 0 8 8 】

ゲート出力回路  $G O_1$  に着目すると、制御信号  $G_1 C N T$  が H レベルのとき、非選択電圧である電圧  $V E E$  がゲート線  $G_1$  に出力される。その後、制御信号  $G_1 C N T$  が L レベルとなると、所定のオフ - オフ期間経過後に、制御信号  $X G_1 C N T$  が H レベルから L レベルに変化する。制御信号  $X G_1 C N T$  が L レベルになると、選択電圧である電圧  $V D D H G$  がゲート線  $G_1$  に出力される。そして、制御信号  $X G_1 C N T$  が H レベルに変化した後、所定のオフ - オフ期間経過後に、制御信号  $G_1 C N T$  が L レベルから H レベルに変化する。これにより、非選択電圧である電圧  $V E E$  がゲート線  $G_1$  に出力される。このオフ - オフ期間に、制御信号  $S W C_1$  がパルスを有する。制御信号  $S W C_1$  は、制御信号  $G_1 C N T$ 、 $X G_1 C N T$  に基づいて、例えば出力バッファ 3 6 (ゲート出力回路  $G O_1$ ) において生成される。

10

## 【 0 0 8 9 】

次に、ゲート出力回路  $G O_2$  に着目すると、ゲート線  $G_1$ 、 $G_2$  のオフ - オフ期間の開始直前に、制御信号  $G_2 C N T$  が H レベルから L レベルに変化する。そして、上記のオフ - オフ期間の経過後に、制御信号  $X G_2 C N T$  が H レベルから L レベルに変化する。制御信号  $X G_2 C N T$  が L レベルになると、選択電圧である電圧  $V D D H G$  がゲート線  $G_2$  に出力される。実際には、制御信号  $S W C_1$  によりゲート線  $G_1$ 、 $G_2$  の間で電荷の再利用が行われるため、ゲート線  $G_2$  の選択期間の直前には、ゲート線  $G_2$  の電圧が、電圧  $V E E$  よりも高電位側の電圧になっている。即ち、第 1 のゲート線短絡回路としてのトランジスタ  $Q_1$  が、第 1 及び第 2 のゲート線としてのゲート線  $G_1$ 、 $G_2$  の非選択期間に、トランジスタ  $Q_1$  が導通状態となるようにゲート制御される。そして、ゲート線  $G_1$ 、 $G_2$  を短絡後にゲート線  $G_1$ 、 $G_2$  を電氣的に遮断した状態で、ゲート線  $G_2$  の選択期間に、ゲート線  $G_2$  を選択するための選択信号を出力する。こうすることで、ゲート線  $G_2$  に外部から充放電される電荷量を削減できる。そして、制御信号  $X G_2 C N T$  が H レベルに変化した後、所定のオフ - オフ期間経過後に、制御信号  $G_2 C N T$  が L レベルから H レベルに変化する。これにより、非選択電圧である電圧  $V E E$  がゲート線  $G_2$  に出力される。このオフ - オフ期間に、制御信号  $S W C_2$  がパルスを有する。制御信号  $S W C_2$  は、制御信号  $G_2 C N T$ 、 $X G_2 C N T$  に基づいて、例えば出力バッファ 3 6 (ゲート出力回路  $G O_2$ ) において生成される。

20

## 【 0 0 9 0 】

同様に、ゲート出力回路  $G O_3$  に着目すると、ゲート線  $G_2$ 、 $G_3$  のオフ - オフ期間の開始直前に、制御信号  $G_3 C N T$  が H レベルから L レベルに変化する。そして、上記のオフ - オフ期間の経過後に、制御信号  $X G_3 C N T$  が H レベルから L レベルに変化する。制御信号  $X G_3 C N T$  が L レベルになると、選択電圧である電圧  $V D D H G$  がゲート線  $G_3$  に出力される。実際には、制御信号  $S W C_2$  によりゲート線  $G_2$ 、 $G_3$  の間で電荷の再利用が行われるため、ゲート線  $G_3$  の選択期間の直前には、ゲート線  $G_3$  の電圧が、電圧  $V E E$  よりも高電位側の電圧になっている。即ち、第 2 のゲート線短絡回路としてのトランジスタ  $Q_2$  が、第 2 及び第 3 のゲート線としてのゲート線  $G_2$ 、 $G_3$  の非選択期間に、トランジスタ  $Q_2$  が導通状態となるようにゲート制御される。そして、ゲート線  $G_2$ 、 $G_3$  を短絡後にゲート線  $G_2$ 、 $G_3$  を電氣的に遮断した状態で、ゲート線  $G_3$  の選択期間に、ゲート線  $G_3$  を選択するための選択信号を出力する。こうすることで、ゲート線  $G_3$  に外部から充放電される電荷量を削減できる。そして、制御信号  $X G_3 C N T$  が H レベルに変化した後、所定のオフ - オフ期間経過後に、制御信号  $G_3 C N T$  が L レベルから H レベルに変化する。これにより、非選択電圧である電圧  $V E E$  がゲート線  $G_3$  に出力される。このオフ - オフ期間に、制御信号  $S W C_3$  がパルスを有する。制御信号  $S W C_3$  は、制御信号  $G_3 C N T$ 、 $X G_3 C N T$  に基づいて、例えば出力バッファ 3 6 (ゲート出力回路  $G O_3$ ) において生成される。

30

40

## 【 0 0 9 1 】

ゲート出力回路  $G O_4 \sim G O_M$  もまた、同様である。

## 【 0 0 9 2 】

50

図10に、本実施形態におけるゲートドライバ30の駆動波形の一例を示す。

【0093】

制御信号 $SWC_1 \sim SWC_{M-1}$ がHレベルとなる電荷再利用期間では、制御信号 $SWC_1 \sim SWC_{M-1}$ の各制御信号により導通状態となるゲート線短絡回路としてのトランジスタ $Q_1 \sim Q_{M-1}$ により、2つのゲート線が同電位に設定される。

【0094】

即ち、ゲート線 $G_1$ の選択信号がHレベルとなった後、制御信号 $SWC_1$ がHレベルとなり、ゲート線 $G_1$ 、 $G_2$ が短絡される。その結果、ゲート線 $G_1$ とゲート線 $G_2$ とが同電位となる。その後、制御信号 $SWC_1$ がLレベルとなり、ゲート線 $G_2$ にHレベルの選択信号が出力される。これにより、電荷再利用期間において、ゲート線 $G_1$ は、電圧 $VDDHG$ の電位からゲート線 $G_1$ 、 $G_2$ の短絡後の電位までの電圧 $V_{G1}$ だけ、外部から電荷を充放電することなく、電圧を変化させることができる。また、この電荷再利用期間において、ゲート線 $G_2$ は、電圧 $V_{EE}$ の電位からゲート線 $G_1$ 、 $G_2$ の短絡後の電位までの電圧 $V_{G2}$ だけ、外部から電荷を充放電することなく、電圧を変化させることができる。従って、ゲート線 $G_1$ 、 $G_2$ の電圧を変化させる場合に充放電すべき電荷量を削減できるので、消費電力を削減できる。

【0095】

ここで、ゲート線 $G_1$ が電圧 $V_{EE}$ から電圧 $VDDHG$ に変化したタイミングから、ゲート線 $G_1$ が電圧 $V_{EE}$ に戻るタイミングまでの期間が、ゲート線 $G_1$ による画素選択期間となる。ゲート線 $G_1$ が電圧 $V_{EE}$ に戻るタイミングは、ゲート線 $G_1$ 、 $G_2$ の短絡期間が終了した後、所与のオフ-オフ期間が経過した後のタイミングである。画素が有するTFTは、ゲート線の電圧により導通状態に設定されるので、ゲート線 $G_1$ 、 $G_2$ の短絡期間後にゲート線 $G_1$ が電圧 $V_{EE}$ （低電位側電圧）に変化したタイミングにおけるソース線の電圧が、ゲート線 $G_1$ により選択される画素の画素電極に書き込まれる。即ち、ゲート線 $G_1$ により選択される画素の画素電極に階調電圧を書き込むために、ソースドライバ20は、少なくともゲート線 $G_1$ 、 $G_2$ の短絡期間の終了後、所与のオフ-オフ期間の経過後まで、階調データ $GD1$ に対応した階調電圧を保持しておく必要がある。こうすることで、ゲート線 $G_1$ 、 $G_2$ の短絡により画素選択期間が重複しても、画質を劣化させることがなくなる。

【0096】

同様に、ゲート線 $G_2$ の選択信号がHレベルとなった後、制御信号 $SWC_2$ がHレベルとなり、ゲート線 $G_2$ 、 $G_3$ が短絡される。その結果、ゲート線 $G_2$ とゲート線 $G_3$ とが同電位となる。その後、制御信号 $SWC_2$ がLレベルとなり、ゲート線 $G_3$ にHレベルの選択信号が出力される。これにより、電荷再利用期間において、ゲート線 $G_2$ は、電圧 $VDDHG$ の電位からゲート線 $G_2$ 、 $G_3$ の短絡後の電位までの電圧 $V_{G1}$ だけ、外部から電荷を充放電することなく、電圧を変化させることができる。また、この電荷再利用期間において、ゲート線 $G_3$ は、電圧 $V_{EE}$ の電位からゲート線 $G_2$ 、 $G_3$ の短絡後の電位までの電圧 $V_{G2}$ だけ、外部から電荷を充放電することなく、電圧を変化させることができる。従って、ゲート線 $G_2$ 、 $G_3$ の電圧を変化させる場合に充放電すべき電荷量を削減できるので、消費電力を削減できる。

【0097】

ここで、ゲート線 $G_2$ が電圧 $V_{EE}$ から電圧 $VDDHG$ に変化したタイミングから、ゲート線 $G_2$ が電圧 $V_{EE}$ に戻るタイミングまでの期間が、ゲート線 $G_2$ による画素選択期間となる。ゲート線 $G_2$ が電圧 $V_{EE}$ に戻るタイミングは、ゲート線 $G_2$ 、 $G_3$ の短絡期間が終了した後、所与のオフ-オフ期間が経過した後のタイミングである。画素が有するTFTは、ゲート線の電圧により導通状態に設定されるので、ゲート線 $G_2$ 、 $G_3$ の短絡期間後にゲート線 $G_2$ が電圧 $V_{EE}$ （低電位側電圧）に変化したタイミングにおけるソース線の電圧が、ゲート線 $G_2$ により選択される画素の画素電極に書き込まれる。即ち、ゲート線 $G_2$ により選択される画素の画素電極に階調電圧を書き込むために、ソースドライバ20は、少なくともゲート線 $G_2$ 、 $G_3$ の短絡期間の終了後、所与のオフ-オフ期間の

10

20

30

40

50

経過後まで、階調データGD2に対応した階調電圧を保持しておく必要がある。こうすることで、ゲート線G<sub>2</sub>、G<sub>3</sub>の短絡により画素選択期間が重複しても、画質を劣化させることがなくなる。

【0098】

以下、ゲート線G<sub>3</sub>～G<sub>M</sub>も同様に、電荷の再利用が行われる。

【0099】

以上説明したように、本実施形態によれば、ゲート線G<sub>1</sub>の選択信号の立ち下がり、ゲート線G<sub>2</sub>～G<sub>M-1</sub>の選択信号の立ち上がり及び立ち下がり、ゲート線G<sub>M</sub>の選択信号の立ち上がりにおいて、電荷を再利用して、外部から電荷を充放電することなく、選択信号のレベルを変化させることができる。従って、ゲート線G<sub>1</sub>～G<sub>M</sub>の電圧を変化させる場合に充放電すべき電荷量を削減できるので、消費電力を削減できるようになる。

10

【0100】

#### 4. 変形例

本実施形態では、図1に示すように、液晶装置10が表示コントローラ40を含む構成になっているが、表示コントローラ40を液晶装置10の外部に設けてもよい。或いは、表示コントローラ40と共にホストを液晶装置10に含めるようにしてもよい。また、ソースドライバ20、ゲートドライバ30、表示コントローラ40、電源回路50の一部又は全部を表示パネル12上に形成してもよい。或いはまた、ゲートドライバ30の出力バッファ36の第1～第(M-1)のゲート線短絡回路としてのトランジスタQ<sub>1</sub>～Q<sub>M-1</sub>のみが表示パネル12に形成され、ゲートドライバ30の出力バッファ36の他の回路

20

【0101】

図11に、本実施形態の変形例における液晶装置の他の構成例のブロック図を示す。

【0102】

図11において、図1と同一部分には同一符号を付し、適宜説明を省略する。本変形例では、表示パネル12上(パネル基板上)に、ソースドライバ20、ゲートドライバ30及び電源回路50を含む表示ドライバ60が形成されている。このように表示パネル12は、複数のゲート線と、複数のソース線と、複数のゲート線の各ゲート線及び複数のソース線の各ソース線とに接続された複数の画素(画素電極)と、複数のソース線を駆動するソースドライバと、複数のゲート線を走査するゲートドライバとを含むように構成すること

30

【0103】

なお図11では、表示パネル12上においてゲートドライバ30及び電源回路50のうち少なくとも1つが省略された構成であってもよい。

【0104】

#### 5. 電子機器

図12に、本実施形態又は本変形例におけるゲートドライバが適用される電子機器の構成例のブロック図を示す。ここでは、電子機器として、携帯電話機の構成例のブロック図

40

【0105】

携帯電話機900は、カメラモジュール910を含む。カメラモジュール910は、CCDカメラを含み、CCDカメラで撮像した画像のデータを、YUVフォーマットで表示コントローラ540に供給する。表示コントローラ540は、図1又は図11の表示コントローラ40の機能を有する。

【0106】

携帯電話機900は、表示パネル512を含む。表示パネル512は、ソースドライバ520及びゲートドライバ530によって駆動される。表示パネル512は、複数のゲート線、複数のソース線、複数の画素を含む。表示パネル512は、図1又は図11の表示

50

パネル 1 2 の機能を有する。

【 0 1 0 7 】

表示コントローラ 5 4 0 は、ソースドライバ 5 2 0 及びゲートドライバ 5 3 0 に接続され、ソースドライバ 5 2 0 に対して R G B フォーマットの階調データを供給する。

【 0 1 0 8 】

電源回路 5 4 2 は、ソースドライバ 5 2 0 及びゲートドライバ 5 3 0 に接続され、各ドライバに対して、駆動用の電源電圧を供給する。電源回路 5 4 2 は、図 1 又は図 1 1 の電源回路 5 0 の機能を有する。表示ドライバ 5 4 4 としてソースドライバ 5 2 0、ゲートドライバ 5 3 0 及び電源回路 5 4 2 を含み、該表示ドライバ 5 4 4 が表示パネル 5 1 2 を駆動できる。

10

【 0 1 0 9 】

ホスト 9 4 0 は、表示コントローラ 5 4 0 に接続される。ホスト 9 4 0 は、表示コントローラ 5 4 0 を制御する。またホスト 9 4 0 は、アンテナ 9 6 0 を介して受信された階調データを、変復調部 9 5 0 で復調した後、表示コントローラ 5 4 0 に供給できる。表示コントローラ 5 4 0 は、この階調データに基づき、ソースドライバ 5 2 0 及びゲートドライバ 5 3 0 により表示パネル 5 1 2 に表示させる。ソースドライバ 5 2 0 は、図 1 又は図 1 1 のソースドライバ 2 0 の機能を有する。ゲートドライバ 5 3 0 は、図 1 又は図 1 1 のゲートドライバ 3 0 の機能を有する。

【 0 1 1 0 】

ホスト 9 4 0 は、カメラモジュール 9 1 0 で生成された階調データを変復調部 9 5 0 で変調した後、アンテナ 9 6 0 を介して他の通信装置への送信を指示できる。

20

【 0 1 1 1 】

ホスト 9 4 0 は、操作入力部 9 7 0 からの操作情報に基づいて階調データの送受信処理、カメラモジュール 9 1 0 の撮像、表示パネル 5 1 2 の表示処理を行う。

【 0 1 1 2 】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロクミネッセンス、プラズマディスプレイ装置の駆動に適用可能である。

【 0 1 1 3 】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

30

【 図面の簡単な説明 】

【 0 1 1 4 】

【 図 1 】 本実施形態の液晶装置のブロック図の例。

【 図 2 】 図 1 のゲートドライバの構成例のブロック図。

【 図 3 】 図 1 のソースドライバの構成例のブロック図。

【 図 4 】 図 3 の基準電圧発生回路、D A C 及びソース線駆動回路の構成例を示す図。

【 図 5 】 図 1 の電源回路の構成例を示すブロック図。

40

【 図 6 】 図 1 の表示パネルの駆動波形の一例を示す図。

【 図 7 】 本実施形態の極性反転駆動の説明図。

【 図 8 】 本実施形態におけるゲートドライバの構成要部の一例を示す図。

【 図 9 】 図 8 の出力バッファの制御信号の一例のタイミング図。

【 図 1 0 】 本実施形態におけるゲートドライバの駆動波形の一例を示す図。

【 図 1 1 】 本実施形態の変形例における液晶装置の他の構成例のブロック図。

【 図 1 2 】 本実施形態又は本変形例におけるゲートドライバが適用される電子機器の構成例のブロック図。

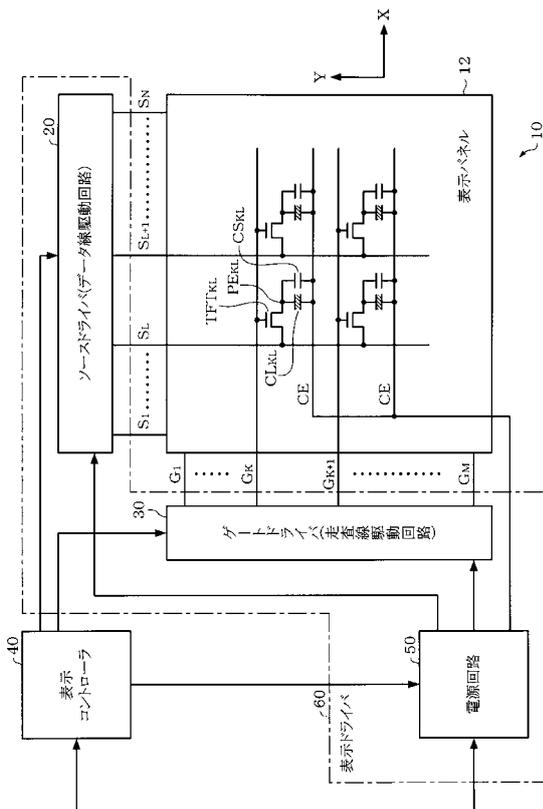
【 符号の説明 】

【 0 1 1 5 】

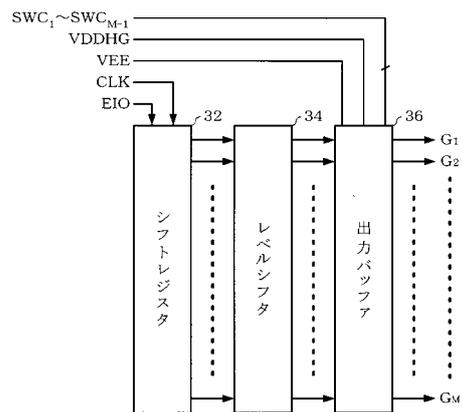
50

10 液晶装置、 12 表示パネル、 20 ソースドライバ、  
 22、32 シフトレジスタ、 24、26 ラインラッチ、  
 27 基準電圧発生回路、 28 DAC、 29 ソース線駆動回路、  
 30 ゲートドライバ、 32 シフトレジスタ、 34 レベルシフタ、  
 36 出力バッファ、 40 表示コントローラ、 50 電源回路、  
 52 正方向2倍昇圧回路、 54 走査電圧生成回路、  
 56 対向電極電圧生成回路、 60 表示パネル、 CE 対向電極、  
 $G_1 \sim G_M$  ゲート線、  
 $G_1CNT \sim G_MCNT$ 、 $SWC_1 \sim SWC_{M-1}$ 、 $XG_1CNT \sim XG_MCNT$  制御  
 信号、 $GO_1 \sim GO_M$  ゲート出力回路、 $S_1 \sim S_N$  ソース線、  
 $SW1p \sim SWMp$  p型MOSトランジスタ、  
 $Q_1 \sim Q_{M-1}$ 、 $SW1n \sim SWMn$  n型MOSトランジスタ

【 図 1 】

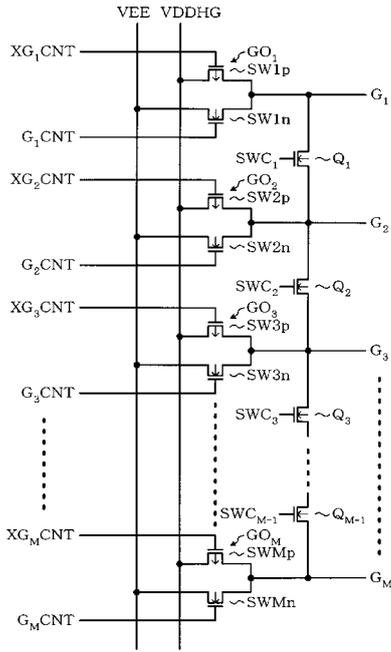


【 図 2 】

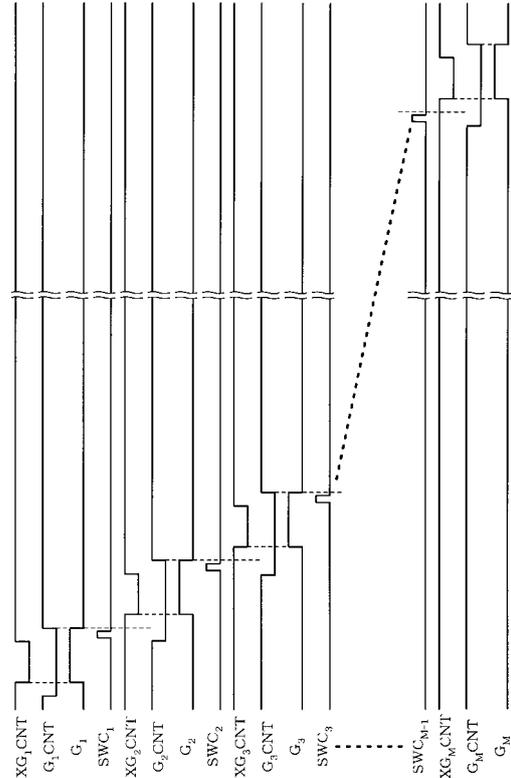




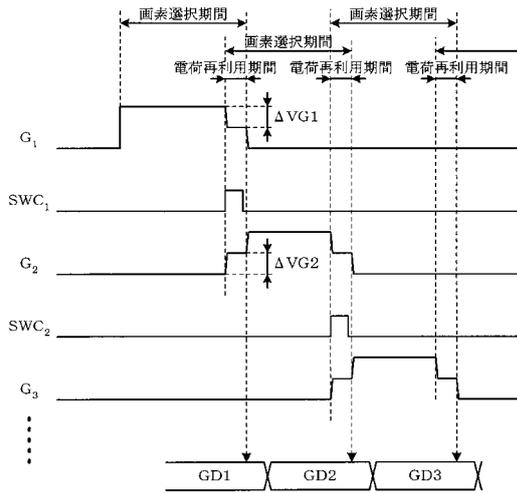
【 図 8 】



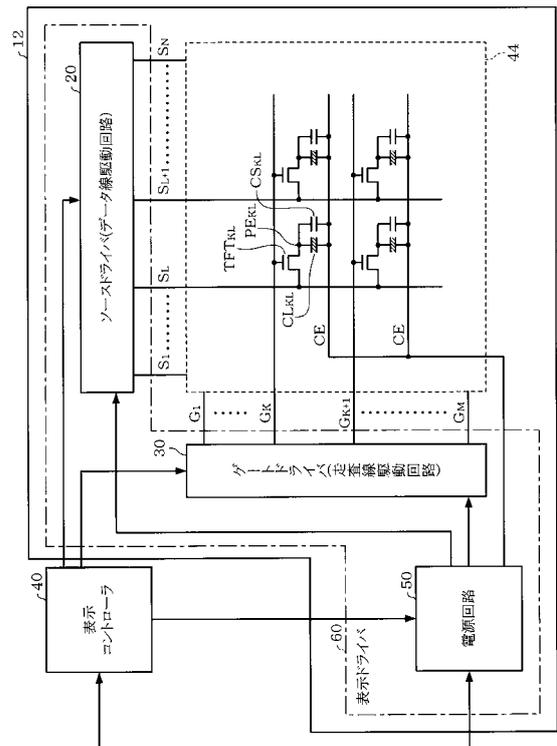
【 図 9 】



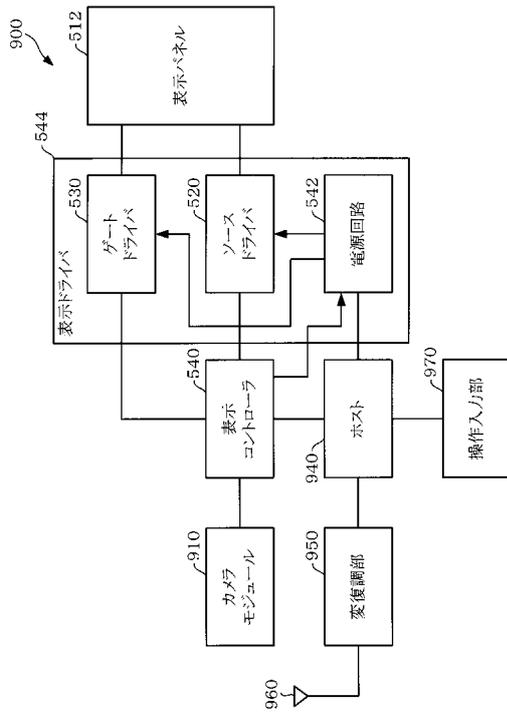
【 図 10 】



【 図 11 】



【図 12】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 2 5

G 0 2 F 1/133 5 5 0

Fターム(参考) 5C006 AA11 AC22 AC26 AF42 BB16 BC03 BC06 FA47  
5C080 AA10 BB05 DD26 FF11 JJ02 JJ03 JJ04 KK07