

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H04Q 11/04

(45) 공고일자 1992년03월05일
(11) 공고번호 특1992-0001858

(21) 출원번호	특1989-0011511	(65) 공개번호	특1991-0005710
(22) 출원일자	1989년08월12일	(43) 공개일자	1991년03월30일

(71) 출원인 한국 전기통신공사 이해욱
서울특별시 종로구 세종로 100재단법인 한국전자통신연구소 경상현
대전직할시 유성구 가정동 161

(72) 발명자 오돈성
대전직할시 대덕구 법동 삼정하이츠 9-405
강구홍
대전직할시 동구 용운동 주공 고층아파트 202동 604호
박권철
대전직할시 유성구 도룡동 T.H.3동 103

(74) 대리인 박해천

심사관 : 강해성 (책자공보 제2681호)

(54) 타임 스위치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

타임 스위치

[도면의 간단한 설명]

제1도는 본 발명의 회로도.

제2도는 타임슬롯 변환 그래프도.

* 도면의 주요부분에 대한 부호의 설명

- 1, 2 : 이중포트 SRAM
- 3 : 제어메모리
- 4 : 타이밍회로

[발명의 상세한 설명]

본 발명은 디지털 교환 시스템에서 음성 데이터에 대한 타임슬롯 교환을 행하는 타임 스위치에 관한 것이다.

디지털 전자교환기의 스위치 네트워크는 타임슬롯 교환을 행하는 타임 스위치(T)와 복수의 타임 스위치들 간의 타임슬롯을 공간적으로 교환하는 타임 멀티플렉스 공간스위치(S)로 구성되며 이들간의 여러가지 조합으로 스위치 네트워크를 구성하는 것이 보통이며, 최근의 경향은 효율성이 뛰어난 T-S-T 구조가 가장 보편적으로 사용된다.

T-S-T 스위치 네트워크에 있어서 용량을 결정하는 요소는 각 타임 스위치의 개별용량과 공간 스위치의 매트릭스 크기로 결정되나 타임 스위치의 용량은 사용되는 메모리의 액세스 시간등에 의하여 제한이 있기 때문에 네트워크의 용량을 증대시키는데 많은 문제점이 있었다. 즉, 타임 스위치의 용량이 증가하면, 그에 따라 메모리 액세스 시간이 빨라져야 하며, 시스템의 기본 클럭 주파수도 상대적으로 증가해야 한다.

일반적으로 메모리 액세스를 위한 클럭의 주파수는 하이웨이 상의 비트 속도의 2배이고, 시스템의 기본 클럭주파수는 4배가 된다. 그러나, 20MHz 이상의 시스템 기본 클럭을 갖는 경우 네트워크 동기를 실현하는데 있어서 정밀도가 떨어진다는 문제가 있다. 따라서 본 발명의 목적은 상기 문제점들을 해결하기 위한 것으로 한 하이웨이 상의 비트 속도가 8.192Mbps이면서, 메모리 액세스를 위해 사용되는 클럭 주파수를 8.192MHz로 하여 4096 타임슬롯을 교환할 수 있는 타임 스위치를 제공하는데 있다.

이하 첨부된 도면을 참고하여 본 발명을 상세히 설명하면 다음과 같다.

제1도는 본 발명의 회로도이고, 도면에서 1은 제1이중포트 SRAM을, 2는 제2이중포트 SRAM을, 3은 제어메모리를, 4는 타이밍회로를, 5,6,7은 래치회로를 각각 나타낸다. 이중포트 SRAM(1,2)은 2K 용량이며, 쓰기 및 읽기용 어드레스 모듈(A_L , A_R)을 내부에 갖추고 있다.

제어메모리(3)는 프로세서(PP)로부터 데이터를 받아 그 데이터를 기억하고 있게 되며, 이중포트 SRAM(1,2)의 어드레스 모듈(A_R)로 그 데이터를 공급하여 이중포트 SRAM 내에서 읽기 어드레스로서 사용된다. 따라서 제어메모리(3)의 기억 용량은 이중포트 SRAM의 용량에 비례하여 결정된다.

타이밍회로(4)는 외부로부터 FP클럭(8KHz) 및 CP3클럭(8.192KHz)을 공급받아 8.192MHz의 타이밍클럭을 이중포트 SRAM의 어드레스 모듈(A_L)로 공급하며 공급된 타이밍 클럭은 이중포트 SRAM내에서 쓰기 어드레스로서 사용된다. 래치회로(5,6,7)는 타이밍회로(4)로부터 8.192KHz 클럭(L_P)을 공급받아 입력되는 데이터를 래치하여 출력한다. 8.192Mbps의 음성정보는 래치회로(5)를 지나 이중포트 SRAM(1,2)에 타임슬롯당 기억하게 되며, 이때의 해당 어드레스는 타이밍회로(4)로부터 공급받게 된다. 기억하는 방식은 어드레스 순에 의한 순차 기억에 의해 이루어진다.

이렇게 하여 기억된 타임슬롯당 음성제어 메모리로부터 공급되는 어드레스에 따라 랜덤하게 읽어지게 되며, 타임슬롯을 새로이 할당받게 되고, 출력 래치회로(6,7)를 통해 변환된 타임슬롯 데이터가 출력되게 된다. 제2도는 이러한 타임슬롯 변환이 시간축 상에서 교대로 이루어짐을 나타낸 그래프도이다.

본 발명은 상기와 같이 구성되어 8.192Mbps를 갖고 하이웨이 상에서 들어오는 데이터의 타임슬롯을 8.192MHz의 메모리 액세스 클럭을 갖고서 효과적으로 타임슬롯을 교환할 수 있는 것이다.

(57) 청구의 범위

청구항 1

디지털 교환시스템에서 타임슬롯을 교환하기 위한 타임 스위치에 있어서, 음성정보의 데이터를 타임슬롯 단위로 해당 어드레스에 기억하기 위해 어드레스 모듈(A_L , A_R)을 갖추고 있는 제1, 제2이중포트 SRAM(1,2), 상기 제1, 제2이중포트 SRAM(1,2)의 어드레스 모듈(A_R) 단자에 읽기 어드레스를 제공하는 제어메모리(3), 및 상기 제1, 제2이중포트 SRAM(1,2)의 어드레스 모듈(A_L) 단자에 쓰기 어드레스를 제공하는 타이밍회로(4)로 구성되어 있는 것을 특징으로 하는 타임 스위치.

청구항 2

제1항에 있어서, 상기 타이밍회로(4)로부터 상기 어드레스 모듈단자(A_L)로 공급되는 클럭은 8.192MHz의 속도를 갖고 있는 것을 특징으로 하는 타임 스위치.

청구항 3

제1항에 있어서, 상기 SRAM(1,2)의 용량은 각각 2K인 것을 특징으로 하는 타임 스위치.

청구항 4

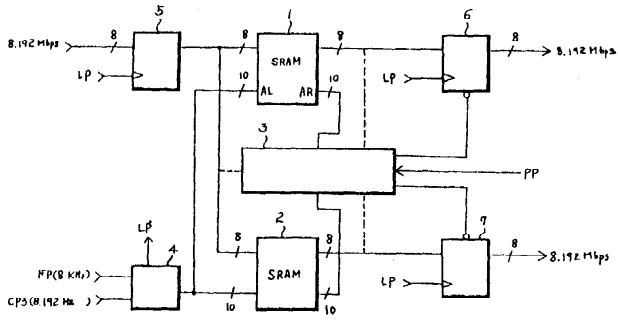
제1항에 있어서, 상기 SRAM(1,2)으로 입출력되는 데이터를 래치하기 위한 래치수단(5,6,7)을 더 포함하고 있는 것을 특징으로 하는 타임 스위치.

청구항 5

제1항에 있어서, 상기 SRAM(1,2)에서 데이터 쓰기 및 읽기는 순차적으로 쓰고 랜덤하게 읽어내는 방식에 의해 이루어지는 것을 특징으로 하는 타임 스위치.

도면

도면1



도면2

