

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6423313号
(P6423313)

(45) 発行日 平成30年11月14日(2018.11.14)

(24) 登録日 平成30年10月26日(2018.10.26)

(51) Int.Cl.	F I	
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	B
HO 1 L 21/60 (2006.01)	HO 1 L 23/12	N
HO 5 K 3/46 (2006.01)	HO 1 L 23/12	5 O 1 B
	HO 1 L 21/60	3 1 1 S
	HO 5 K 3/46	B
請求項の数 11 (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2015-106253 (P2015-106253)	(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成27年5月26日(2015.5.26)	(74) 代理人	100107766 弁理士 伊東 忠重
(65) 公開番号	特開2016-219730 (P2016-219730A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成28年12月22日(2016.12.22)	(72) 発明者	草間 泰彦 長野県長野市小島田町80番地 新光電気 工業株式会社内
審査請求日	平成29年12月4日(2017.12.4)	(72) 発明者	橋本 博信 長野県長野市小島田町80番地 新光電気 工業株式会社内
		最終頁に続く	

(54) 【発明の名称】 電子部品内蔵基板及びその製造方法と電子装置

(57) 【特許請求の範囲】

【請求項1】

第1の面と、前記第1の面と反対側の第2の面とを備えた絶縁基材と、
前記絶縁基材の中に埋め込まれ、側面に電極を備えた電子部品と、
前記電子部品の電極の外側の前記絶縁基材に、前記第1の面から表面が露出した状態で埋め込まれた第1配線層と、
前記絶縁基材の第2の面から前記電子部品の電極の側面及び前記第1配線層に到達するビア導体と、

前記絶縁基材の第2の面の上に形成され、前記ビア導体に接続された第2配線層とを有することを特徴とする電子部品内蔵基板。

10

【請求項2】

前記絶縁基材は、
前記電子部品の下に配置された接着樹脂層と、
前記電子部品及び前記第1配線層を埋め込む絶縁層とから形成されることを特徴とする請求項1に記載の電子部品内蔵基板。

【請求項3】

前記絶縁基材は、
前記電子部品の下に配置された接着樹脂層と、
前記接着樹脂層及び前記電子部品の外側に配置され、前記電子部品が搭載された領域に開口部を備えた第1絶縁層と、

20

前記第 1 絶縁層の上に積層され、前記開口部内の前記電子部品を埋め込む第 2 絶縁層とから形成され、

前記第 1 絶縁層と前記第 2 絶縁層との間に第 3 配線層が形成されていることを特徴とする請求項 1 に記載の電子部品内蔵基板。

【請求項 4】

前記接着樹脂層、前記絶縁層及び前記第 1 配線層の各第 1 の面は、面一になっていることを特徴とする請求項 2 に記載の電子部品内蔵基板。

【請求項 5】

前記接着樹脂層、前記第 1 絶縁層及び前記第 2 絶縁層の積層体並びに前記第 1 配線層の各第 1 の面は、面一になっていることを特徴とする請求項 3 に記載の電子部品内蔵基板。

10

【請求項 6】

前記電子部品の下の前記接着樹脂層に、前記第 1 の面から露出した状態で前記第 1 配線層が埋め込まれていることを特徴とする請求項 3 に記載の電子部品内蔵基板。

【請求項 7】

前記ビア導体は、前記絶縁基材の第 2 の面から平面視して、2 つの円が連通したひょうたん型の形状であることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の電子部品内蔵基板。

【請求項 8】

第 1 の面と、前記第 1 の面と反対側の第 2 の面とを備えた絶縁基材と、
前記絶縁基材の中に埋め込まれ、側面に電極を備えた電子部品と、
前記電子部品の電極の外側の前記絶縁基材に、前記第 1 の面から表面が露出した状態で埋め込まれた第 1 配線層と、

20

前記絶縁基材の第 2 の面から前記電子部品の電極の側面及び前記第 1 配線層に到達するビア導体と、

前記絶縁基材の第 2 の面の上に形成され、前記ビア導体に接続された第 2 配線層と、
前記第 2 配線層に接続された半導体チップと
を有する電子装置。

【請求項 9】

下地層上の部品搭載領域の外側に第 1 配線層を形成する工程と、
前記下地層上の部品搭載領域に、接着樹脂層を介して側面に電極を備えた電子部品を接着する工程と、

30

前記電子部品及び前記第 1 配線層を埋め込む絶縁層を形成する工程と、
前記絶縁層に、前記電子部品の電極の側面と前記第 1 配線層に到達するビアホールを形成する工程と、

前記ビアホール内に形成されるビア導体を介して、前記電子部品の電極の側面と前記第 1 配線層とに接続される第 2 配線層を前記絶縁層の上に形成する工程と、

前記下地層を除去する工程と
を有することを特徴とする電子部品内蔵基板の製造方法。

【請求項 10】

部品搭載領域を備えた下地層の上に第 1 配線層を形成する工程と、
前記下地層及び前記第 1 配線層の上に第 1 絶縁層を形成する工程と、
前記部品搭載領域の外側の前記第 1 絶縁層の上に第 2 配線層を形成する工程と、
前記部品搭載領域に対応する部分の前記第 1 絶縁層に開口部を形成する工程と、
前記第 1 絶縁層の開口部に、接着樹脂層を介して側面に電極を備えた電子部品を接着する工程と、
前記電子部品、前記第 1 絶縁層及び前記第 2 配線層の上に第 2 絶縁層を形成する工程と、

40

前記第 2 絶縁層及び前記第 1 絶縁層に、前記電子部品の電極の側面と前記第 1 配線層に到達するビアホールを形成する工程と、

前記ビアホール内に形成されたビア導体を介して、前記電子部品の電極の側面と前記第

50

1 配線層とに接続される第3配線層を前記第2絶縁層の上に形成する工程と、
前記下地層を除去する工程と

を有することを特徴とする電子部品内蔵基板の製造方法。

【請求項11】

前記ビアホールを形成する工程は、

第1回目のレーザ加工により、前記電子部品の電極の側面に到達する第1ホールを形成する工程と、

第2回目のレーザ加工により、前記第1ホールに連通する第2ホールを形成する工程と

、
第3回目のレーザ加工により、前記第2ホールの底部に連通して前記第1配線層に到達する第3ホールを形成する工程とを含むことを特徴とする請求項9又は10に記載の電子部品内蔵基板の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子部品内蔵基板及びその製造方法と電子装置に関する。

【背景技術】

【0002】

従来、配線基板の中にキャパシタ素子が内蔵された電子部品内蔵基板がある。キャパシタ素子は、電源電圧を安定させ、かつ高周波ノイズを低減させる目的で、LSIの電源ラインとグラウンドラインとの間にデカップリングキャパシタとして配置される。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-123524号公報

【特許文献2】特開2011-138873号公報

【特許文献3】特開2013-51336号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

後述する予備的事項に係る電子部品内蔵基板のように、配線基板の両面側からキャパシタ素子の電極に電源ラインやグラウンドラインを接続する要求がある。

【0005】

この要求に対応するためには、キャパシタ素子の下側で余計な配線層の引き回しが必要になるため、搭載される半導体チップの端子のレイアウトが制限され、設計の自由度が低下する課題がある。

【0006】

また、キャパシタ素子の下側に追加で形成した配線層によって凸部が形成される。このため、半導体チップを搭載した後に、その下側にアンダーフィル樹脂を充填する際に、ボイドが発生しやすく、十分な信頼性が得られない課題がある。

40

【0007】

絶縁基材に、側面に電極を備えた電子部品が埋め込まれた電子部品内蔵基板及びその製造方法と電子装置において、絶縁基材の両面側から電子部品の電極に配線経路を接続する新規な構造を提供することを目的とする。

【課題を解決するための手段】

【0008】

以下の開示の一観点によれば、第1の面と、前記第1の面と反対側の第2の面とを備えた絶縁基材と、前記絶縁基材の中に埋め込まれ、側面に電極を備えた電子部品と、前記電子部品の電極の外側の前記絶縁基材に、前記第1の面から表面が露出した状態で埋め込ま

50

れた第1配線層と、前記絶縁基材の第2の面から前記電子部品の電極の側面及び前記第1配線層に到達するビア導体と、前記絶縁基材の第2の面の上に形成され、前記ビア導体に接続された第2配線層とを有する電子部品内蔵基板が提供される。

【0009】

また、その開示の他の観点によれば、下地層上の部品搭載領域の外側に第1配線層を形成する工程と、前記下地層上の部品搭載領域に、接着樹脂層を介して側面に電極を備えた電子部品を接着する工程と、前記電子部品及び前記第1配線層を埋め込む絶縁層を形成する工程と、前記絶縁層に、前記電子部品の電極の側面と前記第1配線層に到達するビアホールを形成する工程と、前記ビアホール内に形成されるビア導体を介して、前記電子部品の電極の側面と前記第1配線層とに接続される第2配線層を前記絶縁層の上に形成する工程と、前記下地層を除去する工程とを有する電子部品内蔵基板の製造方法が提供される。

10

【0010】

さらに、その開示の他の観点によれば、部品搭載領域を備えた下地層の上に第1配線層を形成する工程と、前記下地層及び前記第1配線層の上に第1絶縁層を形成する工程と、前記部品搭載領域の外側の前記第1絶縁層の上に第2配線層を形成する工程と、前記部品搭載領域に対応する部分の前記第1絶縁層に開口部を形成する工程と、前記第1絶縁層の開口部に、接着樹脂層を介して側面に電極を備えた電子部品を接着する工程と、前記電子部品、前記第1絶縁層及び前記第2配線層の上に第2絶縁層を形成する工程と、前記第2絶縁層及び前記第1絶縁層に、前記電子部品の電極の側面と前記第1配線層に到達するビアホールを形成する工程と、前記ビアホール内に形成されたビア導体を介して、前記電子部品の電極の側面と前記第1配線層とに接続される第3配線層を前記第2絶縁層の上に形成する工程と、前記下地層を除去する工程とを有する電子部品内蔵基板の製造方法が提供される。

20

【発明の効果】

【0011】

以下の開示によれば、電子部品内蔵基板では、第1の面及び第2面を備えた絶縁基材の中に、側面に電極を備えた電子部品が埋め込まれている。そして、電子部品の電極の外側の絶縁基材に、第1の面から表面が露出した状態で第1配線層が埋め込まれている。

【0012】

また、絶縁基材の第2の面から電子部品の電極の側面及び第1配線層に到達するビア導体が形成され、絶縁基材の第2の面の上にビア導体に接続される第2配線層が形成されている。

30

【0013】

このように、電子部品内蔵基板の両面側のパッドに接続される各配線層は、電子部品の外側に配置されたビア導体を介して電子部品の電極の側面にそれぞれ接続されている。

【0014】

このような構造を採用することにより、電子部品の下側で配線層の引き回しを追加で行う必要がないため、搭載される半導体チップの端子のレイアウトが制限されることがなく、設計の自由度を確保することができる。

【0015】

40

また、第1配線層が配置された絶縁基材の第1の面は平坦であるため、第1配線層に半導体チップをフリップチップ接続した後に、アンダーフィル樹脂を信頼性よく充填することができる。

【図面の簡単な説明】

【0016】

【図1】図1は予備的事項に係る電子部品内蔵基板を説明するための模式図(その1)である。

【図2】図2は予備的事項に係る電子部品内蔵基板を説明するための模式図(その2)である。

【図3】図3は予備的事項に係る電子部品内蔵基板を説明するための断面図である。

50

【図4】図4(a)～(d)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図(その1)である。

【図5】図5(a)～(c)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図(その2)である。

【図6】図6(a)及び(b)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図(その3)である。

【図7】図7(a)及び(b)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図及び平面図(その4)である。

【図8】図8(a)～(c)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図(その5)である。

10

【図9】図9(a)及び(b)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図(その6)である。

【図10】図10(a)及び(b)は第1実施形態の電子部品内蔵基板の製造方法を示す断面図(その7)である。

【図11】図11は第1実施形態の電子部品内蔵基板を示す断面図(その1)である。

【図12】図12は第1実施形態の電子部品内蔵基板を示す断面図(その2)である。

【図13】図13は第1実施形態の電子装置を示す断面図である。

【図14】図14は第1実施形態の変形例の電子装置を示す断面図である。

【図15】図15(a)～(c)は第2実施形態の電子部品内蔵基板の製造方法を示す断面図(その1)である。

20

【図16】図16(a)～(c)は第2実施形態の電子部品内蔵基板の製造方法を示す断面図(その2)である。

【図17】図17(a)及び(b)は第2実施形態の電子部品内蔵基板の製造方法を示す断面図(その3)である。

【図18】図18(a)及び(c)は第2実施形態の電子部品内蔵基板の製造方法を示す断面図(その4)である。

【図19】図19は第2実施形態の電子部品内蔵基板を示す断面図(その1)である。

【図20】図20は第2実施形態の電子部品内蔵基板を示す断面図(その2)である。

【図21】図21は第2実施形態の電子装置を示す断面図である。

【図22】図22は第2実施形態の変形例の電子装置を示す断面図である。

30

【図23】図23は第3実施形態の電子部品内蔵基板を示す断面図である。

【図24】図24は第3実施形態の電子装置を示す断面図である。

【図25】図25(a)～(c)は第4実施形態の電子部品内蔵基板の製造方法を示す断面図(その1)である。

【図26】図26(a)～(c)は第4実施形態の電子部品内蔵基板の製造方法を示す断面図(その2)である。

【図27】図27(a)及び(b)は第4実施形態の電子部品内蔵基板の製造方法を示す断面図(その3)である。

【図28】図28(a)及び(b)は第4実施形態の電子部品内蔵基板の製造方法を示す断面図(その4)である。

40

【図29】図29は第4実施形態の電子部品内蔵基板を示す断面図(その1)である。

【図30】図30は第4実施形態の電子部品内蔵基板を示す断面図(その2)である。

【発明を実施するための形態】

【0017】

以下、実施の形態について、添付の図面を参照して説明する。

【0018】

実施形態を説明する前に、基礎となる予備的事項について説明する。

【0019】

図1～図3は、予備的事項に係る電子部品内蔵基板を説明するための図である。予備的事項の記載は、発明者の個人的な検討内容であり、公知技術ではない。

50

【 0 0 2 0 】

図 1 の模式図に示すように、電子部品内蔵基板では、配線基板の中に両端に電極 1 2 0 , 1 4 0 を備えたキャパシタ素子 1 0 0 が内蔵されている。キャパシタ素子 1 0 0 は、一方の電極 1 2 0 の上面に電源ライン P L が接続され、他方の電極 1 4 0 の上面にグランドライン G L に接続されて、デカップリングキャパシタとして機能する。

【 0 0 2 1 】

図 1 では、電源ライン P L 及びグランドライン G L は、配線基板の各パッド（不図示）にそれぞれ接続されている。

【 0 0 2 2 】

このように、図 1 の電子部品内蔵基板は、キャパシタ素子 1 0 0 の電極 1 2 0 , 1 4 0 の片面に電源ライン P L 及びグランドライン G L が接続される構造である。

【 0 0 2 3 】

これに対して、図 2 の模式図に示すように、配線基板の両面側からキャパシタ素子 1 0 0 の電極 1 2 0 , 1 4 0 に電源ライン P L 及びグランドライン G L をそれぞれ接続する要求がある。

【 0 0 2 4 】

図 2 では、キャパシタ素子 1 0 0 の電極 1 2 0 , 1 4 0 の上面に接続される電源ライン P L 及びグランドライン G L は、配線基板の上側の各パッド（不図示）にそれぞれ接続されている。

【 0 0 2 5 】

また、キャパシタ素子 1 0 0 の電極 1 2 0 , 1 4 0 の下面に接続される電源ライン P L 及びグランドライン G L は、配線基板の下側の各パッド（不図示）にそれぞれ接続されている。

【 0 0 2 6 】

図 3 には、配線基板の両面側からキャパシタ素子の電極に電源ライン及びグランドラインを接続するタイプの電子部品内蔵基板の具体的な構造が示されている。図 3 は、図 2 の模式図のキャパシタ素子 1 0 0 の右側の電極 1 2 0 の両面に電源ライン P L が接続された領域に対応し、その領域が部分的に示されている。

【 0 0 2 7 】

図 3 に示すように、そのような電子部品内蔵基板では、接着樹脂層 2 1 0 、第 1 絶縁層 3 0 0 及び第 2 絶縁層 3 2 0 から形成される絶縁基材 1 5 0 の中にキャパシタ素子 1 0 0 が埋め込まれている。キャパシタ素子 1 0 0 はその両端に一对の電極を備えており、図 3 では、キャパシタ素子 1 0 0 の右側の電極 1 2 0 が示されている。

【 0 0 2 8 】

キャパシタ素子 1 0 0 の電極 1 2 0 の下面は、接着樹脂層 2 1 0 に形成された第 1 ピア導体 V C 1 を介して接着樹脂層 2 1 0 の下に配置された第 1 配線層 2 0 0 に接続されている。

【 0 0 2 9 】

接着樹脂層 2 1 0 の下には第 1 ソルダレジスト層 4 0 0 が形成されており、第 1 ソルダレジスト層 4 0 0 の開口部 4 0 0 a に第 1 配線層 2 0 0 のパッド P 1 が露出している。

【 0 0 3 0 】

第 1 ソルダレジスト層 4 0 0 及び第 1 配線層 2 0 0 の上に、第 1 配線層 2 0 0 に直接接続された第 2 配線層 2 2 0 が形成されている。第 2 配線層 2 2 0 は第 1 絶縁層 3 0 0 の中に埋め込まれている。

【 0 0 3 1 】

第 1 絶縁層 3 0 0 の上には、第 3 配線層 2 4 0 が形成されている。第 3 配線層 2 4 0 は第 2 絶縁層 3 2 0 の中に埋め込まれている。

【 0 0 3 2 】

さらに、第 2 絶縁層 3 2 0 の上に、第 2 絶縁層 3 2 0 に形成された第 2 ピア導体 V C 2 を介してキャパシタ素子 1 0 0 の電極 1 2 0 の上面に接続される第 4 配線層 2 6 0 が形成

10

20

30

40

50

されている。第2絶縁層320の上に、第4配線層260のパッドP2上に開口部420aが配置された第2ソルダレジスト層420が形成されている。

【0033】

これにより、下側の第1配線層200のパッドP1が第1ビア導体VC1を介してキャパシタ素子100の電極120の下面に接続される。また、上側の第4配線層260のパッドP2が第2ビア導体VC2を介してキャパシタ素子100の電極120の上面に接続される。

【0034】

このようにして、キャパシタ素子100の右側の電極120の両面に電源ラインを接続することができる。また同様に、キャパシタ素子100の左側の電極(不図示)の両面に

10

【0035】

そして、図3の電子部品内蔵基板の下面側の第1配線層200のパッドP1に半導体チップがフリップチップ接続される。また、図3の電子部品内蔵基板の上面側の第4配線層260のパッドP2がマザーボードなどの実装基板に接続される。

【0036】

図3の構造では、配線基板の両面側からキャパシタ素子100の電極120に電源ラインを接続するために、キャパシタ素子100の電極120の上面ばかりではなく、下面にも電源ラインが接続されている。

【0037】

このため、キャパシタ素子100の電極120の上面のみに電源ラインを接続する構造に比べて、キャパシタ素子100の電極120の下側に第1ビア導体VC1とそれに接続される第1配線層200を追加で形成する必要がある。

20

【0038】

このため、余計な配線層の引き回しが必要になり、パッドの配置が制限される。その結果、半導体チップの端子のレイアウトが制限され、設計の自由度が低下する課題がある。

【0039】

また、追加で形成される第1配線層200は、接着樹脂層210及び第1絶縁層300の下面から下側に突出して形成される。このため、キャパシタ素子100の電極120の上面にのみに電源ラインを接続する構造に比べて、半導体チップの搭載面に凸部が形成されることになる。

30

【0040】

よって、半導体チップを搭載した後に、その下側にアンダーフィル樹脂を充填する際に、凸部の影響でアンダーフィル樹脂の濡れ広がりが悪くなる。その結果、アンダーフィル樹脂にボイドが発生しやすく、十分な信頼性が得られない課題がある。

【0041】

以下に説明する実施形態の電子部品内蔵基板では、前述した課題を解消することができる。

【0042】

(第1実施形態)

40

図4～図10は第1実施形態の電子部品内蔵基板の製造方法を説明するための図、図11及び図12は第1実施形態の電子部品内蔵基板を示す図、図13は第1実施形態の電子装置を示す図である。

【0043】

以下、電子部品内蔵基板の製造方法を説明しながら、電子部品内蔵基板及び電子装置の構造について説明する。図4～図11の製造方法に係る図は、電子部品内蔵基板の部分的な断面図を示している。

【0044】

第1実施形態の電子部品内蔵基板の製造方法では、図4(a)に示すように、まず、プリプレグ10の上にキャリア付き銅箔20が接着された積層基板5を用意する。プリプレ

50

グ10は、ガラス繊維、炭素繊維、又はアラミド繊維などに樹脂を含浸させた複合材料である。

【0045】

キャリア付き銅箔20は、プリプレグ10側に配置されたキャリア銅箔22とその上に配置された薄膜銅箔24とから形成される。

【0046】

キャリア銅箔22は、薄膜銅箔24の取り扱いを容易にするキャリアとして機能する。

【0047】

なお、キャリア銅箔22及び薄膜銅箔24は、アルミニウム箔などの各種の金属箔を代替として使用することができる。

10

【0048】

例えば、プリプレグ10の厚みは50 μ m~500 μ mである。また、キャリア銅箔22の厚みは12 μ m~70 μ mであり、薄膜銅箔24の厚みは2 μ m~5 μ mである。

【0049】

積層基板5では、キャリア銅箔22と薄膜銅箔24との間に離型剤(不図示)が形成されており、キャリア銅箔22と薄膜銅箔24との界面で容易に剥離できるようになっている。離型剤としては、シリコン系離型剤、フッ素系離型剤、又はそれらの離型剤の成分中に金属成分を含む粒子が配合された離型剤などが使用される。

【0050】

次いで、図4(b)に示すように、電解めっきにより、薄膜銅箔24の上にニッケル(Ni)層26を形成する。ニッケル層26の厚みは、例えば、2 μ m~5 μ mである。ニッケル層26は、後述するように、キャリア銅箔22を薄膜銅箔24との界面から剥離した後に、薄膜銅箔24をウェットエッチングで除去する際のエッチングストップ層として機能する。

20

【0051】

第1実施形態では、第1配線層を形成する下地層として、上記した積層基板5の上にニッケル層26が形成されたものが好適に使用される。

【0052】

続いて、図4(c)に示すように、ニッケル層26の上に、第1配線層が配置される領域に開口部12aが設けられためっきレジスト層12を形成する。

30

【0053】

さらに、図4(d)に示すように、ニッケル層26をめっき給電経路に利用する電解めっきにより、めっきレジスト層12の開口部12a内に銅などからなる金属めっき層30aを形成する。

【0054】

次いで、図5(a)に示すように、めっきレジスト層12を除去する。これにより、金属めっき層30aから第1配線層30が形成される。

【0055】

なお、一般的なセミアディティブ法で配線層を形成する場合は、銅めっき層をマスクとしてシード層をエッチングする工程がある。シード層は銅めっき層よりもエッチングレートが高いため、シード層が内側に食い込むアンダーカット形状になりやすい。

40

【0056】

本実施形態では、金属めっき層30aのみから第1配線層30が形成され、シード層をエッチングする工程がないため、第1配線層30の基部でのアンダーカットが発生しない。

【0057】

このため、ライン(幅):スペース(間隔)が2 μ m:2 μ m~10 μ m:10 μ mの微細な第1配線層30を形成する場合であっても、パターン飛びなどが発生することなく、信頼性よく形成することができる。

【0058】

50

後述するように、第1配線層30のパッドに半導体チップがフリップチップ接続されるため、高性能な半導体チップの配線基板として構築することができる。第1配線層30は、島状に配置されたパッドであってもよいし、あるいは、パッドを備えた引き出し配線であってもよい。

【0059】

以上の方法により、下地層上の部品搭載領域の外側に第1配線層30を形成する。

【0060】

次いで、図5(b)示すように、両側面に電極を備えた電子部品として、両側面に電極を備えたキャパシタ素子40を用意する。そして、ニッケル層26の上に、接着樹脂層14を介してキャパシタ素子40を接着する。接着樹脂層14としては、エポキシ樹脂系の接着剤が使用される。

10

【0061】

キャパシタ素子40は両側面に一对の電極を備えているが、図5(b)では、キャパシタ素子40の右側の電極42が部分的に示されている。キャパシタ素子40の両端の電極は、両端部の上面、側面及び下面に接続面がそれぞれ配置されている。

【0062】

キャパシタ素子40としては、例えば、直方体のキャパシタ本体の長手方向の両端部に電極が設けられたセラミックチップキャパシタが使用される。

【0063】

このようにして、下地層上の部品搭載領域に接着樹脂層14を介してキャパシタ素子40を接着する。

20

【0064】

続いて、図5(c)に示すように、ニッケル層26、第1配線層30及びキャパシタ素子40の上に未硬化の樹脂フィルムを貼付し、加熱処理して硬化させることにより、第1絶縁層50を形成する。樹脂フィルムは、エポキシ樹脂、アクリル樹脂又はポリイミド樹脂などが使用される。あるいは、液状の樹脂を塗布することにより、第1絶縁層50を形成してもよい。

【0065】

このようにして、キャパシタ素子40及び第1配線層30を埋め込む第1絶縁層50を形成する。

30

【0066】

次いで、図6(a)に示すように、第1絶縁層50をレーザ加工することにより、キャパシタ素子40の電極42の上面に到達する第1ビアホールVH1を形成する。

【0067】

続いて、第1絶縁層50に第2ビアホールを形成する方法について説明する。第2ビアホールは3回のレーザ加工によって形成される。詳しく説明すると、図6(b)に示すように、第1絶縁層50に第1回目のレーザ加工を行うことにより、キャパシタ素子40の電極42の側面に到達する第1ホール部H1を形成する。

【0068】

次いで、図7(a)に示すように、第1絶縁層50の第1ホール部H1の外側領域に第2回目のレーザ加工を行うことにより、第1ホール部H1に連通する第2ホール部H2を形成する。

40

【0069】

続いて、図7(b)に示すように、第1絶縁層50の第2ホール部H2の底に第3回目のレーザ加工を行うことにより、第1配線層30に到達する第3ホール部H3を形成する。

【0070】

このように、第1絶縁層50に対してレーザ加工を3回行うことにより、第1ホール部H1、第2ホール部H2、第3ホール部H3によって第2ビアホールVH2が形成される。以上により、一つの第2ビアホールVH2内にキャパシタ素子40の電極42の側面と

50

第1配線層30の上面とが露出した状態となる。

【0071】

このようにして、キャパシタ素子40の電極42の側面及び第1配線層30の上面に到達する第2ビアホールVH2が第1絶縁層50に形成される。

【0072】

図7(b)の部分平面図に示すように、第2ビアホールVH2は、平面視して、2つの円が連通したひょうたん型の形状で形成される。

【0073】

次いで、図8(a)に示すように、第1ビアホールVH1内、第2ビアホールVH2内及び第1絶縁層50の上に第2配線層32を形成する。第2配線層32は、第1ビアホールVH1内の第1ビア導体VC1を介してキャパシタ素子40の電極42の上面に接続される第1配線部32aを備えて形成される。

10

【0074】

また、第2配線層32は、第2ビアホールVH2内の第2ビア導体VC2を介してキャパシタ素子40の電極42の側面及び第1配線層30の上面に接続される第2配線部32bを備えて形成される。

【0075】

第2配線層32は、例えば、セミアディティブ法により形成される。詳しく説明すると、第1ビアホールVH1内、第2ビアホールVH2内及び第1絶縁層50の上に、無電解めっき又はスパッタ法により、銅などからなるシード層(不図示)を形成する。

20

【0076】

次いで、第2配線層32が配置される領域に開口部が設けられためっきレジスト層(不図示)を形成する。続いて、シード層をめっき給電経路に利用する電解めっきにより、第1、第2ビアホールVH1、VH2内からめっきレジスト層の開口部に銅などからなる金属めっき層(不図示)を形成する。

【0077】

さらに、めっきレジスト層を除去した後に、金属めっき層をマスクにしてシード層をウェットエッチングにより除去する。これにより、シード層及び金属めっき層から第2配線層32が形成される。

【0078】

続いて、図8(b)に示すように、前述した図5(c)の第1絶縁層50の形成方法と同様な方法により、第1絶縁層50及び第2配線層32の上に第2絶縁層52を形成する。

30

【0079】

さらに、図8(c)に示すように、第2絶縁層52をレーザ加工することにより、第2配線層32の第2配線部32bに到達する第3ビアホールVH3を形成する。

【0080】

次いで、図9(a)に示すように、前述した図8(a)の第2配線層32の形成方法と同様な方法により、第3ビアホールVH3内の第3ビア導体VC3を介して第2配線層32の第2配線部32bに接続される第3配線層34を形成する。

40

【0081】

続いて、図9(b)に示すように、積層基板5のキャリア銅箔22と薄膜銅箔24との界面から剥離し、キャリア銅箔22及びプリプレグ10を薄膜銅箔24から分離する。

【0082】

次いで、図10(a)に示すように、第2絶縁層52の上面側に保護シート(不図示)を貼付して第3配線層34を保護した状態で、硫酸と過酸化水素水との混合液により、薄膜銅箔24をウェットエッチングして除去する。

【0083】

このとき、露出するニッケル層26は、硫酸と過酸化水素水との混合液では殆どエッチングされず、エッチングストップ層として機能する。このようにして、薄膜銅箔24をニ

50

ニッケル層 26 に対して選択的にエッチングすることができる。

【0084】

続いて、図 10 (b) に示すように、硝酸系のウェットエッチャントにより、ニッケル層 26 をウェットエッチングして除去する。このとき、露出する第 1 配線層 30 (銅) は硝酸系のウェットエッチャントでは殆どエッチングされないため、ニッケル層 26 を第 1 配線層 30 及び第 1 絶縁層 50 に対して選択的にエッチングすることができる。

【0085】

これにより、第 1 絶縁層 50 の下面から第 1 配線層 30 の下面が露出した状態となる。また同時に、接着樹脂層 14 及び第 1 絶縁層 50 の下面も露出する。

【0086】

このようにして、下地層として形成された積層基板 5 とその上のニッケル層 26 が第 1 配線層 30 に対して選択的に除去される。

【0087】

その後、第 2 絶縁層 52 の上面側の保護シート (不図示) を引き剥がして除去する。

【0088】

なお、エッチングストップ層としてのニッケル層 26 を省略することも可能である。この場合は、第 1 配線層 30 (銅) の下に薄膜銅箔 24 が直接配置された構造となるため、薄膜銅箔 24 を除去する際に、第 1 配線層 30 の下部が多少エッチングされて第 1 絶縁層 50 の内部に沈み込んだ状態となる。

【0089】

次いで、図 11 に示すように、第 1 絶縁層 50 の下に、第 1 配線層 30 のパッド P1 の上に開口部 46a が配置された第 1 ソルダレジスト層 46 を形成する。さらに、第 2 絶縁層 52 の上に、第 3 配線層 34 のパッド P2 の上に開口部 48a が配置された第 2 ソルダレジスト層 48 を形成する。

【0090】

第 1 ソルダレジスト層 46 及び第 2 ソルダレジスト層 48 は、エポキシ系やアクリル系の絶縁樹脂から形成される。

【0091】

第 1 ソルダレジスト層 46 及び第 2 ソルダレジスト層 48 は、例えば、ロールコート法で感光性樹脂を塗布し、露光、現像した後に、硬化させることにより形成される。

【0092】

以上により、第 1 実施形態の電子部品内蔵基板 1 が得られる。

【0093】

図 12 には、図 11 のキャパシタ素子 40 の全体の様子が描かれている。図 12 に示すように、第 1 実施形態の電子部品内蔵基板 1 では、絶縁基材 6 の中に、キャパシタ素子 40 の全体が埋め込まれている。キャパシタ素子 40 は両側面に一对の電極 42, 44 を備えている。

【0094】

本実施形態では、両側面に電極を備えた電子部品として、両側面に電極 42, 44 を備えたキャパシタ素子 40 を例示する。この他に、インダクタ素子又は抵抗素子などの両側面に電極を備えた受動部品、又は、両側面に電極を備えた半導体モジュール部品などを使用することができる。

【0095】

なお、両端のうち少なくとも一方の側面に電極を備えた電子部品を使用することにより、本実施形態の接続構造を構築することができる。

【0096】

絶縁基材 6 は、下面である第 1 の面 S1 と、第 1 の面の反対側の上面である第 2 の面 S2 とを備える。第 1 実施形態では、絶縁基材 6 は、キャパシタ素子 40 の下に配置された接着樹脂層 14 と、キャパシタ素子 40 を埋め込む第 1 絶縁層 50 とにより形成される。

【0097】

10

20

30

40

50

そして、絶縁基材 6 の第 1 の面 S 1 は接着樹脂層 1 4 及び第 1 絶縁層 5 0 の各下面である。また、絶縁基材 6 の第 2 の面 S 2 は第 1 絶縁層 5 0 の上面である。

【 0 0 9 8 】

また、キャパシタ素子 4 0 の電極 4 2 , 4 4 の外側の第 1 絶縁層 5 0 に、第 1 の面 S 1 から表面が露出した状態で第 1 配線層 3 0 が埋め込まれている。第 1 配線層 3 0 の下面が第 1 絶縁層 5 0 の第 1 の面 S 1 から露出し、第 1 配線層 3 0 の上面及び側面が第 1 絶縁層 5 0 に埋め込まれている。

【 0 0 9 9 】

接着樹脂層 1 4 及び第 1 絶縁層 5 0 の下面には、第 1 配線層 3 0 のパッド P 1 上に開口部 4 6 a が設けられた第 1 ソルダレジスト層 4 6 が形成されている。

10

【 0 1 0 0 】

第 1 絶縁層 5 0 には、キャパシタ素子 4 0 の電極 4 2 , 4 4 の上面に到達する第 1 ビアホール V H 1 が形成されている。

【 0 1 0 1 】

また、第 1 絶縁層 5 0 には、キャパシタ素子 4 0 の電極 4 2 , 4 4 の側面及び第 1 配線層 3 0 の上面に到達する第 2 ビアホール V H 2 が形成されている。

【 0 1 0 2 】

そして、第 1 絶縁層 5 0 の第 2 の面 S 2 の上に第 2 配線層 3 2 が突出して形成されている。第 2 配線層 3 2 は、第 1 ビアホール V H 1 内の第 1 ビア導体 V C 1 を介してキャパシタ素子 4 0 の電極 4 2 , 4 4 の上面に接続される第 1 配線部 3 2 a を備えている。

20

【 0 1 0 3 】

また、第 2 配線層 3 2 は、第 2 ビアホール V H 2 内の第 2 ビア導体 V C 2 を介してキャパシタ素子 4 0 の電極 4 2 , 4 4 の側面と、第 1 配線層 3 0 の上面とに接続される第 2 配線部 3 2 b を備えている。

【 0 1 0 4 】

第 2 ビア導体 V C 2 は、前述した 3 回のレーザ加工で形成された第 2 ビアホール V H 2 内に充填されるため、平面視して、2 つの円が連通したひょうたん型の形状で形成される。

【 0 1 0 5 】

30

また、第 1 絶縁層 5 0 及び第 2 配線層 3 2 の上に第 2 絶縁層 5 2 が形成されている。第 2 絶縁層 5 2 には、第 2 配線層 3 2 の第 2 配線部 3 2 b の接続部上に第 3 ビアホール V H 3 が形成されている。

【 0 1 0 6 】

第 2 絶縁層 5 2 の上に第 3 ビアホール V H 3 内の第 3 ビア導体 V C 3 を介して第 2 配線層 3 2 の第 2 配線部 3 2 b に接続される第 3 配線層 3 4 が形成されている。

【 0 1 0 7 】

また、第 2 絶縁層 5 2 の上に、第 3 配線層 3 4 のパッド P 2 上に開口部 4 8 a が配置された第 2 ソルダレジスト層 4 8 が形成されている。

【 0 1 0 8 】

40

以上のように、第 1 実施形態の電子部品内蔵基板 1 では、下面側の第 1 配線層 3 0 のパッド P 1 が第 2 ビア導体 V C 2 を介してキャパシタ素子 4 0 の右側の電極 4 2 の側面に接続されている。この配線経路が第 1 電源ライン P L 1 となっている。

【 0 1 0 9 】

また、電子部品内蔵基板 1 の上面側の第 3 配線層 3 4 のパッド P 2 が第 3 ビア導体 V C 3、第 2 配線層 3 2 の第 2 配線部 3 2 b 及び第 2 ビア導体 V C 2 を介してキャパシタ素子 4 0 の右側の電極 4 2 の側面に接続されている。この配線経路が第 2 電源ライン P L 2 となっている。

【 0 1 1 0 】

さらに、電子部品内蔵基板 1 の下面側の第 1 配線層 3 0 のパッド P 1 x が第 2 ビア導体

50

V C 2 を介してキャパシタ素子 4 0 の左側の電極 4 4 の側面に接続されている。この配線経路が第 1 グランドライン G L 1 となっている。

【 0 1 1 1 】

また、電子部品内蔵基板 1 の上面側の第 3 配線層 3 4 のパッド P 2 x が第 3 ビア導体 V C 3、第 2 配線層 3 2 の第 2 配線部 3 2 b 及び第 2 ビア導体 V C 2 を介してキャパシタ素子 4 0 の左側の電極 4 4 の側面に接続されている。この配線経路が第 2 グランドライン G L 2 となっている。

【 0 1 1 2 】

このようにして、キャパシタ素子 4 0 の右側の電極 4 2 は、下側の第 1 電源ライン P L 1 と、上面側の第 2 電源ライン P L 2 とに接続されている。

10

【 0 1 1 3 】

また同様に、キャパシタ素子 4 0 の左側の電極 4 4 は、下側の第 1 ライングランド G L 1 と、上面側の第 2 グランドライン G L 2 とに接続されている。

【 0 1 1 4 】

以上のように、キャパシタ素子 4 0 は、第 1、第 2 電源ライン P L 1、P L 2 と、第 1、第 2 グランドライン G L 1、G L 2 との間に接続されて、デカップリングキャパシタとして機能する。

【 0 1 1 5 】

下側の第 1 電源ライン P L 1 及び第 1 グランドライン G L 1 は、キャパシタ素子 4 0 の真下に形成されるのではなく、キャパシタ素子 4 0 の電極 4 2、4 4 の外側領域の第 1 絶縁層 5 0 に配置された第 2 ビア導体 V C 2 及び第 1 配線層 3 0 によって形成される。

20

【 0 1 1 6 】

そして、キャパシタ素子 4 0 の下の接着樹脂層 1 4 の下面と、第 1 配線層 3 0 の下面と、第 1 絶縁層 5 0 の下面とが同じ高さ位置に配置され、各下面は面一になっている。

【 0 1 1 7 】

これは、前述した製造方法で説明したように、下地層の同一面の上に、接着樹脂層 1 4、第 1 配線層 3 0、及び第 1 絶縁層 5 0 が配置され、最終的に下地層が除去されるためである。

【 0 1 1 8 】

このように、本実施形態では、前述した予備的事項の製造方法と違って、下側の第 1 電源ライン P L 1 及び第 1 グランドライン G L 1 は、キャパシタ素子 4 0 の真下の領域ではなく、キャパシタ素子 4 0 の外側領域に形成される。

30

【 0 1 1 9 】

このため、接着樹脂層 1 4 及び第 1 絶縁層 5 0 の下面から配線層が突出して形成されることはなく、第 1 ソルダレジスト層 4 6 の下面は開口部 4 6 a を除いて全体にわたって平坦に形成される。

【 0 1 2 0 】

また、後述するように、電子部品内蔵基板 1 の下面側が部品搭載面となり、第 1 配線層 3 0 のパッド P 1、P 1 x に半導体チップがフリップチップ接続される。

【 0 1 2 1 】

第 1 実施形態では、半導体チップの端子のレイアウトに対応するように、第 1 配線層 3 0 のパッド P 1、P 1 x を自由に配置できる。このため、半導体チップの端子のレイアウトが制限されることはなく、設計の自由度を高めることができる。

40

【 0 1 2 2 】

また、第 1 配線層 3 0 とキャパシタ素子 4 0 の電極 4 2、4 4 とを接続する第 2 ビア導体 V C 2 は、電解めっきによる金属めっき層から形成される。このため、絶縁層のビアホール内にはんだを塗布してキャパシタ素子 4 0 の電極 4 2、4 4 を接続する構造に比べて、コンタクト抵抗を低くできると共に、接続の信頼性を向上させることができる。

【 0 1 2 3 】

なお、本実施形態の電子部品内蔵基板に内蔵されるキャパシタ素子は、デカップリング

50

キャパシタの他に、カップリングキャパシタ又はバスラインキャパシタとして使用してもよい。

【0124】

図13には、図12の電子部品内蔵基板1に半導体チップが搭載された電子装置2が示されている。図13に示すように、図12の電子部品内蔵基板1を上下反転させる。そして、下面側にバンプ状の端子62を備えた半導体チップ60を用意する。

【0125】

次いで、半導体チップ60の端子62をはんだ64を介して電子部品内蔵基板1の第1配線層30のパッドP1、P1xにフリップチップ接続する。

【0126】

さらに、半導体チップ60と電子部品内蔵基板1との間にアンダーフィル樹脂66を充填する。部品搭載面となる第1ソルダレジスト層46の上面は平坦であるため、アンダーフィル樹脂66の濡れ広がりが良好になる。これにより、アンダーフィル樹脂66にボイドが発生することがなく、高い信頼性が得られる。

【0127】

また、下面側の第3配線層34のパッドP2、P2xにはんだボールを搭載するなどして外部接続端子Tを形成する。外部接続端子Tがマザーボードなどの実装基板に接続される。以上により、第1実施形態の電子装置2が得られる。

【0128】

図14には、第1実施形態の変形例の電子装置2xが示されている。図14の電子装置2xのように、前述した図13の電子装置2において、第2配線層32の第1配線部32a、第1ビアホールVH1及び第1ビア導体VC1を省略してもよい。

【0129】

(第2実施形態)

図15～図18は第2実施形態の電子部品内蔵基板の製造方法を示す図、図19及び図20は第2実施形態の電子部品内蔵基板を示す図、図21は第2実施形態の電子装置を示す図である。

【0130】

第2実施形態では、第1絶縁層の開口部にキャパシタ素子を搭載した後に、キャパシタ素子を第2絶縁層で埋め込み、第1絶縁層と第2絶縁層との間に第2配線層を形成することによって薄型化を図る。第1実施形態と同一要素及び同一工程については、その詳しい説明を省略する。

【0131】

第2実施形態の電子部品内蔵基板の製造方法では、まず、前述した第1実施形態の図4(a)～図5(a)の工程と同じ工程を遂行する。これにより、図15(a)に示すように、前述した図5(a)と同様に、積層基板5上のニッケル層26の上に第1配線層30が形成された構造体を得る。

【0132】

このようにして、部品搭載領域を備えた下地層の上に第1配線層30を形成する。第2実施形態では、部品搭載領域の外側に第1配線層30が配置される。

【0133】

次いで、図15(b)に示すように、前述した図5(c)の工程と同様な方法により、ニッケル層26及び第1配線層30の上に第1絶縁層50を形成する。さらに、図15(c)に示すように、部品搭載領域の外側の第1絶縁層50の上に第2配線層32を形成する。第2配線層32は、例えば、セミアディティブ法によって形成される。特に図示されていないが、第2配線層32は第1絶縁層50に形成されるビア導体を介して第1配線層30に接続される。

【0134】

続いて、図16(a)に示すように、ルータ加工、又はレーザ加工などにより、第1絶縁層50に上面から下面まで貫通する開口部50aを形成する。第1絶縁層50の開口部

10

20

30

40

50

50aは部品搭載領域に対応する部分に形成される。

【0135】

次いで、図16(b)に示すように、第1絶縁層50の開口部50a内のニッケル層26の上に、接着樹脂層14によってキャパシタ素子40を接着する。図16(b)では、第1実施形態と同様に、キャパシタ素子40の右側の電極42が部分的に示されている。

【0136】

キャパシタ素子40の電極42の上面の高さ位置が、第1絶縁層50の上面の高さ位置よりも高く、かつ第2配線層32の上面の高さ位置とほぼ同じになるように設定される。

【0137】

さらに、図16(c)に示すように、前述した図5(c)の第1絶縁層50の形成方法と同様な方法により、第1絶縁層50の上に、キャパシタ素子40及び第2配線層32を埋め込む第2絶縁層52を形成する。第2絶縁層52が第1絶縁層50の開口部50a内に充填される。

10

【0138】

続いて、図17(a)に示すように、前述した第1実施形態の図6(a)の工程と同様に、第2絶縁層52をレーザで加工することにより、キャパシタ素子40の電極42の上面に到達する第1ビアホールVH1を形成する。

【0139】

さらに、図17(b)に示すように、前述した第1実施形態の図6(b)～図7(b)のレーザ加工と同様な方法により、キャパシタ素子40の電極42の側面、及び第1配線層30の上面に到達する第2ビアホールVH2を形成する。第2ビアホールVH2は、第1実施形態と同様に、第1、第2、第3ホールH1、H2、H3から形成される。

20

【0140】

次いで、図18(a)に示すように、前述した第1実施形態の図8(a)の工程と同様な方法により、第1ビアホールVH1内、第2ビアホールVH2内及び第1絶縁層50の上に第3配線層34を形成する。

【0141】

第1実施形態と同様に、第3配線層34は、第1ビアホールVH1内の第1ビア導体VC1を介してキャパシタ素子40の電極42の上面に接続される第1配線部34aを備える。また同様に、第3配線層34は、第2ビアホールVH2内の第2ビア導体VC2を介してキャパシタ素子40の電極42の側面及び第1配線層30の上面に接続される第2配線部34bを備える。

30

【0142】

続いて、図18(b)に示すように、前述した第1実施形態の図9(b)～図10(b)の工程と同様な工程を遂行することにより、積層基板5及びニッケル層26を除去して、第1配線層30の下面を露出させる。

【0143】

その後、図19に示すように、前述した第1実施形態の図11の工程と同様に、第1絶縁層50の下に、第1配線層30のパッドP1の上に開口部46aが配置された第1ソルダレジスト層46を形成する。

40

【0144】

さらに、第2絶縁層52の上に、第3配線層34の第2配線部34bのパッドP2の上に開口部48aが配置された第2ソルダレジスト層48を形成する。

【0145】

以上により、第2実施形態の電子部品内蔵基板1aが得られる。図20には、図19のキャパシタ素子40の全体の様子が描かれている。

【0146】

図20に示すように、第2実施形態の電子部品内蔵基板1aでは、第1実施形態の電子部品内蔵基板1と同様に、絶縁基材6の中にキャパシタ素子40の全体が埋め込まれてい

50

る。キャパシタ素子 40 は両側面に一对の電極 42, 44 を備えている。

【0147】

絶縁基材 6 は、下面である第 1 の面 S1 と、第 1 の面の反対側の上面である第 2 の面 S2 とを備える。第 2 実施形態では、絶縁基材 6 は、キャパシタ素子 40 の下に配置された接着樹脂層 14 と、接着樹脂層 14 及びキャパシタ素子 40 の外側に配置された第 1 絶縁層 50 と、キャパシタ素子 40 を埋め込む第 2 絶縁層 52 とから形成される。

【0148】

キャパシタ素子 40 は、第 1 絶縁層 50 の開口部 50a 内に接着樹脂層 14 によって接着されている。第 2 絶縁層 52 は、第 1 絶縁層 50 の上に積層され、第 1 絶縁層 50 の開口部 50a 内のキャパシタ素子 40 を埋め込んでいる。

10

【0149】

第 2 実施形態では、絶縁基材 6 の第 1 の面 S1 は、接着樹脂層 14、第 1 絶縁層 50 及び第 2 絶縁層 52 の各下面である。また、絶縁基材 6 の第 2 の面 S2 は第 2 絶縁層 52 の上面である。

【0150】

また、キャパシタ素子 40 の電極 42, 44 の外側の第 1 絶縁層 50 に、第 1 の面 S1 から表面が露出した状態で第 1 配線層 30 が埋め込まれている。第 1 配線層 30 の下面が第 1 絶縁層 50 の第 1 の面 S1 から露出し、第 1 配線層 30 の上面及び側面が第 1 絶縁層 50 に埋め込まれている。

【0151】

キャパシタ素子 40 の下の接着樹脂層 14 の下面と、第 1 配線層 30 の下面と、第 1 絶縁層 50 及び第 2 絶縁層 52 の下面とが同じ高さ位置に配置され、各下面は面一になっている。

20

【0152】

接着樹脂層 14、第 1 絶縁層 50 及び第 2 絶縁層 52 の下面には、第 1 配線層 30 のパッド P1 上に開口部 46a が配置された第 1 ソルダレジスト層 46 が形成されている。

【0153】

また、第 1 絶縁層 50 と第 2 絶縁層 52 との間に第 2 配線層 32 が形成されている。第 2 絶縁層 52 には、キャパシタ素子 40 の電極 42, 44 の上面に到達する第 1 ビアホール VH1 が形成されている。

30

【0154】

また、第 2 絶縁層 52 及び第 1 絶縁層 50 には、キャパシタ素子 40 の電極 42, 44 の側面及び第 1 配線層 30 の上面に到達する第 2 ビアホール VH2 が形成されている。

【0155】

そして、第 2 絶縁層 52 の第 2 の面 S2 の上に第 3 配線層 34 が突出して形成されている。第 3 配線層 34 は、第 1 ビアホール VH1 内の第 1 ビア導体 VC1 を介してキャパシタ素子 40 の電極 42, 44 の上面に接続される第 1 配線部 34a を備えている。

【0156】

また、第 3 配線層 34 は、第 2 ビアホール VH2 内の第 2 ビア導体 VC2 を介してキャパシタ素子 40 の電極 42, 44 の側面と、第 1 配線層 30 の上面に接続される第 2 配線部 34b を備えている。

40

【0157】

さらに、第 2 絶縁層 52 の上に、第 3 配線層 34 のパッド P2 上に開口部 48a が配置された第 2 ソルダレジスト層 48 が形成されている。

【0158】

第 2 実施形態では、第 1 絶縁層 50 の開口部 50a 内に接着樹脂層 14 を介してキャパシタ素子 40 が搭載され、キャパシタ素子 40 が第 2 絶縁層 52 によって埋め込まれている。さらに、第 1 絶縁層 50 と第 2 絶縁層 52 との間に第 2 配線層 32 が配置されている。

【0159】

50

前述した第1実施形態の電子部品内蔵基板1では、第1絶縁層50内のみキャパシタ素子40を内蔵させている。これに対して、第2実施形態の電子部品内蔵基板1aでは、第1絶縁層50と第2絶縁層52との双方の厚み内にキャパシタ素子40を内蔵させている。このため、第2実施形態の方が第1絶縁層50の厚みを薄くすることができる。

【0160】

ここで、第2絶縁層52の厚みは、第2絶縁層52の上下に設けられる第2配線層32と第3配線層34との間の絶縁性や電気特性を確保するため、第1実施形態と第2実施形態とで同程度の厚みに設定される。

【0161】

よって、同じ層数(3層)の多層配線層を形成する場合、第1実施形態の電子部品内蔵基板1よりも第1実施形態の電子部品内蔵基板1aの方が薄型化を図ることができる。

【0162】

第2実施形態の電子部品内蔵基板1aでは、下面側の第1配線層30のパッドP1が第2ビア導体VC2を介してキャパシタ素子40の右側の電極42の側面に接続されている。この配線経路が第1電源ラインPL1となっている。

【0163】

また、電子部品内蔵基板1の上面側の第3配線層34のパッドP2が第2ビア導体VC2を介してキャパシタ素子40の右側の電極42の側面に接続されている。この配線経路が第2電源ラインPL2となっている。

【0164】

さらに、電子部品内蔵基板1の下面側の第1配線層30のパッドP1xが第2ビア導体VC2を介してキャパシタ素子40の左側の電極44の側面に接続されている。この配線経路が第1グラウンドラインGL1となっている。

【0165】

また、電子部品内蔵基板1の上面側の第3配線層34のパッドP2xが第2ビア導体VC2を介してキャパシタ素子40の左側の電極44の側面に接続されている。この配線経路が第2グラウンドラインGL2となっている。

【0166】

このようにして、第2実施形態においても、キャパシタ素子40の右側の電極42は、下側の第1電源ラインPL1と、上面側の第2電源ラインPL2とに接続されている。

【0167】

また同様に、キャパシタ素子40の左側の電極44は、下側の第1ライングラウンドGL1と、上面側の第2グラウンドラインGL2とに接続されている。

【0168】

第2実施形態の電子部品内蔵基板1aは、第1実施形態の電子部品内蔵基板1と同様な効果を奏する。さらに、前述したように、第2実施形態の電子部品内蔵基板1aは、第1実施形態よりも薄型化を図ることができる。

【0169】

図21には、第2実施形態の電子装置2aが示されている。図21に示すように、第1実施形態の図13の電子装置2と同様に、図20の電子部品内蔵基板1aを上下反転させる。そして、第1配線層30のパッドP1, P1xに半導体チップ60の端子62をはんだ64を介してフリップチップ接続する。

【0170】

次いで、半導体チップ60の下側にアンダーフィル樹脂66を充填する。さらに、下面側の第3配線層34のパッドP2, P2xに外部接続端子Tを形成する。以上により、第2実施形態の電子装置2aが得られる。

【0171】

なお、前述した態様では、図 20 及び図 21 で示したように、キャパシタ素子 40 の右側の電極 42 に接続される第 3 配線層 34 に注目すると、第 3 配線層 34 の第 2 配線部 34b のパッド P2 を外部接続端子 T の接続部として利用している。

【0172】

第 3 配線層 34 の第 1 配線部 34a は、予備パッドを備えており、第 2 配線部 34b と同様にキャパシタ素子 40 の電極 42 に接続されている。このため、外部接続端子 T のレイアウトによっては、第 3 配線層 34 の第 1 配線部 34a の予備パッド上に第 2 ソルダレジスト層 48 の開口部 48a を設けて接続部とすることができる。

【0173】

この場合は、第 3 配線層 34 の第 2 配線部 34b のパッド P2 は第 2 ソルダレジスト層 48 で被覆される。キャパシタ素子 40 の左側の電極 44 に接続される第 3 配線層 34 においても同様にレイアウトを変更することができる。

10

【0174】

このような構造を採用することにより、電子部品内蔵基板の配線レイアウトの自由度を向上させることができる。

【0175】

あるいは、逆に、第 3 配線層 34 の第 2 配線部 34b のパッド P2、P2x に半導体チップの端子をフリップチップ接続し、第 1 配線層 30 のパッド P1、P1x に外部接続端子を設けてもよい。

【0176】

20

また、前述した第 1 実施形態の図 12 及び図 13 においても、第 2 配線層 32 の第 1 配線部 32a に接続される第 3 配線層 34 のパッドを形成して、配線レイアウトを変更できるようにしてもよい。

【0177】

図 22 には、第 2 実施形態の変形例の電子装置 2y が示されている。図 22 の電子装置 2y のように、上記したように、第 3 配線層 34 の第 1 配線部 34a の予備パッドに第 2 ソルダレジスト層 48 の開口部 48a を配置してパッド P2、P2x としてもよい。そして、第 3 配線層 34 の第 1 配線部 34a のパッド P2、P2x に外部接続端子 T が設けられる。

30

【0178】

(第 3 実施形態)

図 23 は第 3 実施形態の電子部品内蔵基板を示す図である。図 23 に示すように、第 3 実施形態の電子部品内蔵基板 1b では、前述した第 2 実施形態の図 20 の電子部品内蔵基板 1a において、キャパシタ素子 40 の下側領域に第 1 配線層 30 が追加で配置されている。

【0179】

キャパシタ素子 40 の下側に配置される第 1 配線層 30 は、キャパシタ素子 40 の電極 42 と絶縁された状態で接着樹脂層 14 の中に埋め込まれている。第 1 配線層 30 の下面が接着樹脂層 14 の第 1 面 S1 から露出した状態で、第 1 配線層 30 の上面及び側面が接着樹脂層 14 に埋め込まれている。

40

【0180】

そして、第 1 ソルダレジスト層 46 に、キャパシタ素子 40 の下側領域に設けられた第 1 配線層 30 の全体を露出させる開口部 46a が設けられる。

【0181】

このように、第 3 実施形態の電子部品内蔵基板 1b では、キャパシタ素子 40 の下側領域にも第 1 配線層 30 を配置している。このため、第 2 実施形態の図 20 の電子部品内蔵基板 1a よりも第 1 配線層 30 のパッドをエリアアレイ型でより高密度で配置することができる。これにより、高性能な半導体チップの配線基板として使用することができる。

50

【 0 1 8 2 】

第3実施形態の電子部品内蔵基板を製造するには、前述した第2実施形態の図15(a)の工程で、キャパシタ素子40が配置される部品搭載領域にも第1配線層30を配置すればよい。そして、前述した第2実施形態の図16(b)の工程で部品搭載領域の第1配線層30の上に接着樹脂層14を介してキャパシタ素子40が配置される。他の製造工程は第2実施形態と同じである。

【 0 1 8 3 】

図24には、第3実施形態の電子装置2bが示されている。図24に示すように、第1実施形態の図13の電子装置2と同様に、図23の電子部品内蔵基板1bを上下反転させる。そして、第1配線層30のパッドP1, P1xを含むエリアアレイ状に配置されたパッドに半導体チップ60の端子62をはんだ64を介してフリップチップ接続する。

10

【 0 1 8 4 】

その後、半導体チップ60の下側にアンダーフィル樹脂66を充填する。さらに、下面側の第3配線層34のパッドP2, P2xに外部接続端子Tを形成する。以上により、第3実施形態の電子装置2bが得られる。

【 0 1 8 5 】

(第4実施形態)

図25~図28は第4実施形態の電子部品内蔵基板の製造方法を示す図、図29及び図30は第4実施形態の電子部品内蔵基板を示す図である。

【 0 1 8 6 】

第4実施形態では、前述した第2実施形態の製造方法において、キャパシタ素子40の電極42及び第1配線層30に到達する第2ビアホールVH2が1回のレーザ加工によって形成される。

20

【 0 1 8 7 】

第4実施形態の電子部品内蔵基板の製造方法では、まず、図25(a)に示すように、前述した第1実施形態の図4(a)~図5(a)の工程と同様な工程を遂行することにより、積層基板5上のニッケル層26の上に第1配線層30を形成する。

【 0 1 8 8 】

第4実施形態では、第3実施形態と同様に、キャパシタ素子が配置される部品搭載領域にも第1配線層30が配置される。

30

【 0 1 8 9 】

次いで、図25(b)に示すように、前述した第1実施形態の図5(c)の工程と同様な方法により、ニッケル層26及び第1配線層30の上に第1絶縁層50を形成する。

【 0 1 9 0 】

さらに、図25(c)に示すように、第1絶縁層50の上に第2配線層32を形成する。第2実施形態と同様に、図示されていないが、第2配線層32は第1絶縁層50に形成されるビア導体を介して第1配線層30に接続される。

【 0 1 9 1 】

次いで、図26(a)に示すように、部品搭載領域に対応する部分の第1絶縁層50に開口部50aを形成する。これにより、部品搭載領域に第1配線層30が露出した状態となる。

40

【 0 1 9 2 】

続いて、図26(b)に示すように、部品搭載領域のニッケル層26及び第1配線層30の上に接着樹脂層14を介してキャパシタ素子40を接着する。

【 0 1 9 3 】

その後、図26(c)に示すように、第1絶縁層50の上に、キャパシタ素子40及び第2配線層32を埋め込む第2絶縁層52を形成する。

【 0 1 9 4 】

次いで、図27(a)に示すように、第2絶縁層52をレーザで加工することにより、キャパシタ素子40の電極42の上面に到達する第1ビアホールVH1を形成する。さら

50

に、図27(b)に示すように、第2絶縁層52及び第1絶縁層50をレーザで加工することにより、キャパシタ素子40の電極42の側面と、第1配線層30の側面に到達する第2ビアホールVH2を一括で形成する。

【0195】

前述した第1実施形態の図6(b)～図7(b)では、キャパシタ素子40の側面及び第1配線層30の上面に到達する第2ビアホールVH2を3回のレーザ加工によって行っている。

【0196】

第4実施形態では、レーザ光のビーム径を大きく設定し、かつレーザ光の出力を高く設定することにより、一回のレーザ加工でキャパシタ素子40の側面及び第1配線層30の側面に到達する第2ビアホールVH2を形成する。

10

【0197】

図27(b)の例では、第2ビアホールVH2は第1配線層30の側面に到達しているが、第1配線層30の側面から上面の一部にまで到達するようにしてもよい。

【0198】

次いで、図28(a)に示すように、前述した第1実施形態の図8(a)の工程と同様な方法により、第2絶縁層52の上に第3配線層34を形成する。

【0199】

第2実施形態の図18(a)と同様に、第3配線層34は、第1ビアホールVH1内の第1ビア導体VC1を介してキャパシタ素子40の電極42, 44の上面に接続される第1配線部34aを備える。

20

【0200】

また、第3配線層34は、第2ビアホールVH2内の第2ビア導体VC2を介してキャパシタ素子40の電極42, 44に側面と、第1配線層30の上面に接続される第2配線部34bを備える。

【0201】

続いて、図28(b)に示すように、前述した第1実施形態の図9(a)～図10(b)の工程と同様な工程を遂行することにより、積層基板5及びニッケル層26を除去して、第1配線層30の下面を露出させる。

【0202】

その後、図29に示すように、前述した第2実施形態の図19と同様に、第1絶縁層50の下に、第1配線層30のパッドP1の上に開口部46aが配置された第1ソルダレジスト層46を形成する。

30

【0203】

さらに、第2絶縁層52の上に、第3配線層34の第2配線部34bのパッドP2の上に開口部48aが配置された第2ソルダレジスト層48を形成する。

【0204】

以上により、第4実施形態の電子部品内蔵基板1cが製造される。図30には、図29のキャパシタ素子40の全体の様子が描かれている。

【0205】

図30の第4実施形態の電子部品内蔵基板1cが第2実施形態の電子部品内蔵基板1aと異なる点は以下である。第1の相違点は、前述した第3実施形態の電子部品内蔵基板1bと同様に、キャパシタ素子40の下側領域にも第1配線層30が配置されていることにある。

40

【0206】

第2の相違点は、キャパシタ素子40の電極42, 44の側面及び第1配線層30に到達する第2ビアホールVH2を第2絶縁層52及び第1絶縁層50に形成する際に、一回のレーザ加工によって行われることにある。

【0207】

従って、第4実施形態の電子部品内蔵基板1cの第2ビアホールVH2及び第2ビア導

50

体 V C 2 は、平面視して、一つの円形で形成される。

【 0 2 0 8 】

他の要素は、第 2 実施形態の図 2 3 の電子部品内蔵基板 1 b と同一であるため、その詳しい説明を省略する。

【 0 2 0 9 】

第 4 実施形態の電子部品内蔵基板 1 c は、第 3 実施形態と同様に、キャパシタ素子 4 0 の下側にも第 1 配線層 3 0 を追加で配置するため、配線密度の高い多層配線を構築することができる。

【 0 2 1 0 】

また、キャパシタ素子 4 0 の電極 4 2 , 4 4 の側面及び第 1 配線層 3 0 に到達する第 2

10

ビアホール V H 2 を一回のレーザ加工で行うため、短手番化を図ることができ、製造コストを削減することができる。

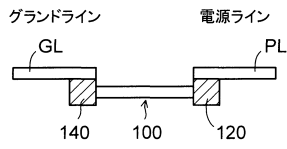
【符号の説明】

【 0 2 1 1 】

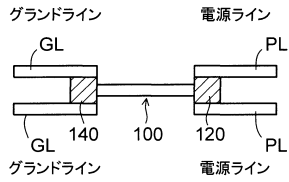
1 , 1 a , 1 b , 1 c ... 電子部品内蔵基板、 2 , 2 a , 2 b , 2 x , 2 y ... 電子装置、 5 ... 積層基板、 6 ... 絶縁基材、 1 0 ... プリプレグ、 1 2 ... めっきレジスト層、 1 2 a , 4 6 a , 4 8 a , 5 0 a ... 開口部、 1 4 ... 接着樹脂層、 2 0 ... キャリア付き銅箔、 2 2 ... キャリア銅箔、 2 4 ... 薄膜銅箔、 2 6 ... ニッケル層、 3 0 ... 第 1 配線層、 3 0 a ... 金属めっき層、 3 2 ... 第 2 配線層、 3 2 a , 3 4 a ... 第 1 配線部、 3 2 b , 3 4 b ... 第 2 配線部、 3 4 ... 第 3 配線層、 4 0 ... キャパシタ素子、 4 2 , 4 4 ... 電極、 4 6 , 4 8 ... ソルダレジスト層、 5 0 ... 第 1 絶縁層、 5 2 ... 第 2 絶縁層、 6 0 ... 半導体チップ、 6 2 ... 端子、 6 4 ... はんだ、 6 6 ... アンダーフィル樹脂、 H 1 ... 第 1 ホール、 H 2 ... 第 2 ホール、 H 3 ... 第 3 ホール、 P 1 , P 1 x , P 2 , P 2 x ... パッド、 P L 1 ... 第 1 電源ライン、 P L 2 ... 第 2 電源ライン、 G L 1 ... 第 1 グランドライン、 G L 2 ... 第 2 グランドライン、 S 1 ... 第 1 の面、 S 2 ... 第 2 の面、 T ... 外部接続端子、 V C 1 ... 第 1 ビア導体、 V C 2 ... 第 2 ビア導体、 V C 3 ... 第 3 ビア導体、 V H 1 ... 第 1 ビアホール、 V H 2 ... 第 2 ビアホール。

20

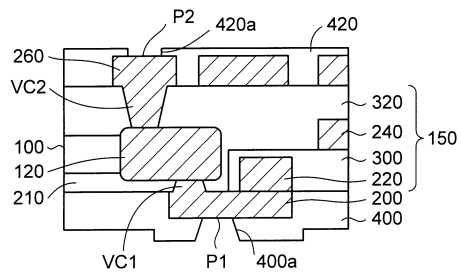
【図1】



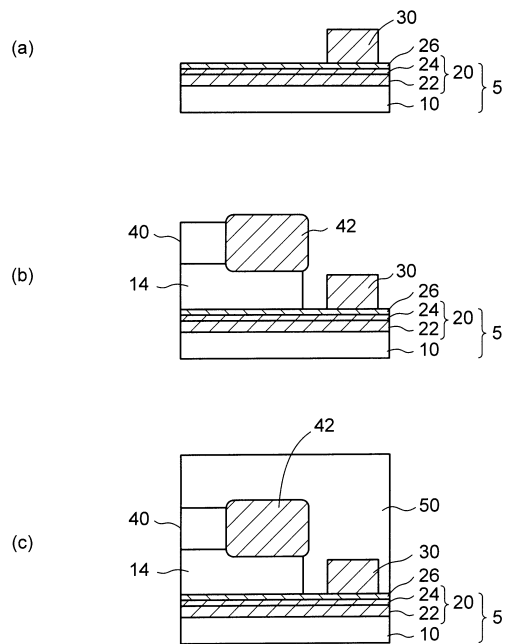
【図2】



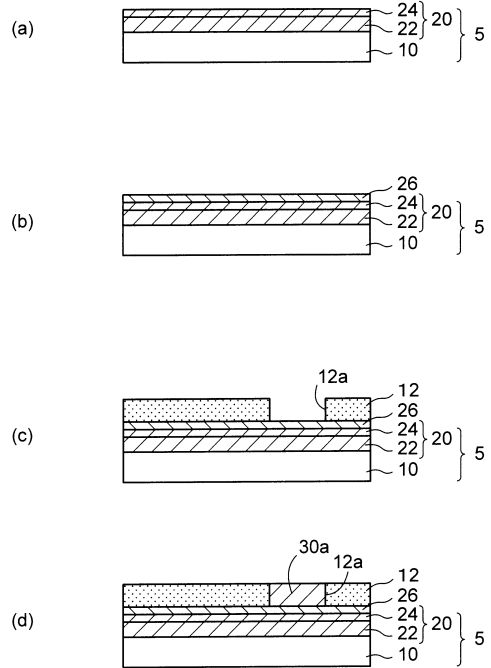
【図3】



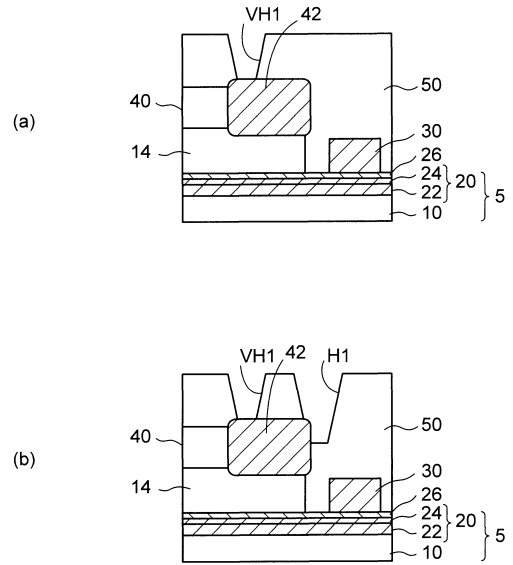
【図5】



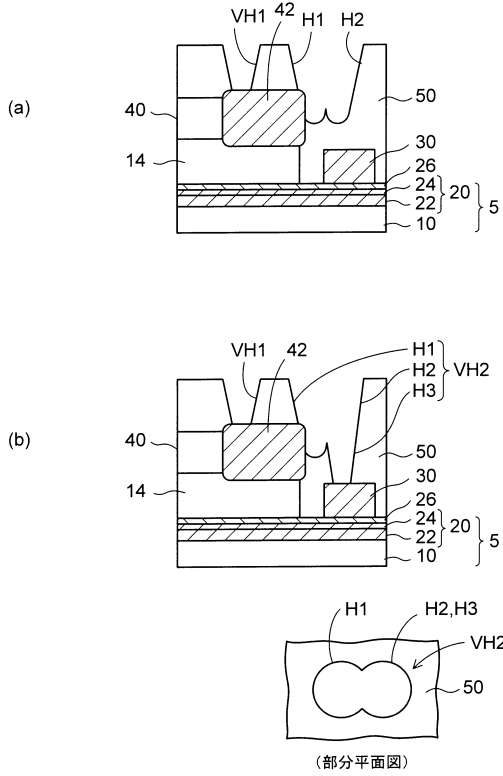
【図4】



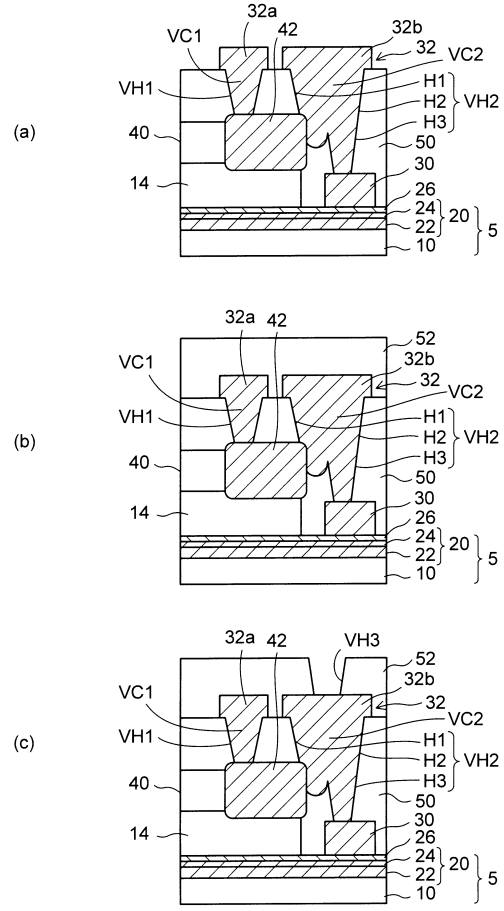
【図6】



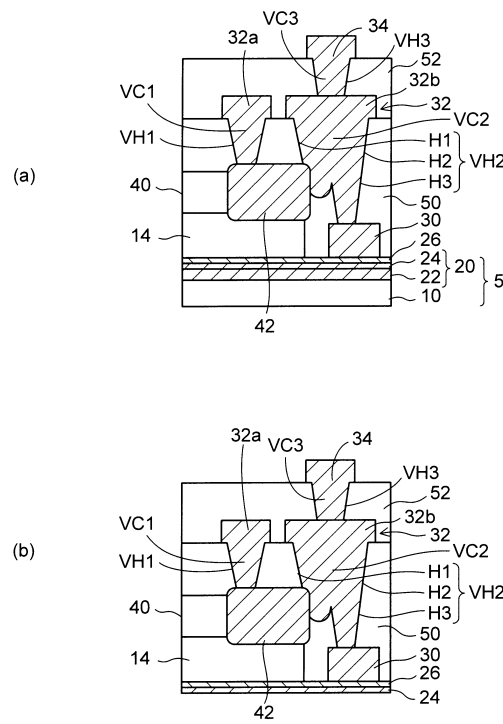
【 図 7 】



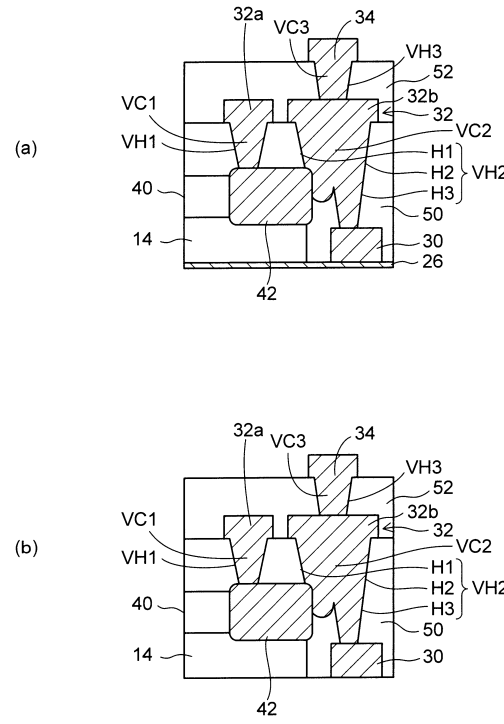
【 図 8 】



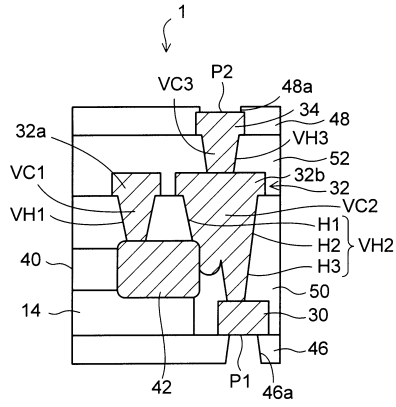
【 図 9 】



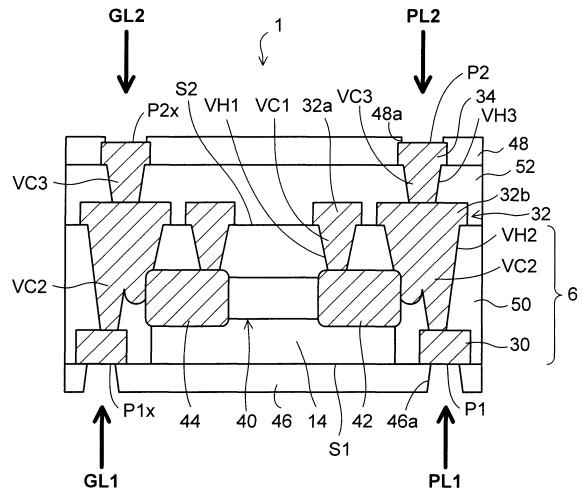
【 図 10 】



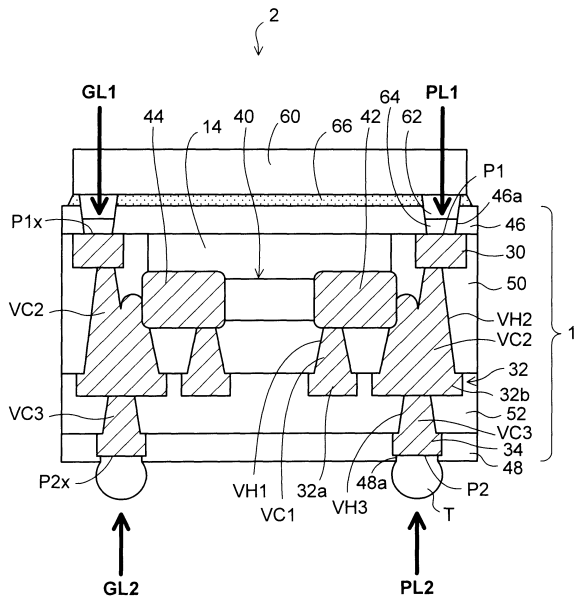
【図11】



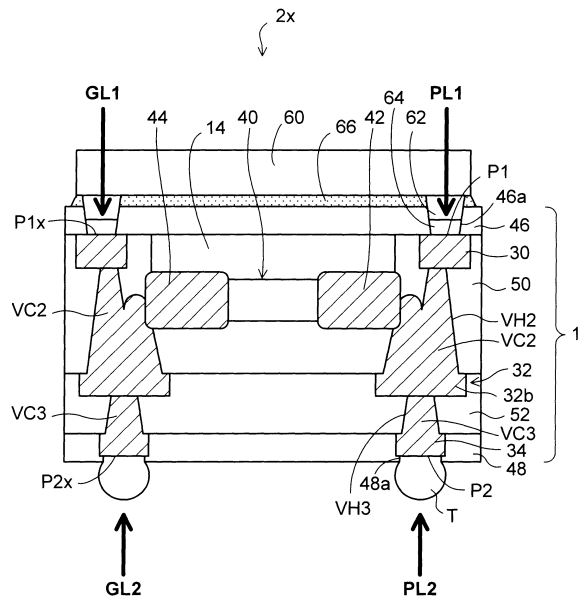
【図12】



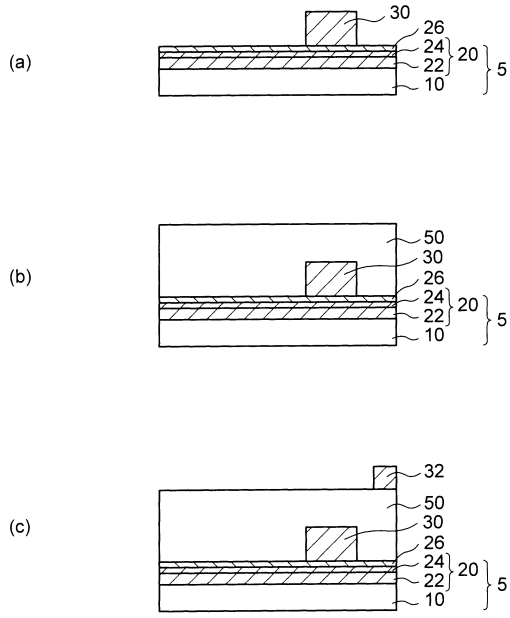
【図13】



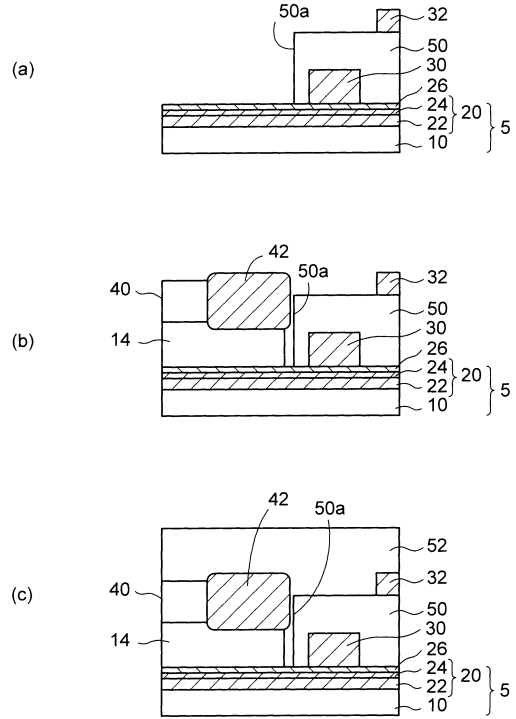
【図14】



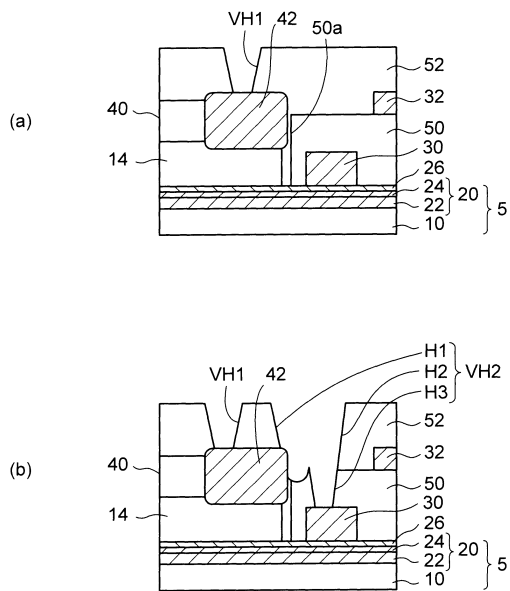
【 図 1 5 】



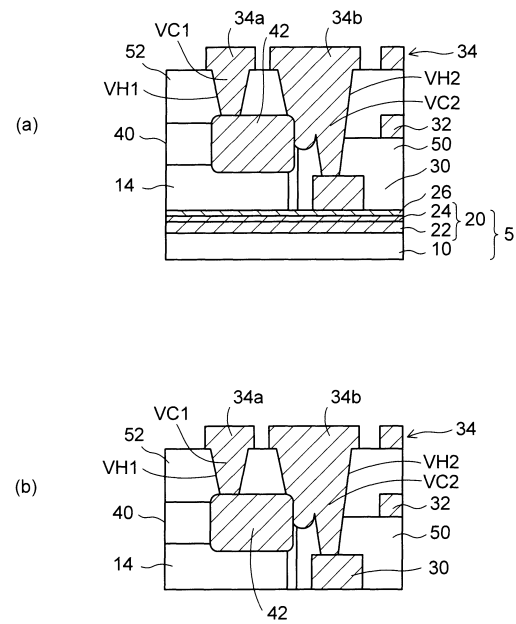
【 図 1 6 】



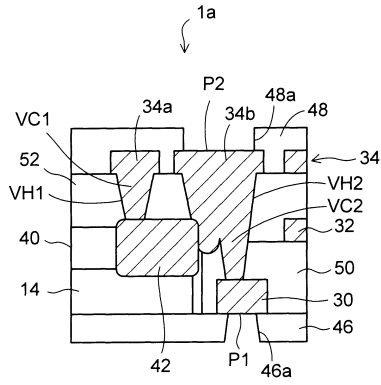
【 図 1 7 】



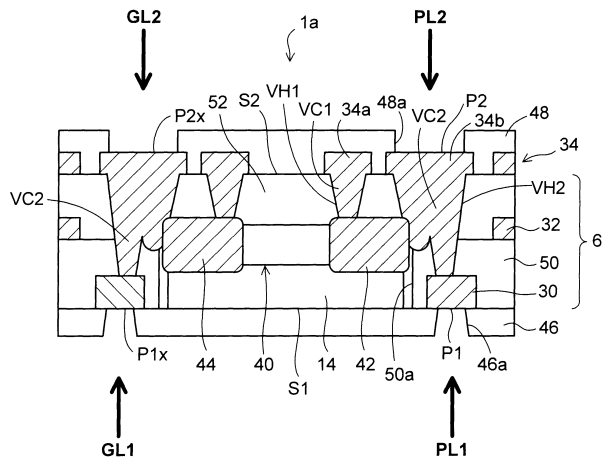
【 図 1 8 】



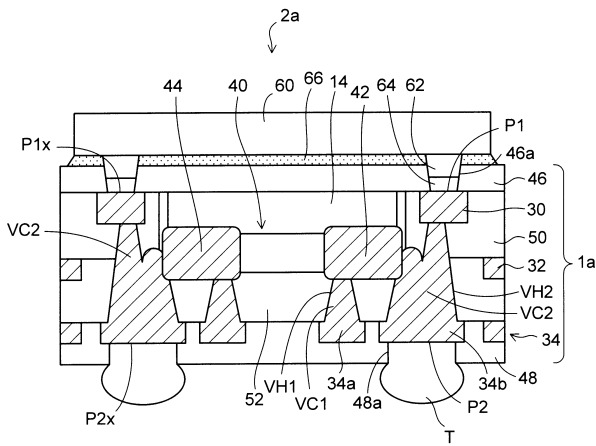
【図19】



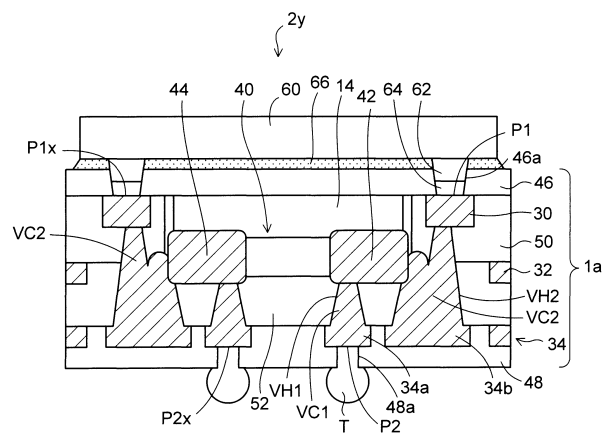
【図20】



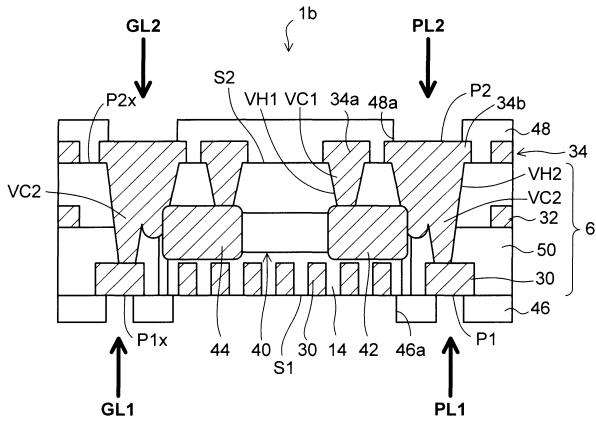
【図21】



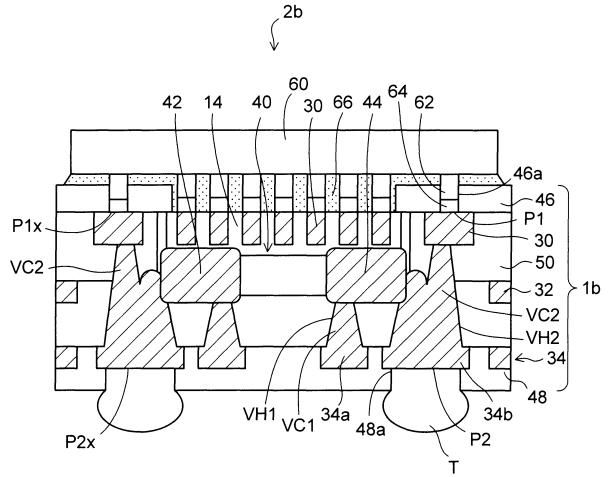
【図22】



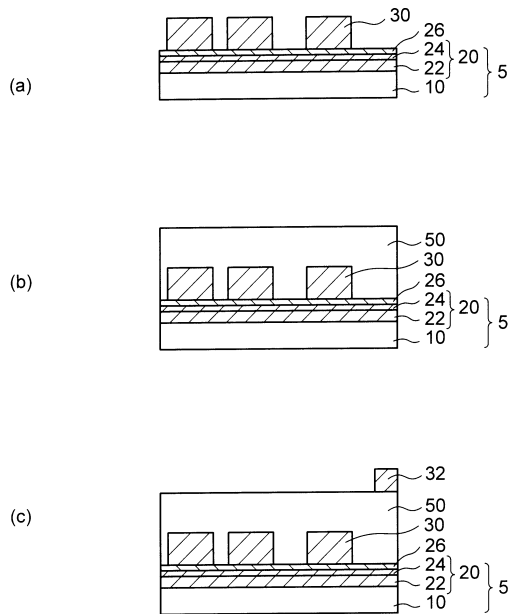
【 図 2 3 】



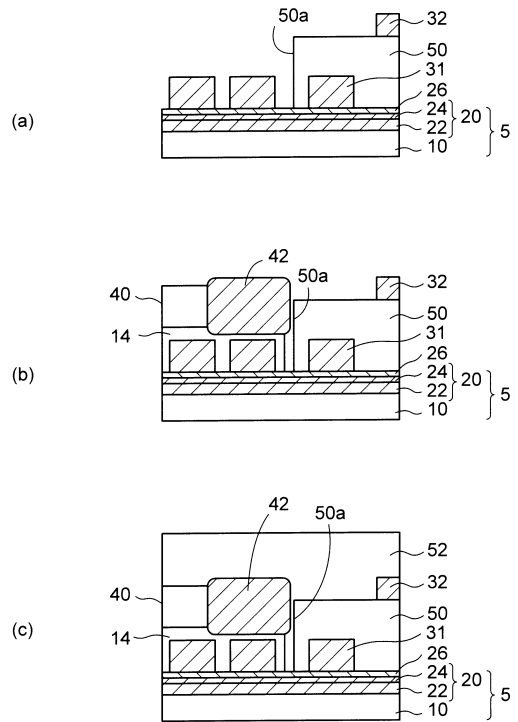
【 図 2 4 】



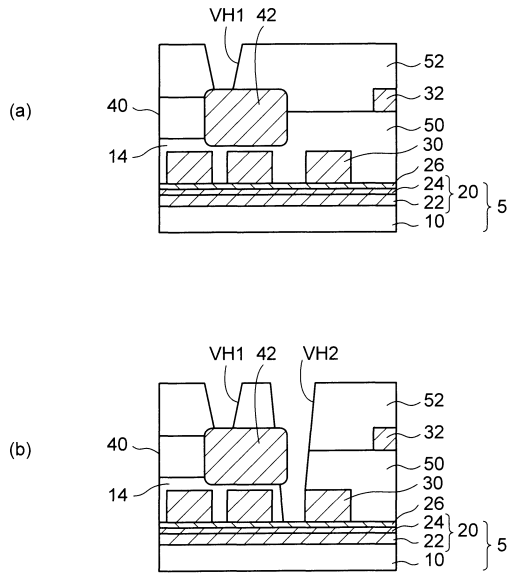
【 図 2 5 】



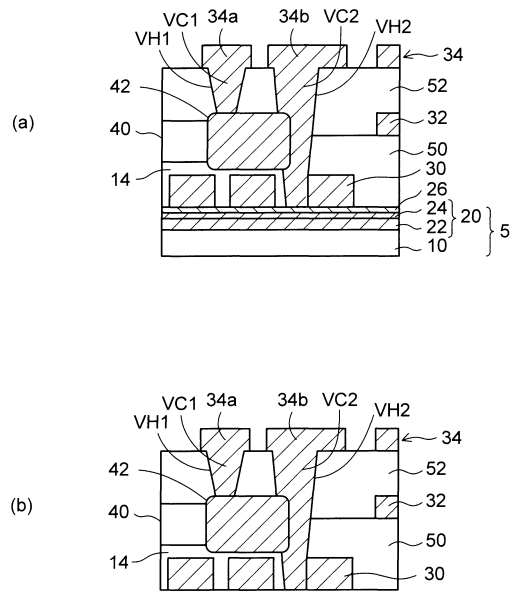
【 図 2 6 】



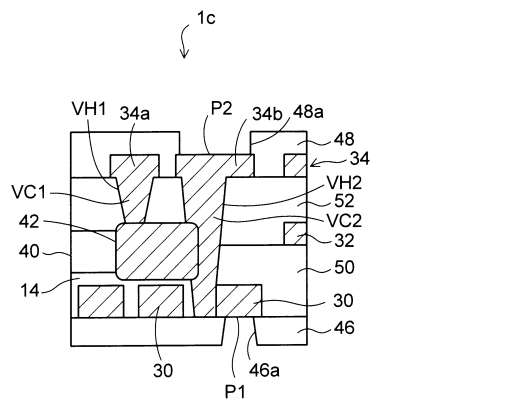
【図 27】



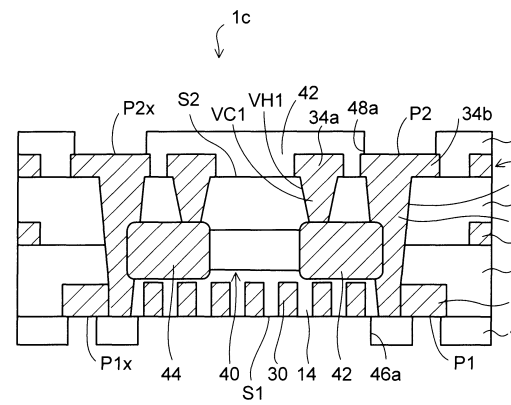
【図 28】



【図 29】



【図 30】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 3/46 N
H 0 5 K 3/46 Q

(72)発明者 千野 武志
長野県長野市小島田町80番地 新光電気工業株式会社内
(72)発明者 小林 和弘
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 豊島 洋介

(56)参考文献 特開2013-051336(JP,A)
国際公開第2009/081853(WO,A1)
特開2014-110423(JP,A)
国際公開第2014/125567(WO,A1)
特開2008-182071(JP,A)
国際公開第2006/046461(WO,A1)
特開2006-086488(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 6 0
2 3 / 1 2 - 2 3 / 1 5
H 0 5 K 3 / 4 6