

다.

[종래의 기술 및 그 문제점]

반도체 직접회로(IC)내의 전원선에는 저항성, 용량성 및 유도성의 부하가 기생적으로 발생하는 것이 알려져 있는 바, 이러한 기생부하들중에서 특히, 유도성부하는 전원선에 흐르는 전류가 급격히 변화될때에 큰 잡음을 발생시키게 된다. 이와 같이 전원선에 흐르는 전류를 급격히 변화시키는 요인으로서 는 반도체 직접회로의 신호를 외부로 출력하는 출력회로를 들 수 있다. 즉, 이 출력회로에서는 반도체 직접회로로 외부의 부하용량을 고속으로 구동시키기 위해 전원선으로부터 매우 큰 전류를 취출 해서 부하용량을 충·방전시킬 필요가 있고, 더욱이 반도체 직접회로내에는 이와 같은 출력회로가 복수개 설치되어 있으며, 이들 중에서 몇 개의 출력회로가 동시에 스위칭동작을 수행하는 경우가 있기 때문에 전원선에 흐르는 전류가 급격히 변화되게 된다.

제6도는 MOS반도체 직접회로내에 설치되는 종래 출력회로의 구성을 나타낸 회로도로서, 반도체 직접 회로 내부의 신호(In)는 인버터로 이루어진 프리버퍼(21 ; Pre-buffer)를 매개로 P채널 MOS트랜지스터(22) 및 N채널 MOS트랜지스터(23)로 이루어진 CMOS인버터로 구성된 버퍼(24)에 공급되고, 이 버퍼 (24)의 출력단자로부터는 출력신호(out)가 출력된다.

이와 같은 출력회로는 버퍼(24)가 각각 1개의 P채널 MOS트랜지스터(22) 및 N채널 MOS트랜지스터(23)로 구성되어 있기 때문에 출력신호(out)가 스위칭될 때 전원전압(Vcc)으로부터 유출되는 전류 및 접지전압(Vss)으로 유입되는 전류값이 각각 양 트랜지스터(22,23)의 특성에 의해 결정되게 된다.

그런데, 최근에는 반도체 직접회로의 고속화 및 고전류출력화를 위해 출력회로의 상호컨덕턴스를 증대시켜 부하전류 구동능력을 크게 만들 필요가 있기 때문에 상기 버퍼(24)를 구성하는 MOS트랜지스터(22,23)의 ON저항을 감소시키는 경향이 있다.

그 결과, 종래의 회로에서는 전원전압(Vcc)이나 접지전압(Vss)의 전원선에서 발생하는 잡음이 증가 될 뿐만 아니라 스위칭동작을 하지 않는 출력회로의 신호잡음도 증가되었다.

즉, 종래 출력회로의 버퍼는 부하전류 구동능력이 큰 트랜지스터로 구성하는 한편, 이 트랜지스터를 고속으로 스위칭 동작시키도록 하고 있기 때문에, 전원선에서 발생하는 잡음이 증가되고, 이에 따라 스위칭동작을 하지 않는 출력회로의 신호잡음도 증가되는 등의 문제점이 있었다.

[발명의 목적]

본 발명은 상기한 점을 감안해서 발명된 것으로, 스위칭동작을 할때에 전원선에서 발생하는 잡음을 줄일수 있도록 된 반도체 직접회로의 출력회로를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 부하에 공통접속되면서 상기 부하에 대해 서로 다른 전류구동능력을 갖춘 다수의 출력트랜지스터와, 서로 다른 지연시간으로 상기 각 출력트랜지스터를 구동시키도록 구동신호를 지연시키기 위해 상기 다수의 출력트랜지스터의 입력에 각각 연결된 다수의 신호 지연수단을 구비하여 구성되고, 제1지연시간을 갖는 상기 신호지연수단중으로부터의 어느 하나의 지연신호에 의해 구동되는 상기 다수의 출력트랜지스터중 적어도 첫번째 출력트랜지스터의 전류구동동력이 제1지연시간보다 더 짧은 제2지연시간중으로부터의 어느 하나의 지연신호에 의해 구동되는 상기 다수의 출력트랜지스터중 적어도 두번째 출력트랜지스터의 전류구동능력 보다 더 크게 설정되도록 된 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명은, 전류구동능력이 다른 복수의 출력트랜지스터가 시간을 달리 하여 차례로 구동되고, 더욱이 전류구동능력이 큰 출력트랜지스터로 될수록 지연되어 구동되기 때문에 전원선에 흐르는 전류의 시간적인 변화를 작게하면서 일정하게 한다. 따라서, 스위칭잡음을 절감시킬 수 있게 된다.

[실시예]

이하, 예시도면을 참조해서 본 발명에 따른 1실시예를 상세히 설명한다.

제1도는 본 발명을 MOS반도체 직접회로의 출력회로에 실시한 경우의 구성을 나타낸 회로도로서, 도면중 참조부호 1은 반도체 직접회로 내부의 신호(In)가 공급되는 인버터로 이루어진 프리버퍼(pre-buffer)이다. 또, 참조부호 2₀~2_n은 상기 프리버퍼 (1)의 출력을 증폭하여 반도체 직접회로의 외부로 출력신호(out)로서 출력하기 위한 버퍼를 구성하는 P채널측의 출력트랜지스터이고, 마찬가지로 참조부호 3₀~3_n은 각각 버퍼를 구성하는 N채널측의 출력트랜지스터이다.

상기 (n+1)개의 P채널측 출력트랜지스터 (3₀~3_n)의 소오스는 전원전압(Vcc)에 각각 접속되어 있으며, 각 드레인은 출력신호(out)의 노드에 공통접속되어 있다. 또, 상기 출력트랜지스터(2₀~2_n)중에서 출력트랜지스터 (2₀)의 전류구동능력이 가장 크게 설정되어 있고, 출력트랜지스터(2₀), 출력트랜지스터(2₁)...의 순서로 그 전류구동능력이 작아지도록 설정되어 있다.

또, 상기(n+1)개의 N채널측 출력트랜지스터(3₀~3_n)의 소오스는 접지전위(Vss)에 각각 접속되어 있으며, 각 드레인은 출력신호(out)의 노드에 공통접속되어 있다. 그리고, p채널측 출력트랜지스터(2₀~2_n)와 마찬가지로 이들 (n+1)개의 N채널측 출력트랜지스터(3₀~3_n)에 있어서도 출력트랜지스터 (3₀)의 전류구동능력이 가장 크게 설정되어 있고, 출력트랜지스터(3₀), 출력트랜지스터(3₁)...의 순서로 전류구동능력이 작아지도록 설정되어 있다. 더욱이, p채널측 출력트랜지스터(2₀~2_n) 전체의 전류

구동능력은 종래 출력회로의 버퍼에 있어서의 P채널 MOS트랜지스터(22) 1개의 전류구동능력과 동일하게 설정되어 있으며, N채널측 출력트랜지스터(3₀~3_n) 전체의 전류구동능력도 종래 출력회로의 버퍼에 있어서의 N채널 MOS트랜지스터(23) 1개의 전류구동능력과 동일하게 설정되어 있다..

상기 프리버퍼(1)의 출력단과 상기(n+1)개의 P채널측 출력트랜지스터 (2₀ ~ 2_n)의 게이트간의(n+1)개의 예컨대 폴리실리콘으로 구성된 저항(4₀~4_n)이 각각 삽입되어 있고, 마찬가지로 프리버퍼(1)의 출력단과 상기 (n+1)개의 N채널측 출력트랜지스터(3₀~3_n)의 게이트간에는 (n+1)개의 예컨대 폴리실리콘으로 구성된 저항(5₀ ~ 5_n)이 각각 삽입되어 있는 바, 상기 (n+1)개의 저항(4₀~4_n)중에서는 저항(4_n)의 값이 가장작게 설정되고, 저항(4_n)... 저항(4₁), 저항(4₀)의 순서로 그 값이 커지도록 설정되어 있다. 또, 마찬가지로 상기(n+1)개의 저항(5₀~5_n)중에서는 저항(5_n)의 값이 가장 작게 설정되고, 저항(5_n)... 저항(5₁), 저항(5₀)의 순서로 그 값이 커지도록 설정되어 있다. 즉, 저항(4₀~4_n) 및 저항(5₀~5_n)의 각각의 값을 rP₀~rP_n, rN₀~rN_n으로 정의하면, 이들간에는 다음에 나타낸 것과 같은 대소관계가 성립되도록 되어 있다.

$$rP_i < rP_{i-1} \text{ (단, } i=1 \sim n) \text{ (1)}$$

$$rN_i < rN_{i-1} \text{ (단, } i=1 \sim n) \text{ (2)}$$

상기 각 저항(4₀~4_n, 5₀~5_n)은 각각의 일단이 접속되어 있는 P채널 MOS트랜지스터(2₀~2_n) 또는 N채널 MOS트랜지스터(3₀~3_n)의 게이트에 기생적으로 존재하고 있는 가 게이트의 입력용량과 함께 시정수(RC)에 의한 신호지연회로를 구성하게 된다. 이때, 각 지연회로에 있어서 신호의 지연시간은 그 저항치에 비례하게 되므로, p채널측에서 저항(4₀), 저항(4_n)... 저항(4_n)의 순서로 신호의 지연시간이 짧아지게 되며, N채널측에서는 저항(5_n), 저항(5₁)... 저항(5_n)의 순서로 신호의 지연시간이 짧아지게 된다.

즉, 본 실시예회로에서는 P채널측 및 N채널측 각 버퍼내의 복수개의 출력트랜지스터(2₀~2_n, 3₀~3_n)를 부하전류 구동능력이 클수록 신호의 지연시간이 길어지도록 하는 상기 복수의 신호지연회로의 출력으로 선택적으로 구동시킬 수 있게 된다. 한편, 출력신호(out)의 노드와 접지전압(Vss)간에 접속되어 있는 부하용량(6)은 이 출력회로가 구동시켜야 할 외부부하를 증가적으로 나타낸 것이다.

다음에 상기한 구성으로 된 출력회로에 있어서 N채널측 출력트랜지스터(3₀ ~ 3_n)가 OFF상태에서 ON상태로 변화되고, 출력신호(out)가 제2도의 파형도(a)에 나타낸 바와 같이 전원전압(Vcc)으로부터 접지전압(Vss)으로 스위칭될 때의 동작을 설명한다.

출력신호(out)가 전원전압(Vcc)에서 접지전압(Vss)으로 스위칭된다는 것은 입력신호(IN)가 전원전압(Vcc)으로부터 접지전압(Vss)으로 변화된다는 것을 의미하는 것으로, 이에 따라 프리버퍼(1)의 출력이 접지전압(Vss)에서 전원전압(Vcc)으로 변화하게 되면, 저항(5_n)과 이 저항(5_n)이 접속되어 있는 N채널 MOS트랜지스터(3_n)의 게이트입력용량에 의해 이루어지는 지연시간이 가장 짧은 신호지연회로의 출력이 우선 처음으로 접지전압(Vss)에서 전원전압(Vcc)으로 변화된다. 이에 따라, N채널측에서 가장 전류구동능력이 작게 설정되어 있는 출력트랜지스터(3_n)가 ON상태로 되고, 이 출력트랜지스터(3_n)를 매개로 출력신호 (out)가 접지전압(Vss)으로 방전되는데, 이때 이 출력트랜지스터(3_n)의 전류구동능력이 작기 때문에 접지전압(Vss)의 전원선으로 유입되는 전류는 급격히 변화되지 않게 된다. 이어서, 지연시간이 보다 긴 신호지연회로의 출력이 순차적으로 접지전압(Vss)으로부터 전원전압(Vcc)으로 변화되면서 출력되므로 전류구동능력이 큰 순서에 따라 다른 트랜지스터(3_{n-1}, 3_{n-2}, ... 3₁, 3₀)가 차례로 ON되게 되는 바, 이로써 접지전압(Vss)의 전원선으로 유입되는 전류의 시간적인 변화를 작게하면서 일정하게 할 수 있게 된다.

제2도(b)의 파형도는 종래회로와 상기 실시예회로에 대한 출력전류의 변화를 나타낸 것으로, 도면에서 실선은 상기 실시예회로의 경우를, 점선은 종래회로의 경우를 각각 나타낸다. 또, 제2도(c)의 파형도는 상기와 같은 전류가 흐를때 전원선에 발생하는 종래회로와 상기 실시예회로의 잡음의 변화를 나타낸 것으로, 도면에서 실선은 상기 실시예회로의 경우를, 점선은 종래회로의 경우를 각각 나타낸다. 상기 도면에 나타낸 바와 같이 상기 실시예회로에 있어서 전원잡음의 발생은 점선으로 나타낸 종래회로에서의 전원잡음의 발생에 비하여 크게 감소되어 있음을 알 수 있다.

한편, 출력신호(out)가 전원전압(Vcc)레벨로부터 접지전압(Vss)레벨로 변화될 때, 그 전압치(Vout)는 상기 부하용량(6)의 값을 C6로 하고, 접지로 유입되는 전류를 I(t)로 하면, 다음의 식으로 표시된다.

$$V_{out}(t) = V_{cc} - (1/C_6) \int I(t) dt \text{ (3)}$$

여기서, 출력신호(out)자체의 잡음을 가능한 한 줄이고, 스위칭동작을 고속으로 하기 위해서는 di/dt=k(k는 정수), 즉 I(t)=kt의 조건이 필요하다. 그런데, 상기 실시예회로에서는 제2도(b)에 실선으로 나타낸 파형도와 같이 전류가 증가될 때의 기울기가 시간(t)에 대한 대략적인 1차 함수, 즉 직선으로 되기 때문에 상기의 조건을 만족시킬 수 있게 된다.

이때,

$$V_{out}(t) = V_{cc} - (K/2C_6)t^2 \text{ (4)}$$

으로 되어, 시간(t)에 대한 출력전압(Vout)의 변화는 제3도의 특성 곡선에서 실선으로 나타낸 바와 같이 2차 곡선으로 된다. 또, 제3도의 특성곡선에서 점선은 종래회로의 경우를 나타낸 것이다. 즉,

d^2V/dt^2 의 값이 일정하게 될 때 출력잡음이 최소가 되는 바, 이러한 특성을 얻을 수 있도록 상기 저항($4_0 \sim 4_n, 5_0 \sim 5_n$)의 값을 결정하는 것이 바람직하다.

상기 실시예회로에 있어서 P채널측 트랜지스터($2_0 \sim 2_n$)가 OFF상태로 부터 ON상태로 변화되고, 출력신호(out)가 접지전압(V_{ss})으로부터 전원전압(V_{cc})으로 스위칭될 때에는 접지전압(V_{cc})의 전원선에 잡음이 발생되지만, 이 경우에도 상기한 것과 동일한 이유에 의해 전원전압(V_{cc})의 전원선에 발생하는 잡음을 줄일 수 있게 된다.

이상에서 설명한 바와 같이 상기 실시예회로에 의하면, 버퍼내의 P채널측 및 N채널측에 각각 복수개의 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)를 설치하고, 이들의 턴-온 시간을 변화시켜 차례로 ON되도록 함으로써 전원선에 발생하는 잡음을 크게 줄일 수 있게 된다. 더욱이, P채널측 및 N채널측 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 부하전류구동능력을 종래와 동일하게 할 수 있으므로 동작의 고속화와 고전류출력화가 손상되지는 않는다. 또, 전원잡음을 줄일 수 있게 됨으로써 스위칭동작을 하지 않는 출력회로의 출력잡음도 줄일 수 있게 된다.

제4도는 본 발명을 MOS반도체 직접회로의 출력회로에 실시한 다른 실시예의 구성을 나타낸 회로도로서, 상기 제1도의 실시예회로는 각 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 게이트입력용량과 함께 시정수(RC)에 의한 신호지연회로를 구성하게 되는 저항($4_0 \sim 4_n, 5_0 \sim 5_n$)을 프리버퍼(1)의 출력단과 각 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 게이트간에 접속시킨 예인 것임에 대하여, 본 실시예회로는 프리버퍼(1)의 출력단과 (n+1)개의 P채널측 출력트랜지스터($2_0 \sim 2_n$)중에서 전류구동능력이 가장 크게 설정되어 있는 출력트랜지스터(2_0)의 게이트간에(n+1)개의 저항($7_0 \sim 7_n$)을 직렬접속시키고, 또한 프리버퍼(1)의 출력단과(n+1)개의 N채널측 출력트랜지스터($3_0 \sim 3_n$)중 전류구동능력이 가장 크게 설정되어 있는 트랜지스터(3_0)의 게이트간에(n+1)개의 저항($8_0 \sim 8_n$)을 직렬접속시킨 구성으로 되어 있다.

그러면, p채널측에 접속된 (n+1)개의 저항($7_0 \sim 7_n$)의 각 접속점에서 얻어지는 지연시간이 차례대로 길게 된 지연신호가 각 출력트랜지스터($2_0, 2_{n-1}, \dots, 2_1, 2_0$; 제4도에 출력트랜지스터(2_1)는 도시되어 있지 않음)의 게이트에 차례로 공급되게 되며, 마찬가지로 N채널측에 접속된 (n+1)개의 저항($8_0 \sim 8_n$)의 각 접속점에서 얻어지는 지연시간이 차례로 길게 된 지연 신호가 각 출력트랜지스터($3_0, 3_{n-1}, \dots, 3_1, 3_0$; 제4도에 출력트랜지스터(3_1)는 도시되어 있지 않음)의 게이트에 차례로 공급되게 된다.

이와 같이 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 전류구동능력을 조절함에 따라 전원선에 흐르는 전류의 시간적인 변화를 억제할 수 있게 된다. 그리고, 본 실시예의 경우 저항($7_0 \sim 7_n$) 각각의 값을 반드시 서로 다르게 설정할 필요는 없으며, 저항($8_0 \sim 8_n$)에 대해서도 마찬가지이다.

제5도는 본 발명을 MOS반도체 직접회로에 출력회로에 실시한 또 다른 실시예의 구성을 나타낸 회로도로서, 상기 제1도의 실시예회로는 프리버퍼 (1)의 출력을 저항($4_0 \sim 4_n, 5_0 \sim 5_n$)과 MOS트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 게이트입력용량을 이용해서 지연시키는 신호지연회로를 구성한 경우의 예이지만, 본 실시예회로는 버퍼를 구성하는 각각의 P채널측 MOS트랜지스터($2_0 \sim 2_n$) 및 각각의 N채널측 MOS트랜지스터 ($3_0 \sim 3_n$)로 이루어진 각 CMOS인버퍼($9_0 \sim 9_n$)에 대해서 독립적으로 프리버퍼($10_0 \sim 10_n$)를 설치한 구성으로 되어 있다.

이들 프리버퍼($10_0 \sim 10_n$)의 전류구동능력이나 회로 임계치 전압은 대응되는 CMOS인버터($9_0 \sim 9_n$)를 구성하고 있는 MOS트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 전류구동능력에 부합되도록 설정되어 있다. 예컨대, 프리버퍼($10_0 \sim 10_n$)의 전류구동능력을 변화시키는 경우에는 그 전류구동능력과 다음단의 CMOS인버터($9_0 \sim 9_n$)의 입력용량에 기초해서 신호의 지연시간이 결정된다. 또한, 프리버퍼($10_0 \sim 10_n$)의 회로임계치전압을 변화시키는 경우에는 그 임계치레벨에 기초해서 신호의 지연시간이 결정된다.

한편, 본원 청구범위의 각 구성요소에 병기된 도면참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정하는 의도에서 병기한 것은 아니다.

[발명의 효과]

이상에서 설명한 바와 같은 본 발명에 의하면, 스위칭동작을 할때 전원선에 발생하는 잡음을 줄일 수 있는 반도체 직접회로의 출력회로를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1

부하(6)에 공통접속되면서 상기 부하(6)에 대해 서로 다른 전류구동능력을 갖춘 다수의 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)와, 서로 다른 지연시간으로 상기 각 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)를 구동시키도록 구동신호를 지연시키기 위해 상기 다수의 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)의 입력에 각각 연결된 다수의 신호지연수단($4_0 \sim 4_n, 5_0 \sim 5_n ; 7_0 \sim 7_n, 8_0 \sim 8_n ; 10_0 \sim 10_n$)을 구비하여 구성되고, 제1지연시간을 갖는 상기 신호지연수단($4_0 \sim 4_n, 5_0 \sim 5_n ; 7_0 \sim 7_n, 8_0 \sim 8_n ; 10_0 \sim 10_n$)중으로부터의 어느 하나의 지연신호에 의해 구동되는 상기 다수의 출력트랜지스터($2_0 \sim 2_n, 3_0 \sim 3_n$)중 적어도 첫번째 출력트랜지스터($2_0 \sim 2_n$)의 전류구동능력이 제1지연 시간보다 더 짧은 제2지연시간을 갖는 상기 신호지연수단($4_0 \sim 4_n, 5_0$

$\sim 5_n ; 7_0 \sim 7_n , 8_0 \sim 8_n ; 10_0 \sim 10_n$)중으로 부터의 어느 하나의 지연신호에 의해 구동되는 상기 다수의 출력트랜지스터($2_0 \sim 2_n , 3_0 \sim 3_n$)중 적어도 두번째 출력트랜지스터($2_0 \sim 2_n$)의 전류구동능력 보다 더 크게 설정되도록 된 것을 특징으로 하는 반도체 집적회로의 출력 회로.

청구항 2

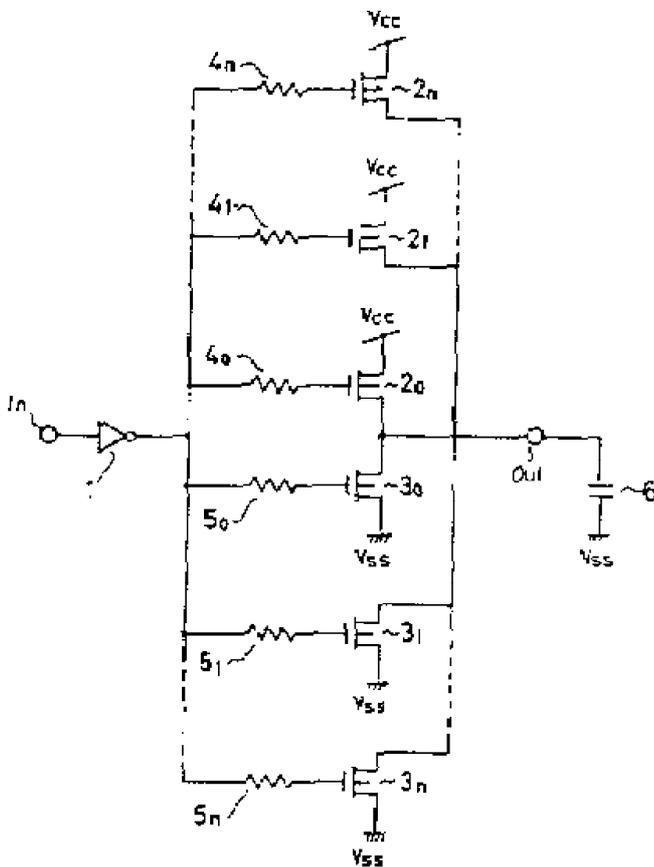
제1항에 있어서, 상기 다수의 출력트랜지스터($2_0 \sim 2_n , 3_0 \sim 3_n$)는 더 큰 전류구동능력을 갖는 상기 다수의 출력트랜지스터($2_0 \sim 2_n , 3_0 \sim 3_n$)중 어느 하나에 공급되는 구동신호가 더 작은 전류구동능력을 갖는 상기 다수의 출력트랜지스터($2_0 \sim 2_n , 3_0 \sim 3_n$)중 어느 하나에 공급되는 구동신호보다 더길게 지연됨으로써 더 큰 전류구동능력을 갖는 출력트랜지스터가 더 작은 전류구동능력을 갖는 출력트랜지스터 다음에 구동되도록 하는 상기 신호지연수단($4_0 \sim 4_n , 5_0 \sim 5_n ; 7_0 \sim 7_n , 8_0 \sim 8_n ; 10_0 \sim 10_n$)의 출력에 의해 순차적으로 구동되도록 된 것을 특징으로 하는 반도체 집적회로의 출력회로.

청구항 3

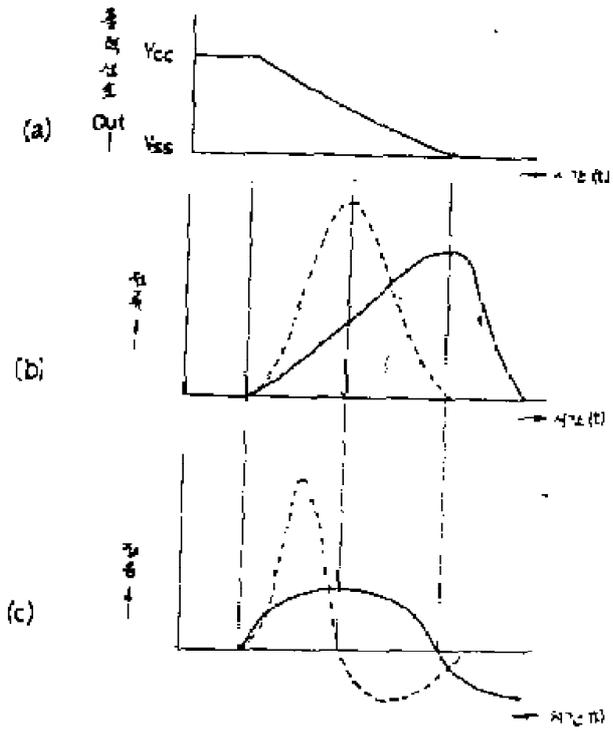
제1항에 있어서, 상기 각 신호지연수단($4_0 \sim 4_n , 5_0 \sim 5_n ; 7_0 \sim 7_n , 8_0 \sim 8_n$)이 폴리실리컨으로 이루어진 저항소자와 상기 출력트랜지스터($2_0 \sim 2_n , 3_0 \sim 3_n$)중 하나와 대응하는 입력용량으로 이루어진 시정수회로로 구성된 것을 특징으로 하는 반도체 집적회로의 출력회로.

도면

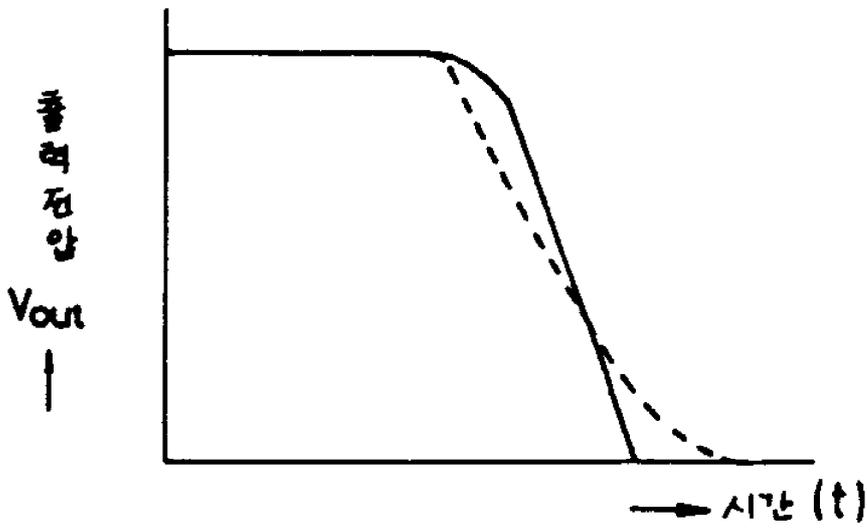
도면1



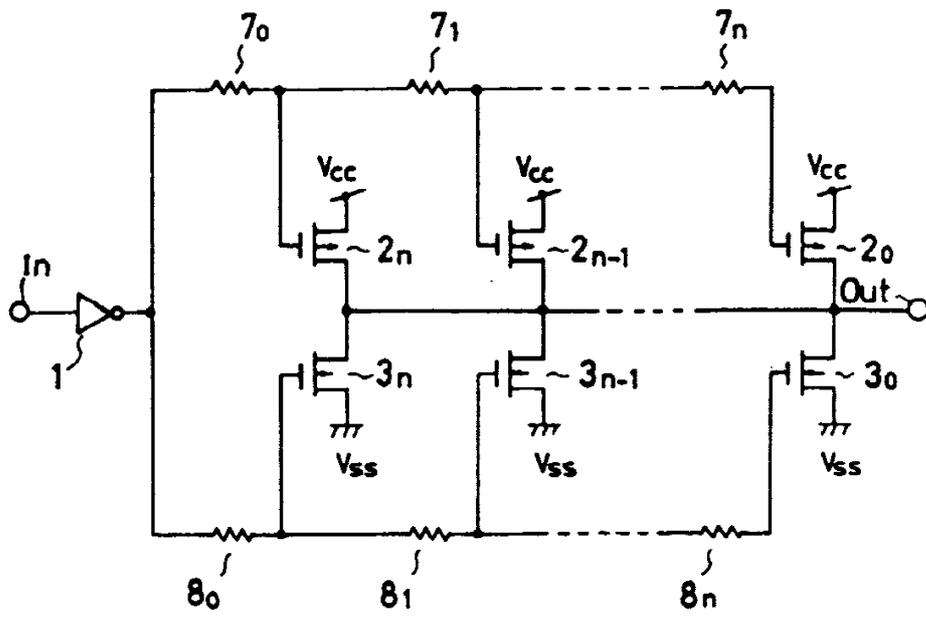
도면2



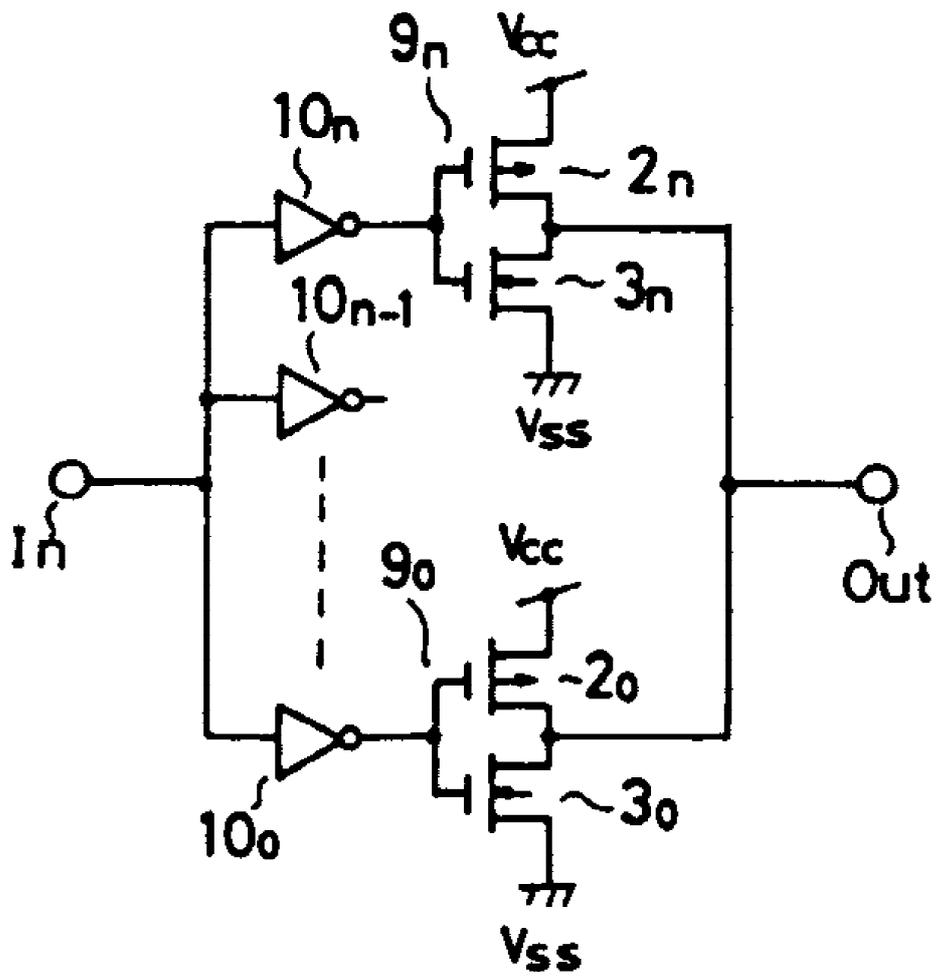
도면3



도면4



도면5



도면6

