



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I700798 B

(45) 公告日：中華民國 109 (2020) 年 08 月 01 日

(21) 申請案號：108109200

(22) 申請日：中華民國 108 (2019) 年 03 月 19 日

(51) Int. Cl. : *H01L23/492 (2006.01)**H01L23/535 (2006.01)*

(30) 優先權：2018/07/12 南韓

10-2018-0081028

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：許洧瑄 HEO, YU SEON (KR) ; 李在杰 LEE, JAE KUL (KR)

(74) 代理人：林孟閱；盧佩君；陳怡如

(56) 參考文獻：

TW I613772

TW 201737442A

TW 201814861A

TW 201824467A

TW 201824472A

審查人員：修宇鋒

申請專利範圍項數：15 項 圖式數：15 共 66 頁

(54) 名稱

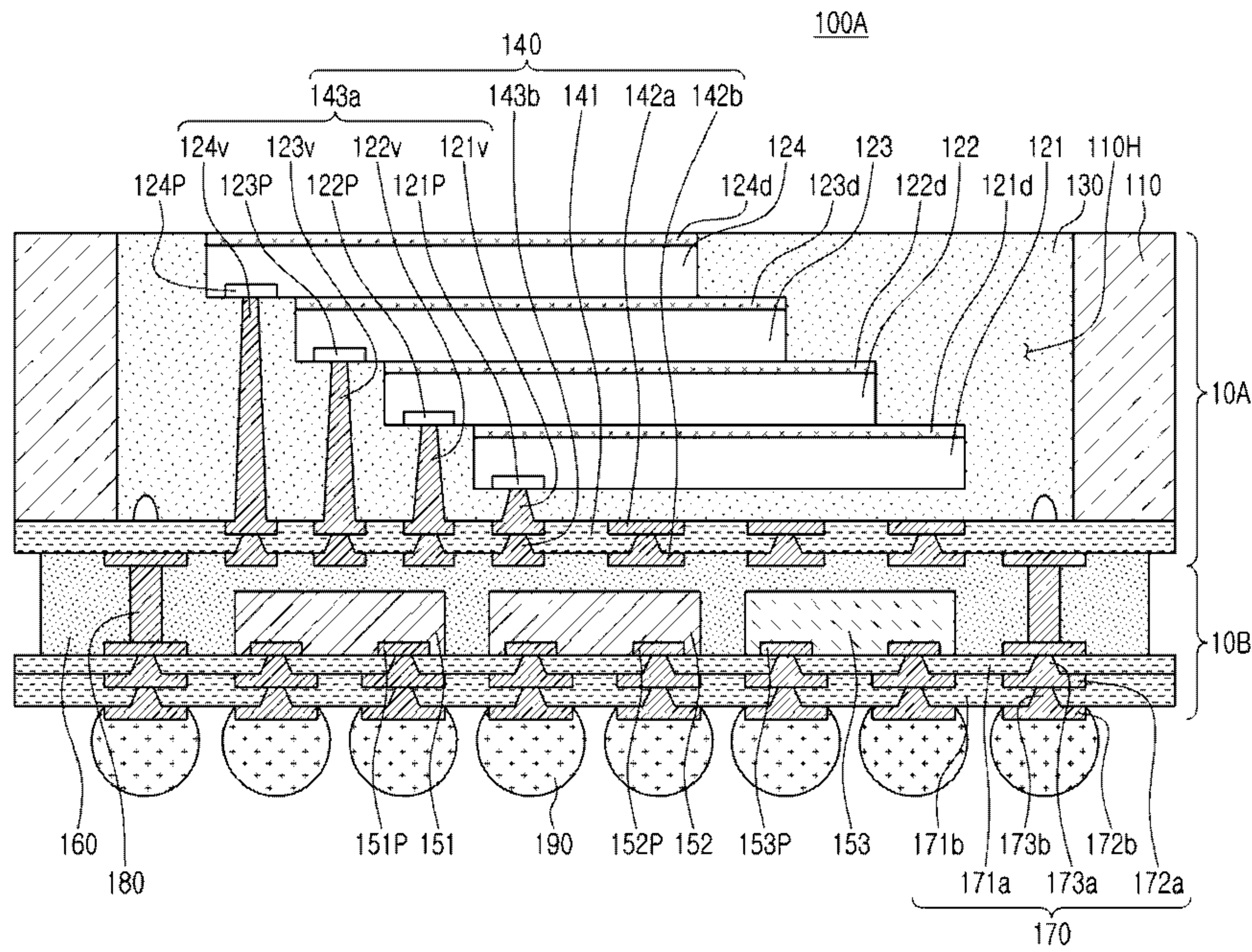
半導體封裝

(57) 摘要

一種半導體封裝包括：第一結構，包括多個堆疊起來的第一半導體晶片且藉由具有不同高度的連接通孔電性連接至第一重佈線層；以及第二結構，包括電性連接至第二重佈線層的第二半導體晶片。第一重佈線層與第二重佈線層藉由形成於第二結構上的電性連接構件而彼此電性連接。

A semiconductor package includes: a first structure including a plurality of stacked first semiconductor chips and electrically connected to a first redistribution layer through connection vias having different heights; and a second structure including a second semiconductor chip electrically connected to a second redistribution layer. The first and second redistribution layers are electrically connected to each other through an electrical connection member formed on the second structure.

指定代表圖：



【圖 9】

符號簡單說明：

- 10A . . . 第一結構
 10B . . . 第二結構
 100A . . . 半導體封裝/封裝
 110 . . . 框架
 110H . . . 貫穿孔
 121、122、123、124 . . . 第一半導體晶片
 121d、122d、123d、124d . . . 黏合膜
 121P、122P、123P、124P . . . 第一連接墊/連接墊
 121v、122v、123v、124v . . . 連接通孔
 130 . . . 第一包封體
 140 . . . 第一連接構件
 141 . . . 第一絕緣層
 142a . . . 第一重佈線層/1-1 重佈線層/重佈線層
 142b . . . 第一重佈線層/1-2 重佈線層/重佈線層
 143a . . . 第一重佈線通孔/1-1 重佈線通孔
 143b . . . 第一重佈線通孔/1-2 重佈線通孔
 151、152 . . . 第二半導體晶片/半導體晶片
 151P、152P、153P . . . 連接墊

- 153 . . . 第三半導體晶片/半導體晶片
- 160 . . . 第二包封體
- 170 . . . 第二連接構件
- 171a . . . 第二絕緣層/2-1 絕緣層
- 171b . . . 第二絕緣層/2-2 絕緣層
- 172a . . . 第二重佈線層/2-1 重佈線層/重佈線層
- 172b . . . 第二重佈線層/2-2 重佈線層/重佈線層
- 173a . . . 第二重佈線通孔/2-1 重佈線通孔
- 173b . . . 第二重佈線通孔/2-2 重佈線通孔
- 180 . . . 電性連接構件/貫通孔/框架
- 190 . . . 電性連接結構



I700798

【發明摘要】

【中文發明名稱】半導體封裝

【英文發明名稱】SEMICONDUCTOR PACKAGE

【中文】一種半導體封裝包括：第一結構，包括多個堆疊起來的第一半導體晶片且藉由具有不同高度的連接通孔電性連接至第一重佈線層；以及第二結構，包括電性連接至第二重佈線層的第二半導體晶片。第一重佈線層與第二重佈線層藉由形成於第二結構上的電性連接構件而彼此電性連接。

【英文】 A semiconductor package includes: a first structure including a plurality of stacked first semiconductor chips and electrically connected to a first redistribution layer through connection vias having different heights; and a second structure including a second semiconductor chip electrically connected to a second redistribution layer. The first and second redistribution layers are electrically connected to each other through an electrical connection member formed on the second structure.

【指定代表圖】圖9。

【代表圖之符號簡單說明】

10A：第一結構

10B：第二結構

100A：半導體封裝/封裝

110：框架

110H：貫穿孔

121、122、123、124：第一半導體晶片

121d、122d、123d、124d：黏合膜

121P、122P、123P、124P：第一連接墊/連接墊

121v、122v、123v、124v：連接通孔

130：第一包封體

140：第一連接構件

141：第一絕緣層

142a：第一重佈線層/1-1 重佈線層/重佈線層

142b：第一重佈線層/1-2 重佈線層/重佈線層

143a：第一重佈線通孔/1-1 重佈線通孔

143b：第一重佈線通孔/1-2 重佈線通孔

151、152：第二半導體晶片/半導體晶片

151P、152P、153P：連接墊

153：第三半導體晶片/半導體晶片

160：第二包封體

170：第二連接構件

171a：第二絕緣層/2-1 絕緣層

171b：第二絕緣層/2-2 絕緣層

172a：第二重佈線層/2-1 重佈線層/重佈線層

172b：第二重佈線層/2-2 重佈線層/重佈線層

173a：第二重佈線通孔/2-1 重佈線通孔

173b：第二重佈線通孔/2-2 重佈線通孔

180：電性連接構件/貫通孔/框架

190：電性連接結構

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體封裝

【英文發明名稱】SEMICONDUCTOR PACKAGE

[相關申請案的交叉參考]

【0001】 本申請案主張 2018 年 7 月 12 日在韓國智慧財產局中申請的韓國專利申請案第 10-2018-0081028 號的優先權的權益，所述申請案的揭露內容全文以引用方式併入本案。

【技術領域】

【0002】 本揭露是有關於一種半導體封裝，例如能夠使電性連接結構延伸超過其中配置有半導體晶片的區域的扇外型半導體封裝。

【先前技術】

【0003】 為滿足對電子裝置的小型化、輕量化、高容量及多功能性的需求，電子電路裝置應在更小的空間中執行更多功能。因此，在此類電子裝置中採用的各種半導體晶片需要薄化及微電路化（microcircuited），且用於封裝此類半導體晶片的技術亦需要小型化且被製作成多功能的。因此，封裝技術在作為單一單元封裝達成相同或不同類型的半導體晶片的方向上得到了積極的發展。

【0004】 舉例而言，為提高其中半導體封裝的尺寸僅為半導體晶片尺寸的約 110%至 120%的晶片級封裝（chip scale package，CSP）及半導體裝置的資料容量及處理速度，正在開發其中在垂直方向

上堆疊有多個半導體晶片的堆疊式半導體封裝（stacked semiconductor package，SSP）。此種高度整合的封裝技術能夠在不增大體積的情況下使用更複雜的電子器件。

【0005】 同時，在當代堆疊式半導體封裝中，堆疊起來的半導體晶片經由導電線連接至基板的連接墊。然而，隨著電子裝置變得更為多功能且高度整合，需要更大數目的輸入/輸出（input/output，I/O）端子。此外，隨著輸入/輸出端子的數目增加，焊線接合設備亦增加。因此，存在半導體晶片的大部分可能無法在電路中使用的限制。特別是，在堆疊異質半導體晶片的情形中，需要更小且更密集的封裝方法以獲得盡可能多的晶粒空間。

【發明內容】

【0006】 本揭露的態樣是提供一種即使在使用多個半導體晶片的情形中亦可被製作成更薄且效能增加的高度整合的半導體封裝。

【0007】 根據本揭露的態樣，一種半導體封裝包括：多個第一半導體晶片，各自具有上面配置有第一連接墊的第一主動面以及與所述第一主動面相對的第一非主動面，所述第一半導體晶片被堆疊成使得所述第一連接墊被分別暴露出；第一包封體，覆蓋所述多個第一半導體晶片中的每一者的至少部分；第一連接構件，配置於較所述多個第一半導體晶片的位置低的位置中以及所述第一包封體的下部分中，且包括一或多個第一重佈線層以及將所述第一半導體晶片中的每一者的所述第一連接墊電性連接至所述一或

多個第一重佈線層的多個連接通孔，所述連接通孔中的每一者穿透至所述第一包封體中，且所述連接通孔的高度彼此不同；第二半導體晶片，配置於較所述第一連接構件的位置低的位置中，且具有上面配置有第二連接墊的第二主動面以及與所述第二主動面相對的第二非主動面；第二包封體，配置於較所述第一連接構件的位置低的位置中，且覆蓋所述第二半導體晶片的至少部分；第二連接構件，配置於較所述第二半導體晶片的位置低的位置中以及所述第二包封體的下部分中，且包括電性連接至所述第二連接墊的至少一個第二重佈線層；以及電性連接構件，穿過所述第二包封體，且電性連接所述一或多個第一重佈線層與所述至少一個第二重佈線層。

【0008】 根據本揭露的另一態樣，一種半導體封裝包括：多個第一半導體晶片，各自具有上面配置有第一連接墊的第一主動面以及與所述第一主動面相對的第一非主動面，且被堆疊成使得所述第一連接墊被分別暴露出；第一包封體，覆蓋所述多個第一半導體晶片中的每一者的至少部分；第一連接構件，配置於較所述多個第一半導體晶片的位置低的位置中以及所述第一包封體的下部分中，且包括一或多個第一重佈線層以及將所述第一半導體晶片中的每一者的所述第一連接墊電性連接至所述一或多個第一重佈線層的多個連接通孔，所述連接通孔中的每一者穿透至所述第一包封體中，且所述連接通孔的高度彼此不同；框架，配置於較所述第一連接構件的位置低的位置中，具有貫穿孔，且包括多個配

線層及電性連接所述多個配線層的一或多層配線通孔；第二半導體晶片，配置於所述貫穿孔中，且具有上面配置有第二連接墊的第二主動面以及與所述第二主動面對的第二非主動面；第二包封體，配置於較所述第一連接構件的位置低的位置中，且覆蓋所述第二半導體晶片的至少部分；第二連接構件，配置於較所述框架、所述第二半導體晶片的位置低的位置中以及所述第二包封體的下部分中，且包括電性連接至所述第二連接墊的至少一個第二重佈線層；以及多個第一電性連接結構，配置於較所述第二連接構件的位置低的位置中，且電性連接至所述至少一個第二重佈線層；以及多個第二電性連接結構，配置於所述第一連接構件與所述框架之間，且電性連接所述第一重佈線層與所述多個配線層。

【圖式簡單說明】

【0009】 藉由結合附圖閱讀以下詳細說明，將更清晰理解本揭露的以上及其他態樣、特徵以及優點，在附圖中：

圖 1 為示出電子裝置系統的實例的方塊示意圖。

圖 2 為示出電子裝置的實例的立體示意圖。

圖 3A 及圖 3B 為示出扇入型半導體封裝在封裝前及封裝後狀態的剖面示意圖。

圖 4 為示出扇入型半導體封裝的封裝製程的剖面示意圖。

圖 5 為示出扇入型半導體封裝安裝於印刷電路板上且最終安裝於電子裝置的主板上之情形的剖面示意圖。

圖 6 為示出扇入型半導體封裝嵌入印刷電路板中且最終安裝

於電子裝置的主板上之情形的剖面示意圖。

圖 7 為示出扇外型半導體封裝的剖面示意圖。

圖 8 為示出扇外型半導體封裝安裝於電子裝置的主板上之情形的剖面示意圖。

圖 9 為示出半導體封裝的實例的剖面示意圖。

圖 10 及圖 11 為示出圖 9 的半導體封裝的例示性製造程序的示意圖。

圖 12 為示出半導體封裝的另一實例的剖面示意圖。

圖 13 為示出半導體封裝的另一實例的剖面示意圖。

圖 14 為示出半導體封裝的另一實例的剖面示意圖。

圖 15 為示出半導體封裝的另一實例的剖面示意圖。

【實施方式】

【0010】 在下文中，將參照附圖闡述本揭露的實施例如下。為清晰起見，可誇大或減小圖式中的元件的形狀及尺寸。

電子裝置

【0011】 圖 1 為示出電子裝置系統的實例的方塊示意圖。

【0012】 參照圖 1，電子裝置 1000 中可容置主板 1010。主板 1010 可包括物理連接至或電性連接至主板 1010 的晶片相關組件 1020、網路相關組件 1030 以及其他組件 1040 等。該些組件可連接至以下將闡述的其他組件以形成各種訊號線 1090。

【0013】 晶片相關組件 1020 可包括：記憶體晶片，例如揮發性記憶體（例如，動態隨機存取記憶體（dynamic random access

memory, DRAM))、非揮發性記憶體(例如,唯讀記憶體(read only memory, ROM))、快閃記憶體等;應用處理器晶片,例如中央處理器(例如,中央處理單元(central processing unit, CPU))、圖形處理器(例如,圖形處理單元(graphics processing unit, GPU))、數位訊號處理器、密碼處理器(cryptographic processor)、微處理器、微控制器等;以及邏輯晶片,例如類比至數位轉換器(analog-to-digital converter, ADC)、應用專用積體電路(application-specific integrated circuit, ASIC)等。然而,晶片相關組件 1020 並非僅限於此,而是亦可包括其他類型的晶片相關組件。另外,晶片相關組件 1020 可彼此組合。

【0014】 網路相關組件 1030 可包括例如以下的協定:無線保真(wireless fidelity, Wi-Fi)(電氣及電子工程師學會(Institute of Electrical And Electronics Engineers, IEEE) 802.11 家族等)、全球互通微波存取(worldwide interoperability for microwave access, WiMAX)(IEEE 802.16 家族等)、IEEE 802.20、長期演進(long term evolution, LTE)、僅支援資料的演進(evolution data only, Ev-DO)、高速封包存取+(high speed packet access +, HSPA+)、高速下行封包存取+(high speed downlink packet access +, HSDPA+)、高速上行封包存取+(high speed uplink packet access +, HSUPA+)、增強型資料 GSM 環境(enhanced data GSM environment, EDGE)、全球行動通訊系統(global system for mobile communications, GSM)、全球定位系統(global positioning system, GPS)、通用封

包無線電服務 (general packet radio service , GPRS)、分碼多重存取 (code division multiple access , CDMA)、分時多重存取 (time division multiple access , TDMA)、數位增強型無線電訊 (digital enhanced cordless telecommunications , DECT)、藍芽、3G 協定、4G 協定及 5G 協定以及繼上述協定之後指定的任何其他無線協定及有線協定。然而，網路相關組件 1030 並非僅限於此，而是亦可包括多種其他無線標準或協定或者有線標準或協定。另外，網路相關組件 1030 可與上文所闡述的晶片相關組件 1020 一起彼此組合。

【0015】 其他組件 1040 可包括高頻電感器、鐵氧體電感器(ferrite inductor)、功率電感器 (power inductor)、鐵氧體珠粒 (ferrite beads)、低溫共燒陶瓷 (low temperature co-fired ceramic , LTCC)、電磁干擾 (electromagnetic interference , EMI) 濾波器、多層陶瓷電容器 (multilayer ceramic capacitor , MLCC) 等。然而，其他組件 1040 並非僅限於此，而是亦可包括用於各種其他目的的被動組件等。另外，其他組件 1040 可與上文所闡述的晶片相關組件 1020 或網路相關組件 1030 一起彼此組合。

【0016】 端視電子裝置 1000 的類型，電子裝置 1000 可包括可物理連接至或電性連接至主板 1010 的其他組件，或可不物理連接至或不電性連接至主板 1010 的其他組件。該些其他組件可包括例如照相機模組 1050、天線 1060、顯示器裝置 1070、電池 1080、音訊編解碼器 (圖中未示出)、視訊編解碼器 (圖中未示出)、功率

放大器（圖中未示出）、羅盤（圖中未示出）、加速度計（圖中未示出）、陀螺儀（圖中未示出）、揚聲器（圖中未示出）、大容量儲存單元（例如，硬碟驅動機）（圖中未示出）、光碟（compact disk，CD）驅動機（圖中未示出）、數位多功能光碟（digital versatile disk，DVD）驅動機（圖中未示出）等。然而，該些其他組件並非僅限於此，而是端視電子裝置 1000 的類型等亦可包括用於各種目的的其他組件。

【0017】 電子裝置 1000 可為智慧型電話、個人數位助理（personal digital assistant，PDA）、數位攝影機、數位照相機（digital still camera）、網路系統、電腦、監視器、平板個人電腦、膝上型個人電腦、隨身型易網機個人電腦（netbook PC）、電視、視訊遊戲機（video game machine）、智慧型手錶或汽車組件等。然而，電子裝置 1000 並非僅限於此，而是亦可為處理資料的任何其他電子裝置。

【0018】 圖 2 為示出電子裝置的實例的立體示意圖。

【0019】 參照圖 2，半導體封裝可於上文所述的各種電子裝置 1000 中用於各種目的。舉例而言，母板 1110 可容置於智慧型電話 1100 的本體 1101 中，且各種電子組件 1120 可物理連接至或電性連接至母板 1110。另外，可物理連接至或電性連接至母板 1110 或可不物理連接至或不電性連接至母板 1110 的其他組件（例如照相機模組 1130）可容置於本體 1101 中。電子組件 1120 中的一些電子組件可為晶片相關組件，例如半導體封裝 1121，但不限於此。

所述電子裝置未必限於智慧型電話 1100，而是可為如上所述的其他電子裝置。

半導體封裝

【0020】 一般而言，在半導體晶片中整合有許多精密的電路。然而，半導體晶片自身可能無法充當已完成的半導體產品，且可能因外部物理性或化學性影響而受損。因此，半導體晶片可能無法單獨使用，但可封裝於電子裝置等中且在電子裝置等中以封裝狀態使用。

【0021】 此處，由於半導體晶片與電子裝置的主板之間存在電性連接方面的電路寬度差異，因而需要半導體封裝。詳言之，半導體晶片的連接墊的尺寸及半導體晶片的各連接墊之間間隔極為精密，但電子裝置中所使用的主板的組件安裝墊的尺寸及主板的各組件安裝墊之間間隔顯著大於半導體晶片的連接墊的尺寸及間隔。因此，可能難以將半導體晶片直接安裝於主板上，而需要用於緩衝半導體晶片與主板之間的電路寬度差異的封裝技術。

【0022】 端視半導體封裝的結構及目的而定，藉由封裝技術所製造的半導體封裝可分類為扇入型半導體封裝或扇外型半導體封裝。

【0023】 將在下文中參照圖式更詳細地闡述扇入型半導體封裝及扇外型半導體封裝。

扇入型半導體封裝

【0024】 圖 3A 及圖 3B 為示出扇入型半導體封裝在封裝前及封裝

後狀態的剖面示意圖。

【0025】 圖 4 為示出扇入型半導體封裝的封裝製程的剖面示意圖。

【0026】 參照圖 3A 至圖 4，半導體晶片 2220 可例如是處於裸露狀態下的積體電路（integrated circuit，IC），半導體晶片 2220 包括：本體 2221，包含矽（Si）、鍺（Ge）、砷化鎵（GaAs）等；連接墊 2222，形成於本體 2221 的一個表面上且包含例如鋁（Al）等導電材料；以及鈍化層 2223，其例如是氧化物層、氮化物層等，且形成於本體 2221 的一個表面上且覆蓋連接墊 2222 的至少部分。在此種情形中，由於連接墊 2222 可為顯著小的，因此可能難以將積體電路（IC）安裝於中級印刷電路板（printed circuit board，PCB）上以及電子裝置的主板等上。

【0027】 因此，可端視半導體晶片 2220 的尺寸，在半導體晶片 2220 上形成連接構件 2240 以對連接墊 2222 進行重佈線。連接構件 2240 可藉由以下步驟來形成：利用例如感光成像介電（photoimagable dielectric，PID）樹脂等絕緣材料在半導體晶片 2220 上形成絕緣層 2241，形成敞露連接墊 2222 的通孔孔洞 2243h，並接著形成配線圖案 2242 及通孔 2243。接著，可形成保護連接構件 2240 的鈍化層 2250，可形成開口 2251，且可形成凸塊下金屬層 2260 等。亦即，可藉由一系列製程來製造包括例如半導體晶片 2220、連接構件 2240、鈍化層 2250 及凸塊下金屬層 2260 的扇入型半導體封裝 2200。

【0028】 如上所述，扇入型半導體封裝可具有半導體晶片的所有連接墊（例如輸入/輸出（I/O）端子）均配置於半導體晶片內的一種封裝形式，且可具有優異的電性特性並可以低成本進行生產。因此，已以扇入型半導體封裝的形式製造安裝於智慧型電話中的諸多元件。詳言之，已開發出安裝於智慧型電話中的諸多元件以進行快速的訊號傳輸並同時具有緊湊的尺寸。

【0029】 然而，由於扇入型半導體封裝中的所有輸入/輸出端子均需要配置在半導體晶片內，因此扇入型半導體封裝具有顯著的空間限制。因此，難以將此結構應用於具有大量輸入/輸出端子的半導體晶片或具有緊湊尺寸的二維半導體晶片。另外，由於上述缺點，扇入型半導體封裝可能無法在電子裝置的主板上直接安裝並使用。原因在於，即使藉由重佈線製程增大半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔，半導體晶片的輸入/輸出端子的尺寸及半導體晶片的各輸入/輸出端子之間間隔仍不足以使扇入型半導體封裝直接安裝於電子裝置的主板上。

【0030】 圖 5 為示出扇入型半導體封裝安裝於球柵陣列（ball grid array，BGA）基板上且最終安裝於電子裝置的主板上之情形的剖面示意圖。

【0031】 圖 6 為示出扇入型半導體封裝嵌入球柵陣列基板中且最終安裝於電子裝置的主板上之情形的剖面示意圖。

【0032】 參照圖 5 及圖 6，在扇入型半導體封裝 2200 中，半導體

晶片 2220 的连接墊 2222 (亦即, 輸入/輸出端子) 可經由球柵陣列基板 2301 重佈線, 且扇入型半導體封裝 2200 可在其安裝於球柵陣列基板 2301 上的狀態下最終安裝於電子裝置的主板 2500 上。在此種情形中, 可藉由底部填充樹脂 2280 等來固定焊球 2270 等, 且半導體晶片 2220 的外側面可以模製材料 2290 等覆蓋。或者, 扇入型半導體封裝 2200 可嵌入單獨的球柵陣列基板 2302 中, 半導體晶片 2220 的连接墊 2222 (亦即, 輸入/輸出端子) 可在扇入型半導體封裝 2200 嵌入球柵陣列基板 2302 中的狀態下, 由球柵陣列基板 2302 進行重佈線, 且扇入型半導體封裝 2200 可最終安裝於電子裝置的主板 2500 上。

【0033】 如上所述, 可能難以在電子裝置的主板上直接安裝並使用扇入型半導體封裝。因此, 扇入型半導體封裝可安裝於單獨的球柵陣列基板上, 並接著藉由封裝製程安裝於電子裝置的主板上, 或者扇入型半導體封裝可在扇入型半導體封裝嵌入球柵陣列基板中的狀態下在電子裝置的主板上安裝並使用。

扇外型半導體封裝

【0034】 圖 7 為示出扇外型半導體封裝的剖面示意圖。

【0035】 參照圖 7, 在扇外型半導體封裝 2100 中, 舉例而言, 半導體晶片 2120 的外側面可由包封體 2130 保護, 且半導體晶片 2120 的连接墊 2122 可藉由連接構件 2140 而朝半導體晶片 2120 之外進行重佈線。在此種情形中, 可在連接構件 2140 上進一步形成鈍化層 2150, 且可在鈍化層 2150 的開口中進一步形成凸塊下金屬層

2160。可在凸塊下金屬層 2160 上進一步形成焊球 2170。半導體晶片 2120 可為包括本體 2121、連接墊 2122、鈍化層（圖中未示出）等的積體電路（IC）。連接構件 2140 可包括絕緣層 2141、形成於絕緣層 2141 上的重佈線層 2142 以及將連接墊 2122 與重佈線層 2142 彼此電性連接的通孔 2143。

【0036】 如上所述，扇外型半導體封裝可具有其中半導體晶片的輸入/輸出端子藉由形成於半導體晶片上的連接構件朝半導體晶片之外進行重佈線並配置的一種形式。如上所述，在扇入型半導體封裝中，半導體晶片的所有輸入/輸出端子都需要配置於半導體晶片內。因此，當半導體晶片的尺寸減小時，需減小球的尺寸及間距，進而使得標準化球佈局（standardized ball layout）可能無法在扇入型半導體封裝中使用。同時，扇外型半導體封裝具有如上所述的其中半導體晶片的輸入/輸出端子藉由形成於半導體晶片上的連接構件朝半導體晶片之外進行重佈線並配置的形式。因此，即使半導體晶片的尺寸減小的情形中，標準化球佈局亦可照樣在扇外型半導體封裝中使用，使得扇外型半導體封裝無需使用單獨的球柵陣列基板即可安裝於電子裝置的主板上，如下所述。

【0037】 圖 8 為示出扇外型半導體封裝安裝於電子裝置的主板上之情形的剖面示意圖。

【0038】 參照圖 8，扇外型半導體封裝 2100 可經由焊球 2170 等安裝於電子裝置的主板 2500 上。亦即，如上所述，扇外型半導體封裝 2100 包括連接構件 2140，連接構件 2140 形成於半導體晶片

2120 上且能夠將連接墊 2122 重佈線至半導體晶片 2120 的尺寸之外的扇出區域，進而使得標準化球佈局可照樣在扇外型半導體封裝 2100 中使用。因此，扇外型半導體封裝 2100 無需使用單獨的球柵陣列基板等即可安裝於電子裝置的主板 2500 上。

【0039】 如上所述，由於扇外型半導體封裝無需使用單獨的球柵陣列基板即可安裝於電子裝置的主板上，因此扇外型半導體封裝可被實施成具有較使用球柵陣列基板的扇入型半導體封裝的厚度小的厚度。因此，可使扇外型半導體封裝小型化且薄化。另外，扇外型電子組件封裝具有優異的熱特性及電性特性，使得扇外型電子組件封裝尤其適合用於行動產品。因此，扇外型電子組件封裝可以較使用印刷電路板（PCB）的一般疊層封裝（package-on-package，POP）類型的形式更緊湊的形式實施，且可解決因翹曲（warping）現象出現而產生的問題。

【0040】 同時，扇外型半導體封裝指一種封裝技術，如上所述用於將半導體晶片安裝於電子裝置的主板等上且保護半導體晶片免受外部影響，且其是與例如球柵陣列基板等印刷電路板（PCB）的概念不同的概念，印刷電路板具有與扇外型半導體封裝的規格、目的等不同的規格、目的等，且有扇入型半導體封裝嵌入其中。

【0041】 在下文中，將參照圖式闡述即使使用多個半導體晶片亦可被薄化且效能改善的高度整合的半導體封裝。

【0042】 圖 9 為示出半導體封裝的實例的剖面示意圖。

【0043】 參照圖 9，根據例示性實施例的半導體封裝 100A 可包

括第一結構 10A 及第二結構 10B。第一結構 10A 可包括：框架 110，具有貫穿孔 110H；多個第一半導體晶片 121 至第一半導體晶片 124，配置於貫穿孔 110H 中，分別具有上面配置有連接墊 121P 至連接墊 124P 的主動面以及與主動面相對的非主動面，且被堆疊成具有台階式形狀以使得第一連接墊 121P 至第一連接墊 124P 被分別暴露出；第一包封體 130，覆蓋所述多個第一半導體晶片 121 至第一半導體晶片 124 中的每一者的至少部分，且填充貫穿孔 110H 的至少部分；以及第一連接構件 140，配置於較框架 110 及所述多個第一半導體晶片 121 至第一半導體晶片 124 的位置低的位置中以及第一包封體 130 的下部分中，且包括一或多個第一重佈線層 142a 及第一重佈線層 142b 以及多個連接通孔 121v 至連接通孔 124v，所述多個連接通孔 121v 至連接通孔 124v 將第一半導體晶片 121 至第一半導體晶片 124 中的每一者的連接墊 121P 至連接墊 124P 電性連接至第一重佈線層 142a 及第一重佈線層 142b，連接通孔 121v 至連接通孔 124v 中的每一者穿透至第一包封體 130 中，且連接通孔 121v 至連接通孔 124v 的高度彼此不同。第二結構 10B 可包括：至少一個第二半導體晶片 151 及第二半導體晶片 152，配置於較第一連接構件 140 的位置低的位置中，且具有上面配置有連接墊 151P 及連接墊 152P 的主動面及與主動面相對的非主動面；第三半導體晶片 153，配置於較第一連接構件 140 的位置低的位置中並平行於第二半導體晶片 151 及第二半導體晶片 152，且具有上面配置有連接墊 153P 的主動面及與主動面相對的

非主動面；第二包封體 160，配置於較第一連接構件 140 的位置低的位置中且覆蓋第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 的至少部分；第二連接構件 170，配置於較第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 的位置低的位置中以及第二包封體 160 的下部分中，且包括電性連接至第二半導體晶片 151 及第二半導體晶片 152 的連接墊 151P 及連接墊 152P 以及第三半導體晶片 153 的連接墊 153P 的至少一個第二重佈線層 172a 及第二重佈線層 172b；以及電性連接構件 180，穿過第二包封體 160，且電性連接第一重佈線層 142a 及第一重佈線層 142b 與第二重佈線層 172a 及第二重佈線層 172b。可在較第二結構 10B 的（例如，第二連接構件 170 的）位置低的位置中配置電性連接至第二重佈線層 172a 及第二重佈線層 172b 的多個電性連接結構 190。

【0044】 如上所述，在當代堆疊式半導體封裝中，堆疊起來的半導體晶片可經由導電線連接至基板的連接墊。隨著電子裝置變得更為多功能且高度整合，所需要的輸入/輸出端子的數目可能增加。隨著輸入/輸出端子的數目增加，焊線接合設備亦增加進而佔據相對大的面積。因此，可能存在許多組件可能無法在電路中使用的限制。特別是，在堆疊異質半導體晶片的情形中，可能需要更小且更密集的封裝方法來獲得盡可能多的晶粒空間。

【0045】 舉例而言，在當代堆疊式半導體封裝中，可藉由黏合膜在電路板上依序堆疊多個半導體晶片，且所述半導體晶片的連接

墊可藉由接合線電性連接至電路板的部分；且在形成此種堆疊式結構之後，可將所述多個半導體晶片封裝於絕緣樹脂中。在其中堆疊有快閃記憶體的結構中，可在引線框架上依序堆疊多個記憶體晶片。此時，將引線框架連接至最上層中的記憶體晶片的電極的接合線可能太長。因此，接合線可經受焊線接合製程或者可經受連接式後密封製程，以使接合線以各自不同的電位接觸相鄰的接合線。就此而言，焊線接合連接結構的堆疊式記憶體裝置可能無法提高可靠性及訊號速度。此外，由於焊線接合的空間佔據，設計範圍可受到限制。

【0046】 同時，根據實例的半導體封裝 100A 可包括第一結構 10A 及第二結構 10B，第一結構 10A 被封裝成使在垂直方向上堆疊的所述多個第一半導體晶片 121 至第一半導體晶片 124 經由具有不同高度的連接通孔 121v 至連接通孔 124v 電性連接至第一重佈線層 142a 及第一重佈線層 142b，第二結構 10B 被封裝成使第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 電性連接至第二重佈線層 172a 及第二重佈線層 172b。在此種情形中，第一重佈線層 142a 及第一重佈線層 142b 與第二重佈線層 172a 及第二重佈線層 172b 可經由形成於其之間的電性連接構件 180 而彼此電性連接。舉例而言，在封裝 100A 的上部分中，由於多個堆疊起來的第一半導體晶片 121 至第一半導體晶片 124 可使用具有不同高度的連接通孔 121v 至連接通孔 124v 而非焊線接合來進行重佈線，因此至第一重佈線層 142a 及第一重佈線層 142b 的訊號

通路可被最小化。因此，可減少訊號損耗以改善訊號電特性。另外，由於無需考慮焊線接合的厚度，因此可達成更薄的厚度。此外，在封裝 100A 的下部分中，所述多個第一半導體晶片 121 至第一半導體晶片 124 以及均質或異質第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 可被重佈線以電性連接至第二重佈線層 172a 及第二重佈線層 172b，且可經由例如多個貫通孔 180 等電性連接構件 180 在垂直方向上提供電性連接通路。因此，儘管不同類型的半導體晶片 121 至半導體晶片 124 以及半導體晶片 151 至半導體晶片 153 被實施於一個封裝 100A 中，然而半導體晶片 121 至半導體晶片 124 以及半導體晶片 151 至半導體晶片 153 可被製作成較傳統半導體晶片更薄，且訊號通路亦可被最小化。

【0047】 同時，根據例示性實施例的半導體封裝 100A 可更包括位於第一結構 10A 中的具有貫穿孔 110H 的框架 110。框架 110 可依據構成框架的材料而對封裝 100A 賦予剛性。因此，可更易於控制封裝 100A 的翹曲，且可提高可靠性。另外，可藉由控制第一包封體 130 的厚度均勻性來進一步提高可靠性。

【0048】 第一包封體 130 可包含感光性絕緣材料（感光成像介電質，PID）。在此種情形中，連接通孔 121v 至連接通孔 124v 中的每一者可藉由以下方式來形成：藉由微影方法形成穿過第一包封體 130 的光通孔孔洞，且利用例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）、或其合金等金

屬材料來填充所述孔洞。因此，對連接墊 121P 至連接墊 124P 的損壞可被最小化，且可更準確地達成更精密的間距。

【0049】 同時，可分別在第一半導體晶片 121 至第一半導體晶片 124 的非主動面上配置例如晶粒貼附膜 DAF 等黏合膜 121d 至黏合膜 124d。在所述多個第一半導體晶片 121 至第一半導體晶片 124 中在垂直方向上各自相鄰的第一半導體晶片 121 與第一半導體晶片 122、第一半導體晶片 122 與第一半導體晶片 123 或者第一半導體晶片 123 與第一半導體晶片 124 中，配置於下部分中的第一半導體晶片 121、第一半導體晶片 122 或第一半導體晶片 123 的非主動面可藉由黏合膜 121d、黏合膜 122d 或黏合膜 123d 貼附至配置於上部分中的第一半導體晶片 122、第一半導體晶片 123 或第一半導體晶片 124 的主動面。可藉由使用黏合膜 121d 至黏合膜 124d 堆疊所述多個第一半導體晶片 121 至第一半導體晶片 124 來進一步提高可靠性。

【0050】 同時，配置於在所述多個第一半導體 121 至第一半導體 124 中的最上第一半導體晶片上配置的第一半導體晶片 124 的非主動面的黏合膜 124d 的上表面可與第一包封體 130 的上表面實質上共面。配置於所述多個第一半導體 121 至第一半導體 124 中的最下第一半導體晶片上的第一半導體晶片 121 的主動面可與第一包封體 130 的下表面物理地間隔開預定距離。此可為將藉由以下方式達成的構型特性：藉由在隨後將闡述的製程步驟中所述的顛倒製程將多個第一半導體晶片 121 至第一半導體晶片 124 排列於

框架 110 的貫穿孔 110H 中，且利用第一包封體 130 來包封第一半導體晶片 121 至第一半導體晶片 124。封裝 100A 的上部分中的第一結構 10A 的厚度可被進一步製作成更薄。

【0051】 第一半導體晶片 121 至第一半導體晶片 124 中的每一者可為快閃記憶體晶片，第二半導體晶片 151 及第二半導體晶片 152 中的每一者可為 DRAM，且第三半導體晶片 153 可為控制器 CTRL。舉例而言，當異質半導體晶片 121 至半導體晶片 124、半導體晶片 151 至半導體晶片 152 以及半導體晶片 153 在封裝 100A 的上部分及下部分中適當地排列並電性連接時，儘管其中包括多個異質半導體晶片 121 至半導體晶片 124、半導體晶片 151 至半導體晶片 152 以及半導體晶片 153，但可提供可被進一步薄化、效能可得到改善且可為高度可靠的半導體封裝 100A。

【0052】 在下文中，將更詳細闡述根據一個實例的半導體封裝 100A 中所包括的每一配置。

【0053】 框架 110 可根據具體材料來改善封裝 100A 的剛性，且可發揮確保第一包封體 130 的厚度均勻性的作用。框架 110 可具有貫穿孔 110H，且可在貫穿孔 110H 中配置多個堆疊起來的第一半導體晶片 121 至第一半導體晶片 124。框架 110 的材料不受特別限制。舉例而言，可使用絕緣材料。作為所述絕緣材料，可使用例如環氧樹脂等熱固性樹脂、例如聚醯亞胺等熱塑性樹脂或者含浸有例如玻璃纖維、玻璃布、玻璃纖維布等的樹脂，例如預浸體、味之素構成膜（Ajinomoto Build-up Film，ABF）等。若需要，可

省略框架 110。

【0054】 第一半導體晶片 121 至第一半導體晶片 124 中的每一者可為其中數百至數百萬個裝置可整合於一個晶片中的積體電路 (IC)。第一半導體晶片 121 至第一半導體晶片 124 中的每一者的積體電路可為例如快閃記憶體晶片，更具體而言為反及型 (NAND) 快閃記憶體晶片，但不限於此。在第一半導體晶片 121 至第一半導體晶片 124 中，上面配置有連接墊 121P 至連接墊 124P 的表面分別成為主動面，且與所述表面相對的表面分別成為非主動面。第一半導體晶片 121 至第一半導體晶片 124 可基於主動晶圓而形成。在此種情形中，可使用矽 (Si)、鍺 (Ge)、砷化鎵 (GaAs) 等作為每一本體的基礎材料 (base material)。本體可形成有各種電路。連接墊 121P 至連接墊 124P 可分別用於將第一半導體晶片 121 至第一半導體晶片 124 電性連接至其他組件。可使用例如鋁 (Al) 等金屬材料作為形成材料，但不受任何特別限制。可在本體上形成鈍化膜 (圖中未示出)，以暴露出連接墊 121P 至連接墊 124P。鈍化膜 (圖中未示出) 可為氧化物膜或氮化物膜，或者可為氧化物膜與氮化物膜構成的雙層。可在需要的位置處進一步配置絕緣膜 (圖中未示出) 等。

【0055】 第一半導體晶片 121 至第一半導體晶片 124 可被堆疊成具有台階式形狀，以使連接墊 121P 至連接墊 124P 被暴露出。第一半導體晶片 121 至第一半導體晶片 124 的連接墊 121P 至連接墊 124P 可穿透至第一包封體 130 中，且可藉由具有不同高度的連接

通孔 121v 至連接通孔 124v 連接至第一連接構件 140 的第一重佈線層 142a 及第一重佈線層 142b 中的最上第一重佈線層 142a。黏合膜 121d 至黏合膜 124d 可分別配置於第一半導體晶片 121 至第一半導體晶片 124 的非主動面上。在垂直方向上排列的第一半導體晶片 121 與第一半導體晶片 122、第一半導體晶片 122 與第一半導體晶片 123 或第一半導體晶片 123 與第一半導體晶片 124 可藉由黏合膜 121d、黏合膜 122d 或黏合膜 123d 貼附至彼此。更具體而言，配置於下部分中的第一半導體晶片 121、第一半導體晶片 122 或第一半導體晶片 123 的非主動面可藉由黏合膜 121d、黏合膜 122d 或黏合膜 123d 貼附至配置於上部分中的第一半導體晶片 122、第一半導體晶片 123 或第一半導體晶片 124 的主動面。可藉由使用黏合膜 121d 至黏合膜 124d 堆疊所述多個第一半導體晶片 121 至第一半導體晶片 124 來進一步提高可靠性。黏合膜 121d 至黏合膜 124d 中的每一者可為已知的晶粒貼附膜 (die attach film, DAF)，且其材料不受特別限制。

【0056】 第一包封體 130 可分別包封第一半導體晶片 121 至第一半導體晶片 124。此外，貫穿孔 110H 的至少部分可利用第一包封體 130 來填充。第一包封體 130 可包含絕緣材料。如上所述可使用感光性絕緣材料 (感光成像介電質) 作為所述絕緣材料。在此種情形中，連接通孔 121v 至連接通孔 124v 中的每一者可藉由以下方式來形成：藉由微影方法形成穿透至第一包封體 130 中的光通孔孔洞，且接著利用例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、

金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金等金屬材料來填充所述光通孔孔洞。因此，對連接墊 121P 至連接墊 124P 的損壞可被最小化，且可更準確地達成更精密的間距。

【0057】 若需要，則可使用包含無機填料及絕緣樹脂的材料，舉例而言，例如環氧樹脂等熱固性樹脂、例如聚醯亞胺等熱塑性樹脂或者含浸有例如玻璃纖維、玻璃布、玻璃纖維布等的樹脂（例如，預浸體、味之素構成膜 (ABF) 等）。

【0058】 第一連接構件 140 可分別對所述多個堆疊起來的第一半導體晶片 121 至第一半導體晶片 124 的連接墊 121P 至連接墊 124P 進行重佈線。第一連接構件 140 可包括第一絕緣層 141、第一重佈線層 142a 及第一重佈線層 142b 以及第一重佈線通孔 143a 及第一重佈線通孔 143b。更具體而言，第一連接構件 140 可包括：1-1 重佈線層 142a，配置於第一包封體 130 的下表面上；1-1 重佈線通孔 143a，穿透至第一包封體 130 中且將各連接墊 121P 至連接墊 124P 連接至 1-1 重佈線層 142a；第一絕緣層 141，配置於第一包封體 130 的下表面上且覆蓋 1-1 重佈線層 142a；1-2 重佈線層 142b，配置於第一絕緣層 141 的下表面上；以及 1-2 重佈線通孔 143b，穿過第一絕緣層 141 且電性連接 1-1 重佈線層 142a 與 1-2 重佈線層 142b。第一絕緣層 141、1-2 重佈線層 142b 及 1-2 重佈線通孔 143b 可以更大數目的層形成。第一絕緣層 141、1-2 重佈線層 142b 及 1-2 重佈線通孔 143b 可以與第一實施例的方式不同的方式進行修改。

【0059】 可使用感光性絕緣材料（感光成像介電質）作為第一絕緣層 141。在此種情形中，可藉由光通孔引入精密的間距。本揭露不限於此，且若需要，則可使用例如味之素構成膜等非感光性絕緣膜。當第一絕緣層 141 是由多個層構成時，所述多個層可包含相同的材料或者可包含彼此不同的材料。舉例而言，最下層可為非感光性絕緣膜（例如味之素構成膜），而另一層可為感光性絕緣膜（例如感光成像介電質）。本揭露不限於此。

【0060】 第一重佈線層 142a 及第一重佈線層 142b 可分別實質上對堆疊起來的第一半導體晶片 121 至第一半導體晶片 124 的連接墊 121P 至連接墊 124P 進行重佈線。第一重佈線層 142a 及第一重佈線層 142b 可分別包括 1-1 重佈線層 142a 及 1-2 重佈線層 142b。第一重佈線層 142a 及第一重佈線層 142b 可為金屬材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）、或其合金。1-1 重佈線層 142a 可與 1-1 重佈線通孔 143a 整合在一起。1-2 重佈線層 142b 可與 1-2 重佈線通孔 143b 整合在一起。1-1 重佈線層 142a 及 1-2 重佈線層 142b 可根據設計而執行各種功能。舉例而言，可包括接地（GND）圖案、電源（PWR）圖案、訊號（S）圖案等。訊號 S 圖案可包括除了接地（GND）圖案、電源（PWR）圖案之外的各種訊號，例如資料訊號等。此外，可包括通孔接墊、電性連接結構接墊等。

【0061】 第一重佈線通孔 143a 及第一重佈線通孔 143b 可與第一重佈線層 142a 及第一重佈線層 142b 一起實質上對所述多個堆疊

起來的第一半導體晶片 121 至第一半導體晶片 124 的連接墊 121P 至連接墊 124P 進行重佈線。第一重佈線通孔 143a 及第一重佈線通孔 143b 可包括第一重佈線通孔 143a 及第一重佈線通孔 143b。第一重佈線通孔 143a 及第一重佈線通孔 143b 可為金屬材料，例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金。1-1 重佈線通孔 143a 可如上所述包括多個連接通孔 121v 至連接通孔 124v。所述多個連接通孔 121v 至連接通孔 124v 可具有彼此不同的高度。高度越大，平均直徑越大。連接通孔 121v 至連接通孔 124v 中的每一者可藉由以下方式來形成：使用微影方法形成穿透至第一包封體 130 中的光通孔孔洞，且接著利用例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金等金屬材料來填充光通孔孔洞。連接通孔 121v 至連接通孔 124v 中的每一者可為利用金屬材料填充的填充型通孔。連接通孔 121v 至連接通孔 124v 中的每一者可具有下側上的直徑可大於上側上的直徑的錐形形狀。同樣地，2-2 重佈線通孔 143b 亦可為利用金屬材料填充的填充型通孔，且可具有下側上的直徑可大於上側上的直徑的錐形形狀。

【0062】 第二半導體晶片 151 及第二半導體晶片 152 亦可為其中數百至數百萬個裝置可整合於一個晶片中的積體電路 (IC)。第二半導體晶片 151 及第二半導體晶片 152 中的每一者的積體電路可為例如 DRAM 記憶體晶片，但不限於此。在第二半導體晶片 151

及第二半導體晶片 152 中，上面配置有連接墊 151P 及連接墊 152P 的表面成為主動面，且與所述表面相對的表面成為非主動面。第二半導體晶片 151 及第二半導體晶片 152 亦可基於主動晶圓而形成。在此種情形中，可使用矽（Si）、鍺（Ge）、砷化鎵（GaAs）等作為每一本體的基礎材料。本體可形成有各種電路。連接墊 151P 及連接墊 152P 可分別用於電性連接第二半導體晶片 151 及第二半導體晶片 152 與其他組件。可使用例如鋁（Al）等金屬材料作為形成材料，但不受任何特別限制。可在本體上形成鈍化膜（圖中未示出），以暴露出連接墊 151P 及連接墊 152P。鈍化膜（圖中未示出）可為氧化物膜或氮化物膜，或者可為氧化物膜與氮化物膜構成的雙層。可在需要的位置處進一步配置絕緣膜（圖中未示出）等。

【0063】 第三半導體晶片 153 亦可為其中數百至數百萬個裝置可整合於一個晶片中的積體電路（IC）。第二半導體晶片 153 的積體電路可為例如控制器（CTRL）晶片，但不限於此。在第三半導體晶片 153 中，上面配置有連接墊 153P 的表面成為主動面，且與所述表面相對的表面成為非主動面。第三半導體晶片 153 亦可基於主動晶圓而形成。在此種情形中，可使用矽（Si）、鍺（Ge）、砷化鎵（GaAs）等作為每一本體的基礎材料。本體可形成有各種電路。連接墊 153P 可用於將第三半導體晶片 153 電性連接至其他組件。可使用例如鋁（Al）等金屬材料作為形成材料，但不受任何特別限制。可在本體上形成鈍化膜（圖中未示出），以暴露出連接

墊 153P。鈍化膜（圖中未示出）可為氧化物膜、氮化物膜、或者氧化物膜與氮化物膜構成的雙層。可在需要的位置處進一步配置絕緣膜（圖中未示出）等。

【0064】 第二包封體 160 可包含絕緣材料。所述絕緣材料的實例可包括包含無機填料及絕緣樹脂的樹脂，舉例而言，可使用熱固性樹脂，例如環氧樹脂；熱塑性樹脂，例如聚醯亞胺；或含有例如無機填料等加強材料的樹脂，具體而言為味之素構成膜、FR-4、雙馬來醯亞胺三嗪（Bismaleimide Triazine，BT）、感光成像介電樹脂等。可使用例如環氧模製化合物（epoxy molding compound，EMC）等已知的模製材料。視需要，熱固性樹脂或熱塑性樹脂可含浸例如無機填料及/或玻璃纖維、玻璃布、玻璃纖維布等核心材料。

【0065】 第二連接構件 170 可對第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 的連接墊 151P 至連接墊 153P 進行重佈線，且可對連接墊 151P 至連接墊 153P 進行電性連接。第二連接構件 170 可包括第二絕緣層 171a 及第二絕緣層 171b、第二重佈線層 172a 及第二重佈線層 172b 以及第二重佈線通孔 173a 及第二重佈線通孔 173b。更具體而言，第二連接構件 170 可包括：2-1 絕緣層 171a；2-1 重佈線層 172a，配置於 2-1 絕緣層 171a 的下表面上；2-1 重佈線通孔 173a，穿過 2-1 絕緣層 171a 且將 2-1 重佈線層 172a 電性連接至連接墊 151P 至連接墊 153P 以及電性連接構件 180；2-2 絕緣層 171b，配置於 2-1 絕緣層 171a 的下表面

上且覆蓋 2-1 重佈線層 172a；2-2 重佈線層 172b，配置於 2-2 絕緣層 171b 的下表面上；以及 2-2 重佈線通孔 173b，穿過 2-2 絕緣層 171b 且將 2-1 重佈線層 172a 電性連接至 2-2 重佈線層 172b。該些中的每一者可由多於一個的多個層構成，且可被修改成與圖式不同的形式。

【0066】 可使用絕緣材料作為第二絕緣層 171a 及第二絕緣層 171b 的材料。可使用感光成像介電質、味之素構成膜等作為所述絕緣材料。第二絕緣層 171a 及第二絕緣層 171b 可包括 2-1 絕緣層 171a 及 2-2 絕緣層 171b，且第二絕緣層 171a 及第二絕緣層 171b 可包含相同的材料或不同的材料。舉例而言，2-1 絕緣層 171a 可包含感光成像介電質，且 2-2 絕緣層 171b 可包含味之素構成膜。本揭露不限於此。

【0067】 第二重佈線層 172a 及第二重佈線層 172b 可實質上對第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 的連接墊 151P 至連接墊 153P 進行重佈線。可使用例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金等金屬材料作為形成材料。第二重佈線層 172a 及第二重佈線層 172b 可包括可根據對應層的設計而執行各種功能的 2-1 重佈線層 172a 及 2-2 重佈線層 172b。舉例而言，可包括接地 (GND) 圖案、電源 (PWR) 圖案、訊號 (S) 圖案等。訊號 S 圖案可包括除了接地 (GND) 圖案、電源 (PWR) 圖案之外的各種訊號，例如資料訊號等。此外，可包括通孔接墊、電性連接結

構接墊等。2-1 重佈線層 172a 可與 2-1 重佈線通孔 173a 整合在一起。2-2 重佈線層 172b 可與 2-2 重佈線通孔 173b 整合在一起。可藉由對 2-2 重佈線層 172b 與 2-2 重佈線通孔 173b 進行整合來形成凸塊下金屬（under-bump metallurgy，UBM）。

【0068】 第二重佈線通孔 173a 及第二重佈線通孔 173b 可對形成於不同層上的電性連接構件 180、連接墊 151P 至連接墊 153P 以及第二重佈線層 172a 及第二重佈線層 172b 進行電性連接。第二重佈線通孔 173a 及第二重佈線通孔 173b 可包括 2-1 重佈線通孔 173a 及 2-2 重佈線通孔 173b，其可分別包含金屬材料，例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）、或其合金。2-1 重佈線通孔 173a 及 2-2 重佈線通孔 173b 可分別為利用金屬材料填充的填充型通孔，且可具有下側上的直徑可大於上側上的直徑的錐形形狀。2-2 重佈線通孔 173b 的總體尺寸（例如高度及直徑）可大於 2-1 重佈線通孔 173a 的總體尺寸。

【0069】 電性連接構件 180 可電性連接第一連接構件 140 與第二連接構件 170，以提供封裝 100A 中的第一結構 10A 與第二結構 10B 之間的電性通路。在一個實例中，電性連接構件 180 可包括多個貫通孔 180。貫通孔 180 中的每一者可穿過第二包封體 160，且可由例如銅（Cu）、鋁（Al）、銀（Ag）、錫（Sn）、金（Au）、鎳（Ni）、鉛（Pb）、鈦（Ti）、或其合金等金屬材料形成。所述多個貫通孔 180 可在形成通孔孔洞之後藉由鍍覆操作來形成，但不限於此，且可為其中形成有金屬柱者。

【0070】 電性連接結構 190 可為用於將半導體封裝 100A 物理及/或電性連接至外部源的結構。舉例而言，半導體封裝 100A 可藉由電性連接結構 190 安裝於電子裝置的主板上。電性連接結構 190 可由低熔點金屬（例如錫（Sn）或含錫（Sn）的合金）構成。更具體而言，其可由焊料等形成，但此可僅為實例，且所述材料不特別受限於此。電性連接結構 190 可為接腳、球、引腳等。電性連接結構 190 可由多層或單層形成。在多層式結構的情形中，其可包含銅柱及焊料。在單層的情形中，可包含錫-銀焊料或銅，但此可僅為實例，且不限於此。電性連接結構 190 的數目、間隔、佈置類型等不受特別限制，且對熟習此項技術者而言可根據設計規格進行充分修改。

【0071】 電性連接結構 190 中的至少一者可配置於扇出區域中。所述扇出區域可為其中配置有半導體晶片 121 至半導體晶片 124 以及半導體晶片 151 至半導體晶片 153 的區域之外的區域。扇外型封裝相較於扇入型封裝而言可更可靠，可具有許多輸入/輸出端子，且可有利於三維（3D）內連線。另外，可製造具有較球柵陣列（BGA）封裝、接腳柵陣列（land grid array，LGA）封裝等薄的厚度的封裝，且所述封裝的價格競爭力可為優異的。

【0072】 圖 10 及圖 11 為示出圖 9 的半導體封裝的例示性製造程序的示意圖。

【0073】 參照圖 10，首先，可將具有貫穿孔 110H 的框架 110 貼附於膠帶 200 上。接下來，可以使上面配置有各連接墊 121P 至連

接墊 124P 的主動面面對向上方向的顛倒狀態對多個第一半導體晶片 121 至第一半導體晶片 124 進行連接，所述多個第一半導體晶片 121 至多個第一半導體晶片 124 利用黏合膜 121d 至黏合膜 124d 堆疊於經由貫穿孔 110H 而被暴露的膠帶 200 上。接下來，可使用感光性絕緣膜（感光成像介電質）來包封所述多個第一半導體晶片 121 至第一半導體晶片 124。

【0074】 參照圖 11，可移除膠帶 200，且可將所製備的中間物顛倒，以使堆疊起來的第一半導體晶片 121 至第一半導體晶片 124 中的每一者的上面配置有連接墊 121P 至連接墊 124P 的主動面面對向下方向。接下來，可藉由曝光及顯影製程來形成多個光通孔孔洞，且可藉由使用鍍覆操作進行填充的製程來形成由多個連接通孔 121v 至連接通孔 124v 構成的 1-1 重佈線通孔 143a、以及 1-1 重佈線層 142a。可藉由層疊或塗佈製程來形成第一絕緣層 141，可形成通孔孔洞，且接著鍍覆材料可形成在第一絕緣層 141 上及填充所述通孔孔洞以形成 1-2 重佈線通孔 143b 及 1-2 重佈線層 142b。可藉由一系列製程來形成第一結構 10A。接下來，可在較第一結構 10A 的位置低的位置中形成第二結構 10B，且可形成電性連接結構 190。

【0075】 圖 12 為示出半導體封裝的另一實例的剖面示意圖。

【0076】 參照圖 12，在根據另一實例的半導體封裝 100B 中，第一結構 10A 與第二結構 10B 可彼此間隔開預定距離，且可在其之間配置多個電性連接結構 195 以用於其電性連接。舉例而言，根

據另一實例的半導體封裝 100B 可具有疊層封裝 (POP) 的形式。例如多個貫通孔 180 等電性連接構件 180 可藉由多個電性連接結構 195 電性連接至第一連接構件 140 的第一重佈線層 142a 及第一重佈線層 142b，且亦可電性連接至多個第一半導體晶片 121 至第一半導體晶片 124。

【0077】 電性連接結構 195 可各自由低熔點金屬 (例如錫 (Sn) 或含錫 (Sn) 的合金) 構成。更具體而言，其可由焊料等形成，但此可僅為實例，且所述材料不特別受限於此。電性連接結構 195 可為接腳、球、引腳等。電性連接結構 195 可由多層或單層形成。在多層式結構的情形中，其可包含銅柱及焊料。在單層的情形中，可包含錫-銀焊料或銅，但此可僅為實例，且不限於此。電性連接結構 195 的數目、間隔、佈置類型等不受特別限制，且對熟習此項技術者而言可根據設計規格進行充分修改。

【0078】 其他配置可與以上所述配置實質上相同，且將省略其詳細說明。

【0079】 圖 13 為示出半導體封裝的另一實例的剖面示意圖。

【0080】 參照圖 13，在根據另一實例的半導體封裝 100C 中，第二結構 10B 可包括框架 180，即電性連接構件 180，框架 180 具有貫穿孔 180H 且包括多個配線層 182a 及配線層 182b 以及用於電性連接所述多個配線層 182a 及配線層 182b 的一或多層配線通孔 183。第二半導體晶片 151 及第二半導體晶片 152 以及第三半導體晶片 153 可並排地排列於框架 180 的貫穿孔 180H 中。第二包封體

160 可填充框架 180 的貫穿孔 180H 的至少部分。由於框架 180，第二結構 10B 亦可具有更佳的剛性，且可確保第二包封體 160 的厚度均勻性。

【0081】 框架 180 可包括：絕緣層 181；第一配線層 182a，配置於絕緣層 181 的下表面上；第二配線層 182b，配置於絕緣層 181 的上表面上；以及配線通孔 183，穿過第一配線層 181 且電性連接第一配線層 182a 與第二配線層 182b。第一配線層 182a 及第二配線層 182b 可分別電性連接至第一連接構件 140 及第二連接構件 170 的第一重佈線層 142a、第一重佈線層 142b 以及第二重佈線層 172a 及第二重佈線層 172b。

【0082】 絕緣層 181 的材料不受特別限制。舉例而言，可使用絕緣材料。作為所述絕緣材料，可使用熱固性樹脂，例如環氧樹脂；熱塑性樹脂，例如聚醯亞胺；或者含浸有例如無機填料及/或玻璃纖維、玻璃布、玻璃纖維布等核心材料的樹脂，例如預浸體。

【0083】 配線層 182a 及配線層 182b 可由例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金等金屬材料形成。配線層 182a 及配線層 182b 可根據層的設計而執行各種功能。舉例而言，其可包括接地 (GND) 圖案、電源 (PWR) 圖案、訊號 (S) 圖案等。訊號 S 圖案可包括除了接地 (GND) 圖案、電源 (PWR) 圖案之外的各種訊號，例如資料訊號等。此外，可包括通孔接墊、電性連接結構接墊等。配線層 182a 及配線層 182b 可分別藉由已知的鍍覆製程形成，且可分別由

晶種層及導體層構成。端視製程而定，配線層 182a 及配線層 182b 的厚度可較重佈線層 142a、重佈線層 142b、重佈線層 172a 及重佈線層 172b 的厚度厚。

【0084】 配線通孔 183 可電性連接形成於不同層中的配線層 182a 及配線層 182b，由此在框架 180 中形成電性通路。配線通孔 183 可由例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金等金屬材料形成。配線通孔 183 可為利用金屬材料填充的填充型貫通孔，且可具有沙漏形狀。配線通孔 183 亦可各自藉由已知的鍍覆製程形成，且可各自由晶種層及導體層構成。

【0085】 視需要，可在第二包封體 160 上配置背側配線層 162，且背側配線層 162 可藉由穿過第二包封體 160 的背側通孔 163 電性連接至框架 180 的所述多個配線層 182a 及配線層 182b。背側配線層 162 可藉由電性連接結構 195 電性連接至第一連接構件 140 的重佈線層 142a 及重佈線層 142b。背側配線層 162 以及背側通孔 163 亦可由例如銅 (Cu)、鋁 (Al)、銀 (Ag)、錫 (Sn)、金 (Au)、鎳 (Ni)、鉛 (Pb)、鈦 (Ti)、或其合金等金屬材料形成，且背側配線層 162 與背側通孔 163 可整合在一起。

【0086】 其他配置可與以上所述配置實質上相同，且將省略其詳細說明。

【0087】 圖 14 為示出半導體封裝的另一實例的剖面示意圖。

【0088】 參照圖 14，在根據另一實例的半導體封裝 100D 中，第

二結構 10B 可包括框架 180，即電性連接構件 180，框架 180 具有貫穿孔 180H 且包括多個配線層 182a 至配線層 182d 以及電性連接所述多個配線層 182a 至配線層 182d 的多個配線通孔 183a 至配線通孔 183c。由於框架 180 可包括更大數目的配線層 182a 至配線層 182d，因此第二連接構件 170 可被進一步簡化。

【0089】 框架 180 可包括：第一絕緣層 181a；第一配線層 182a，配置於第一絕緣層 181a 的下表面上；第二配線層 182b，配置於第一絕緣層 181a 的上表面上；第一配線通孔 183a，穿過第一絕緣層 181a 且電性連接第一配線層 182a 與第二配線層 182b；第二絕緣層 181b，配置於第一絕緣層 181a 的下表面上且覆蓋第一配線層 182a；第三配線層 182c，配置於第二絕緣層 181b 的下表面上；第二配線通孔 183b，穿過第二絕緣層 181b 且電性連接第一配線層 182a 與第三配線層 182c；第三絕緣層 181c，配置於第一絕緣層 181a 的上表面上且覆蓋第二配線層 182b；第四配線層 182d，配置於第三絕緣層 181c 的上表面上；以及第三配線通孔 183c，穿過第三絕緣層 181c 且電性連接第二配線層 182b 與第四配線層 182d。第一配線層 182a 至第四配線層 182d 可電性連接至第一連接構件 140 及第二連接構件 170 的第一重佈線層 142a、第一重佈線層 142b 以及第二重佈線層 172a 及第二重佈線層 172b。

【0090】 第一絕緣層 181a 可較第二絕緣層 181b 及第三絕緣層 181c 厚。第一絕緣層 181a 可為相對厚的以維持剛性，而第二絕緣層 181b 及第三絕緣層 181c 可被引入以形成更大數目的配線層

182c 及配線層 182d。第一絕緣層 181a 可包含與第二絕緣層 181b 及第三絕緣層 181c 的絕緣材料不同的絕緣材料。舉例而言，第一絕緣層 181a 可為例如包含核心材料、填料及絕緣樹脂的預浸體，而第二絕緣層 181b 及第三絕緣層 181c 可為包含填料及絕緣樹脂的味之素構成膜或感光成像介電質，但不限於此。以相似的方式，穿過第一絕緣層 181a 的第一配線通孔 183a 的直徑可大於穿過第二絕緣層 181b 及第三絕緣層 181c 的第二配線通孔 183b 及第三配線通孔 183c 的直徑。類似地，端視製程而定，配線層 182a 至配線層 182d 的厚度可較重佈線層 142a、重佈線層 142b、重佈線層 172a 及重佈線層 172b 的厚度厚。

【0091】 其他配置可與以上所述配置實質上相同，且將省略其詳細說明。

【0092】 圖 15 為示出半導體封裝的另一實例的剖面示意圖。

【0093】 參照圖 15，在根據另一實例的半導體封裝 100E 中，第二結構 10B 可包括框架 180，即電性連接構件 180，框架 180 具有貫穿孔 180H 且包括多個配線層 182a 至配線層 182c 以及電性連接所述多個配線層 182a 至配線層 182c 的多個配線通孔 183a 及配線通孔 183b。由於框架 180 可類似地包括更大數目的配線層 182a 至配線層 182c，因此第二連接構件 170 可被進一步簡化。

【0094】 所述框架可包括：第一絕緣層 181a；第一配線層 182a，嵌入第一絕緣層 181a 中以使第一配線層 182a 的下表面被暴露出；第二配線層 182b，配置於第一絕緣層 181a 的上表面上；第二

絕緣層 181b，配置於第一絕緣層 181a 的上表面上且覆蓋第二配線層 182b；第一配線通孔 183a，穿過第一絕緣層 181a 且電性連接第一配線層 181a 與第二配線層 182b；第三配線層 182c，配置於第二絕緣層 181b 的上表面上；以及第二配線通孔 183b，穿過第二絕緣層 181b 且電性連接第二配線層 182b 與第三配線層 182c。第一配線層 182a 至第三配線層 182c 可電性連接至第一連接構件 140 及第二連接構件 170 的第一重佈線層 142a、第一重佈線層 142b 以及第二重佈線層 172a 及第二重佈線層 172b。

【0095】 第一配線層 182a 可凹陷於第一絕緣層 181a 中。以此種方式，當第一配線層 182a 凹陷於第一絕緣層 181a 中而在第一絕緣層 181a 的下表面與第一配線層 182a 的下表面之間具有台階差時，可防止形成第二包封體 160 的材料滲漏而污染第一配線層 182a。端視製程而定，配線層 182a 至配線層 182c 的厚度可較重佈線層 142a、重佈線層 142b、重佈線層 172a 及重佈線層 172b 的厚度厚。

【0096】 絕緣層 181a 及絕緣層 181b 的材料不受特別限制。舉例而言，可使用絕緣材料。作為所述絕緣材料，可使用例如環氧樹脂等熱固性樹脂、例如聚醯亞胺等熱塑性樹脂或者其中該些樹脂可與無機填料混合的樹脂（例如，味之素構成膜（ABF））。若需要，亦可使用感光性絕緣（感光成像介電質，PID）樹脂。

【0097】 當形成第一配線通孔 183a 的孔洞時，第一配線層 182a 的接墊的部分可用作終止元件。在第一配線通孔 183a 具有上表面

的寬度較其下表面的寬度寬的錐形形狀的情形中，就製程而言，具有錐形形狀的第一配線通孔 183a 可為有利的。在此種情形中，第一配線通孔 183a 可與第二配線層 182b 的接墊圖案整合在一起。另外，當形成第二配線通孔 183b 的孔洞時，第二配線層 182b 的接墊的部分可用作終止元件。在第二配線通孔 183b 具有上表面的寬度較其下表面的寬度寬的錐形形狀的情形中，就製程而言，具有錐形形狀的第二配線通孔 183b 可為有利的。在此種情形中，第二配線通孔 183b 可與第三配線層 182c 的接墊圖案整合在一起。

【0098】 在各種實例中闡述的半導體封裝 100A、半導體封裝 100B、半導體封裝 100C 及半導體封裝 100D 的框架 110 可應用在半導體封裝 100E 中。其他配置可與以上所述配置實質上相同，且將省略其詳細說明。

【0099】 在本揭露中，為方便起見，下側、下部分、下表面等是指相對於圖式的剖面的向下方向，且上側、上部分、上表面等意指相反的方向。然而，應理解本申請專利範圍的範圍不受此類方向的說明特別限制，且上/下的概念可隨時改變。

【0100】 本揭露中的進行連接的意義不僅可為直接連接，且亦可為包括經由黏合層等的間接連接的概念。另外，用語「電性連接」意指包括物理連接及非連接二者的概念。此外，可使用第一、第二等表達來區分各個組件，而不限制所述組件的次序及/或重要性。在一些情形中，在不背離權利範圍的條件下，第一組件可被稱為第二組件，且相似地，第二組件亦可被稱為第一組件。

【0101】 在本揭露中使用的表達「例示性」並不意指同一實施例，而是可為強調並闡釋不同的獨特特徵而提供。然而，上述實例並不排除其與其他實例的特徵相組合而實施。舉例而言，儘管在具體實例中的說明可能在另一實例中並未闡述，然而除非所述另一實例另外闡述或相矛盾，否則上述說明可被理解為與另一實例相關的闡釋。

【0102】 在本揭露中使用的用語可能僅用於示出實例，且可不旨在限制本揭露。其中除非上下文另外清晰地闡明，否則單數表達包括複數表達。

【0103】 根據本揭露的態樣，可提供一種即使可能使用多個半導體晶片亦可被薄化且效能亦會改善的高度整合的半導體封裝。

【0104】 儘管以上已示出並闡述了例示性實施例，然而對於熟習此項技術者而言將顯而易見的是，在不背離由隨附申請專利範圍所界定的本揭露的範圍的條件下，可作出修改及變型。

【符號說明】

【0105】

10A：第一結構

10B：第二結構

100A：半導體封裝/封裝

100B、100C、100D、100E、1121：半導體封裝

110：框架

110H、180H：貫穿孔

- 121、122、123、124：第一半導體晶片/半導體晶片
- 121d、122d、123d、124d：黏合膜
- 121P、122P、123P、124P：第一連接墊/連接墊
- 121v、122v、123v、124v：連接通孔
- 130：第一包封體
- 140：第一連接構件
- 141：第一絕緣層
- 142a：第一重佈線層/1-1 重佈線層/重佈線層
- 142b：第一重佈線層/1-2 重佈線層/重佈線層
- 143a：第一重佈線通孔/1-1 重佈線通孔
- 143b：第一重佈線通孔/1-2 重佈線通孔
- 151、152：第二半導體晶片/半導體晶片
- 151P、152P、153P、2122、2222：連接墊
- 153：第三半導體晶片/半導體晶片
- 160：第二包封體
- 162：背側配線層
- 163：背側通孔
- 170：第二連接構件
- 171a：第二絕緣層/2-1 絕緣層
- 171b：第二絕緣層/2-2 絕緣層
- 172a：第二重佈線層/2-1 重佈線層/重佈線層
- 172b：第二重佈線層/2-2 重佈線層/重佈線層

- 173a：第二重佈線通孔/2-1 重佈線通孔
- 173b：第二重佈線通孔/2-2 重佈線通孔
- 180：電性連接構件/貫通孔/框架
- 181、2141、2241：絕緣層
- 181a：第一絕緣層/絕緣層
- 181b：第二絕緣層/絕緣層
- 181c：第三絕緣層
- 182a：配線層/第一配線層
- 182b：配線層/第二配線層
- 182c：配線層/第三配線層
- 182d：配線層/第四配線層
- 183：配線通孔
- 183a：配線通孔/第一配線通孔
- 183b：配線通孔/第二配線通孔
- 183c：配線通孔/第三配線通孔
- 190、195：電性連接結構
- 200：膠帶
- 1000：電子裝置
- 1010、2500：主板
- 1020：晶片相關組件
- 1030：網路相關組件
- 1040：其他組件

1050、1130：照相機模組

1060：天線

1070：顯示器裝置

1080：電池

1090：訊號線

1100：智慧型電話

1101、2121、2221：本體

1110：母板

1120：電子組件

2100：扇外型半導體封裝

2120、2220：半導體晶片

2130：包封體

2140、2240：連接構件

2142：重佈線層

2143、2243：通孔

2150、2223、2250：鈍化層

2160、2260：凸塊下金屬層

2170、2270：焊球

2200：扇入型半導體封裝

2242：配線圖案

2243h：通孔孔洞

2251：開口

2280：底部填充樹脂

2290：模製材料

2301、2302：球柵陣列基板

【發明申請專利範圍】

【第1項】一種半導體封裝，包括：

多個第一半導體晶片，各自具有上面配置有第一連接墊的第一主動面以及與所述第一主動面對的第一非主動面，所述第一半導體晶片被堆疊成使得所述第一連接墊被分別暴露出；

第一包封體，覆蓋所述多個第一半導體晶片中的每一者的至少部分；

第一連接構件，配置於較所述多個第一半導體晶片的位置低的位置中以及所述第一包封體的下部分中，且包括一或多個第一重佈線層以及將所述第一半導體晶片中的每一者的所述第一連接墊電性連接至所述一或多個第一重佈線層的多個連接通孔，所述連接通孔中的每一者穿透至所述第一包封體中，且所述連接通孔的高度彼此不同；

第二半導體晶片，配置於較所述第一連接構件的位置低的位置中，且具有上面配置有第二連接墊的第二主動面以及與所述第二主動面對的第二非主動面；

第二包封體，配置於較所述第一連接構件的位置低的位置中，且覆蓋所述第二半導體晶片的至少部分；

第二連接構件，配置於較所述第二半導體晶片的位置低的位置中以及所述第二包封體的下部分中，且包括電性連接至所述第二連接墊的至少一個第二重佈線層；以及

電性連接構件，穿過所述第二包封體，且電性連接所述一或

多個第一重佈線層與所述至少一個第二重佈線層

其中在所述第一半導體晶片中的每一者的所述第一非主動面上配置有黏合膜，且

在所述多個第一半導體晶片在垂直方向上彼此鄰近的兩個第一半導體晶片中，配置於相對較低位置處的第一半導體晶片的第一非主動面藉由所述黏合膜貼附至配置於相對較高位置處的第一半導體晶片的第一主動面。

【第2項】如申請專利範圍第 1 項所述的半導體封裝，其中所述電性連接構件包括多個貫通孔，所述多個貫通孔分別穿過所述第二包封體且電性連接所述一或多個第一重佈線層與所述至少一個第二重佈線層。

【第3項】如申請專利範圍第 1 項所述的半導體封裝，其中所述第一包封體包含感光性絕緣材料。

【第4項】如申請專利範圍第 3 項所述的半導體封裝，其中所述連接通孔分別在穿透至所述第一包封體的光通孔孔洞中利用金屬材料來填充。

【第5項】如申請專利範圍第 1 項所述的半導體封裝，其中配置於所述多個第一半導體晶片中的最上第一半導體晶片的所述第一非主動面上的所述黏合膜的上表面與所述第一包封體的上表面實質上共面。

【第6項】如申請專利範圍第 1 項所述的半導體封裝，其中配置於所述多個第一半導體晶片的最下側處的所述第一半導體晶片的第

一主動面與所述第一包封體的下表面物理地間隔開預定距離。

【第7項】如申請專利範圍第1項所述的半導體封裝，更包括具有貫穿孔的框架，

其中所述多個第一半導體晶片配置於所述貫穿孔中，且所述第一包封體填充所述貫穿孔的至少部分。

【第8項】如申請專利範圍第1項所述的半導體封裝，更包括第三半導體晶片，所述第三半導體晶片與所述第二半導體晶片平行地配置於較所述第一連接構件的位置低的位置中，且具有上面配置有第三連接墊的第三主動面以及與所述第三主動面對的第三非主動面；

其中所述第二包封體覆蓋所述第三半導體晶片的至少部分，且

所述至少一個第二重佈線層電性連接至所述第三連接墊。

【第9項】如申請專利範圍第8項所述的半導體封裝，

其中所述第一半導體晶片中的每一者是快閃記憶體晶片，所述第二半導體晶片是動態隨機存取記憶體晶片，且所述第三半導體晶片是控制器（CTRL）。

【第10項】如申請專利範圍第1項所述的半導體封裝，更包括多個第一電性連接結構，所述多個第一電性連接結構配置於較所述第二連接構件的位置低的位置中且電性連接至所述至少一個第二重佈線層。

【第11項】如申請專利範圍第1項所述的半導體封裝，其中所述

電性連接構件經由配置於所述第一連接構件與所述第二包封體之間的多個第二電性連接結構電性連接至所述一或多個第一重佈線層。

【第12項】一種半導體封裝，包括：

多個第一半導體晶片，各自具有上面配置有第一連接墊的第一主動面以及與所述第一主動面對的第一非主動面，且被堆疊成使得所述第一連接墊被分別暴露出；

第一包封體，覆蓋所述多個第一半導體晶片中的每一者的至少部分；

第一連接構件，配置於較所述多個第一半導體晶片的位置低的位置中以及所述第一包封體的下部分中，且包括一或多個第一重佈線層以及將所述第一半導體晶片中的每一者的所述第一連接墊電性連接至所述一或多個第一重佈線層的多個連接通孔，所述連接通孔中的每一者穿透至所述第一包封體中，且所述連接通孔的高度彼此不同；

框架，配置於較所述第一連接構件的位置低的位置中，具有貫穿孔，且包括多個配線層以及電性連接所述多個配線層的一或多層配線通孔；

第二半導體晶片，配置於所述貫穿孔中，且具有上面配置有第二連接墊的第二主動面以及與所述第二主動面對的第二非主動面；

第二包封體，配置於較所述第一連接構件的位置低的位置

中，且覆蓋所述第二半導體晶片的至少部分；

第二連接構件，配置於較所述框架、所述第二半導體晶片的位置低的位置中以及所述第二包封體的下部分中，且包括電性連接至所述第二連接墊的至少一個第二重佈線層；

多個第一電性連接結構，配置於較所述第二連接構件的位置低的位置中且電性連接至所述至少一個第二重佈線層；以及

多個第二電性連接結構，配置於所述第一連接構件與所述框架之間，且電性連接所述一或多個第一重佈線層與所述多個配線層。

【第13項】如申請專利範圍第12項所述的半導體封裝，其中所述框架包括第一絕緣層、第一配線層、第二配線層及第一配線通孔，所述第一配線層配置於所述第一絕緣層的下表面上，所述第二配線層配置於所述第一絕緣層的上表面上，所述第一配線通孔穿過所述第一絕緣層且電性連接所述第一配線層與所述第二配線層，且

所述第一配線層及所述第二配線層電性連接至所述一或多個第一重佈線層與所述至少一個第二重佈線層。

【第14項】如申請專利範圍第13項所述的半導體封裝，其中所述框架更包括第二絕緣層、第三配線層、第二配線通孔、第三絕緣層、第四配線層及第三配線通孔，所述第二絕緣層配置於所述第一絕緣層的下表面上且覆蓋所述第一配線層，所述第三配線層配置於所述第二絕緣層的下表面上，所述第二配線通孔穿過所述第

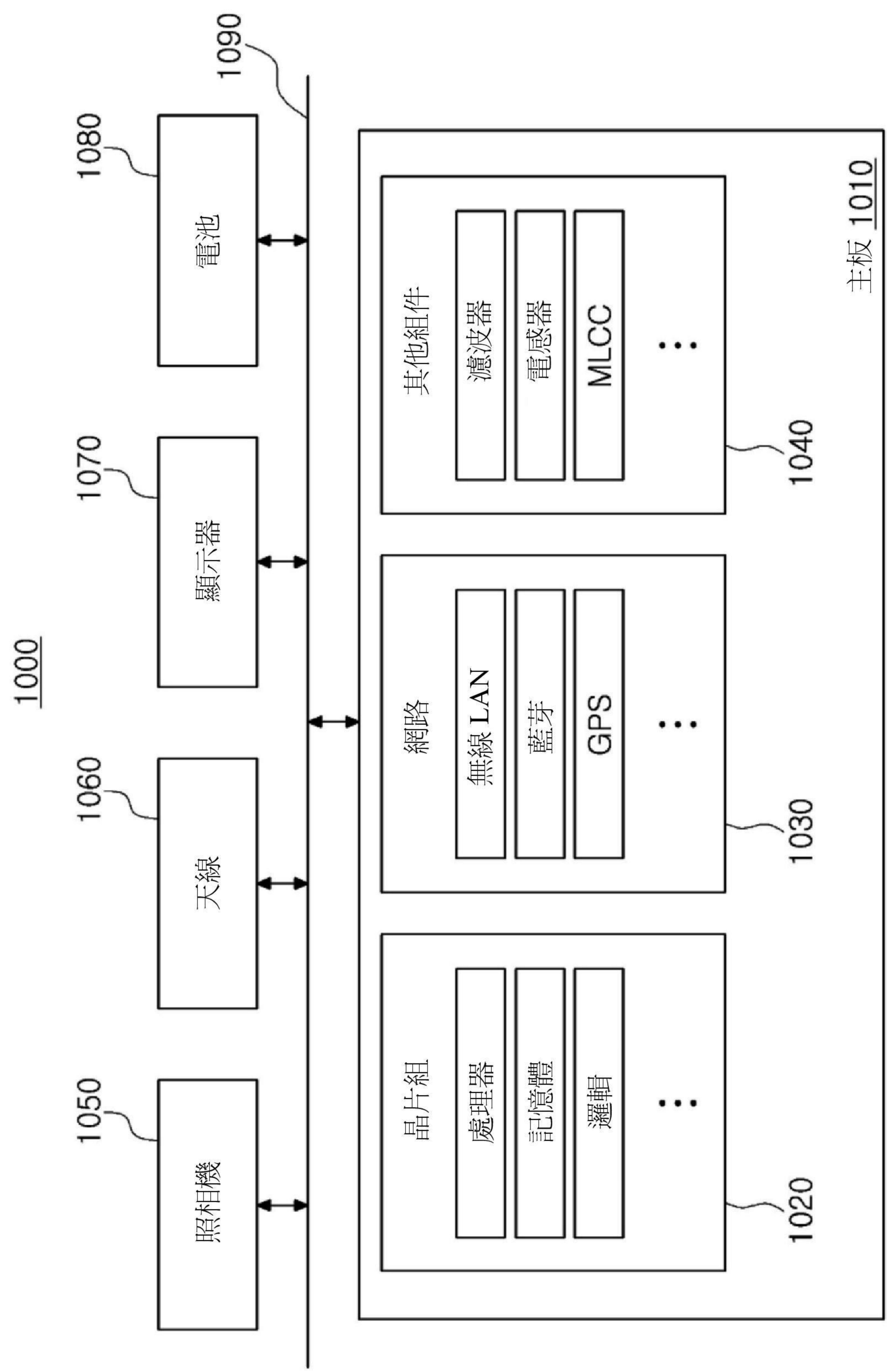
二絕緣層且電性連接所述第一配線層與所述第三配線層，所述第三絕緣層配置於所述第一絕緣層的上表面上且覆蓋所述第二配線層，所述第四配線層配置於所述第三絕緣層的上表面上，所述第三配線通孔穿過所述第三絕緣層且電性連接所述第二配線層與所述第四配線層，且

所述第一配線層至所述第四配線層電性連接至所述一或多個第一重佈線層與所述至少一個第二重佈線層。

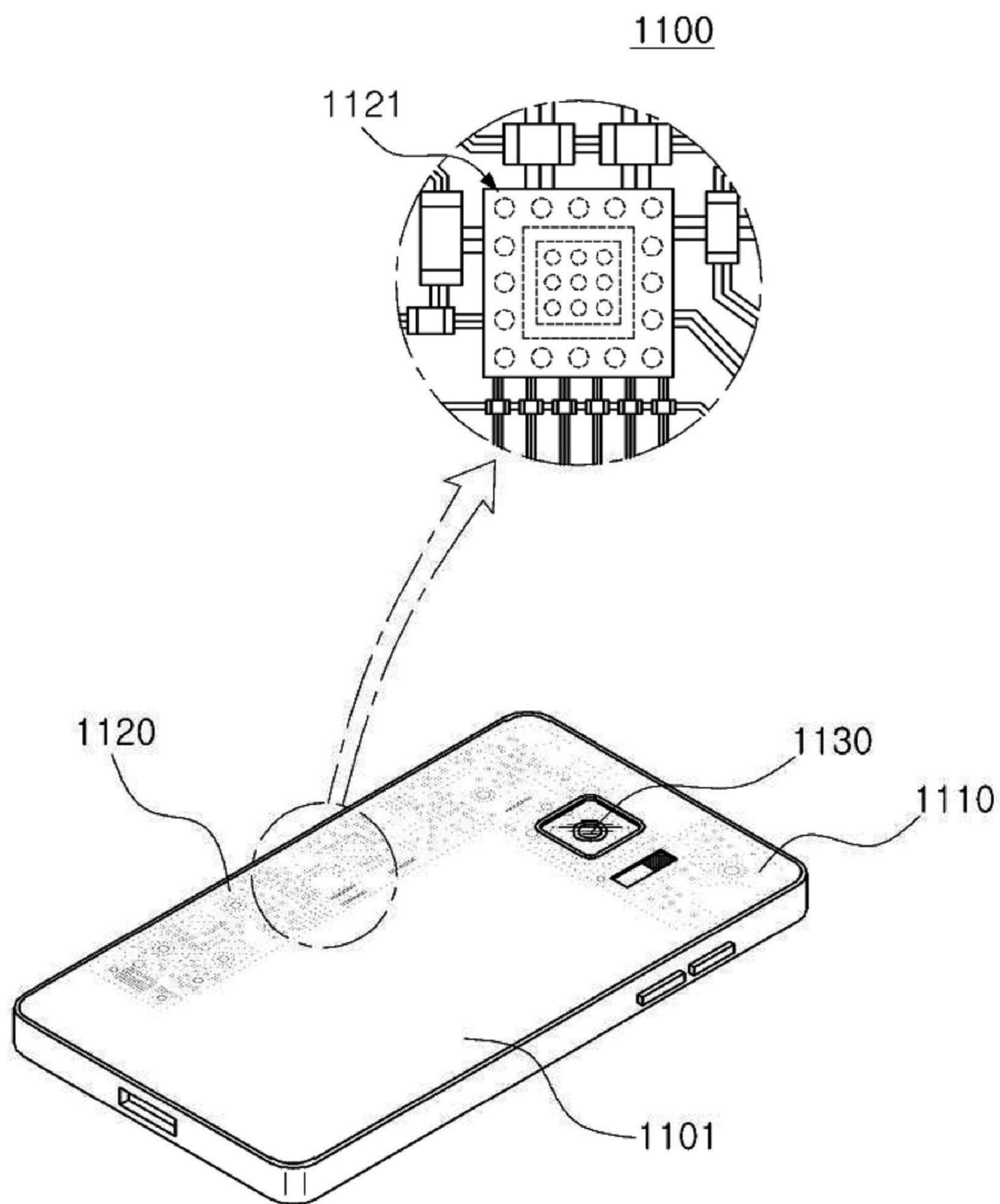
【第15項】如申請專利範圍第12項所述的半導體封裝，其中所述框架包括第一絕緣層、第一配線層、第二配線層、第二絕緣層、第一配線通孔、第三配線層及第二配線通孔，所述第一配線層嵌入所述第一絕緣層中以使所述第一配線層的下表面被暴露出，所述第二配線層配置於所述第一絕緣層的上表面上，所述第二絕緣層配置於所述第一絕緣層的所述上表面上且覆蓋所述第二配線層，所述第一配線通孔穿過所述第一絕緣層且電性連接所述第一配線層與所述第二配線層，所述第三配線層配置於所述第二絕緣層的上表面上，所述第二配線通孔穿過所述第二絕緣層且電性連接所述第二配線層與所述第三配線層，且

所述第一配線層至所述第三配線層電性連接至所述一或多個第一重佈線層與所述至少一個第二重佈線層。

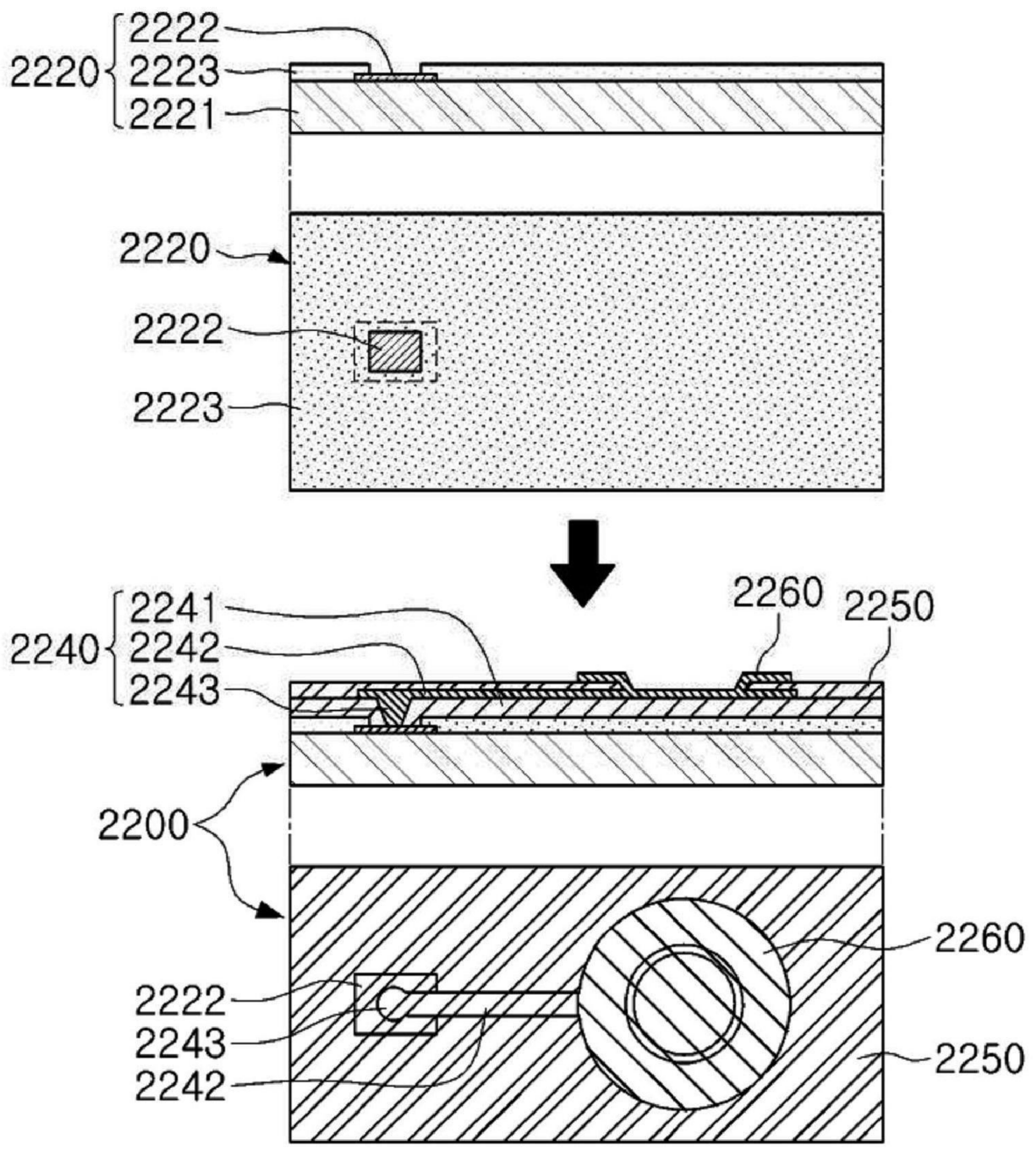
【發明圖式】



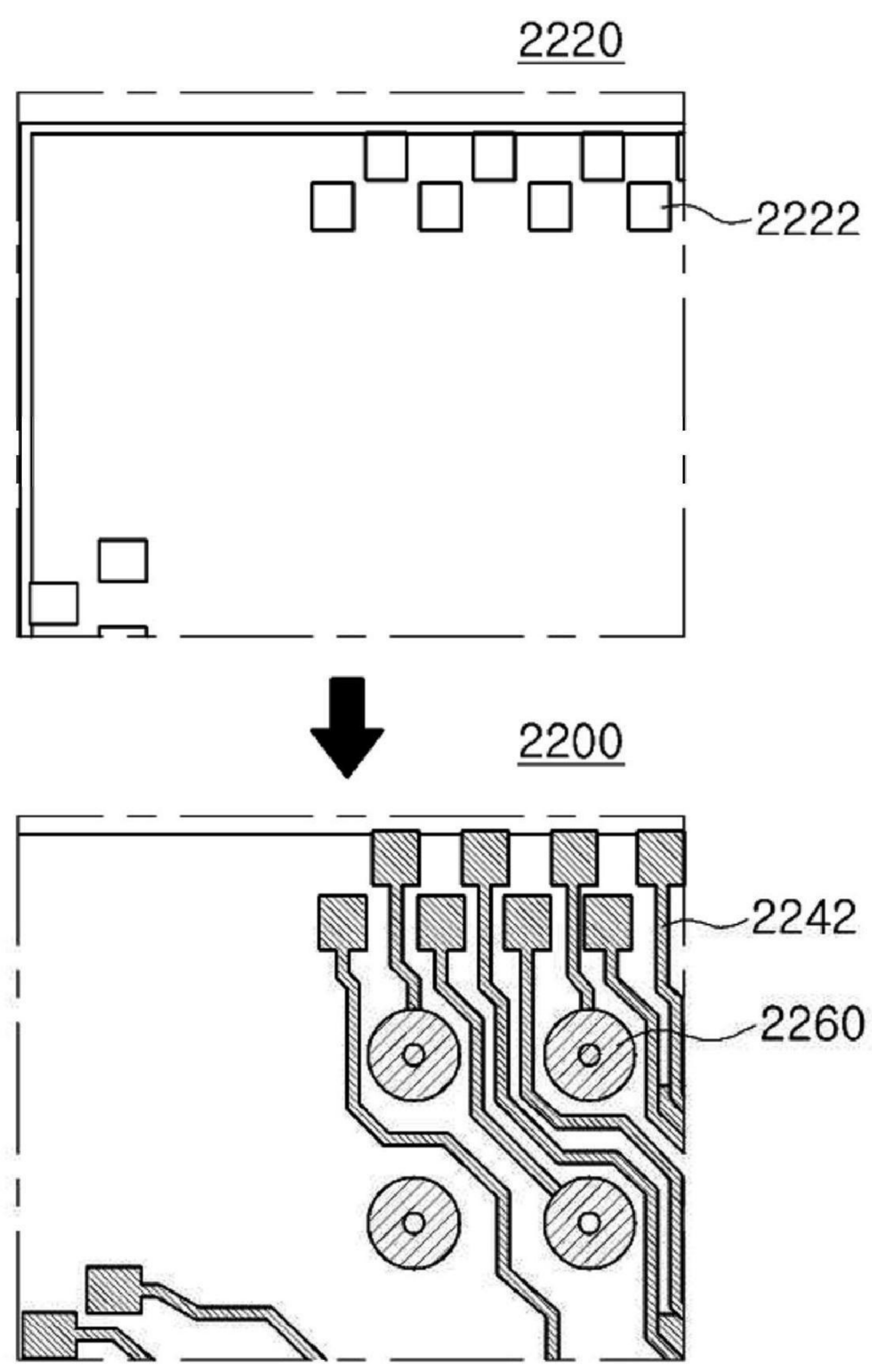
【圖 1】



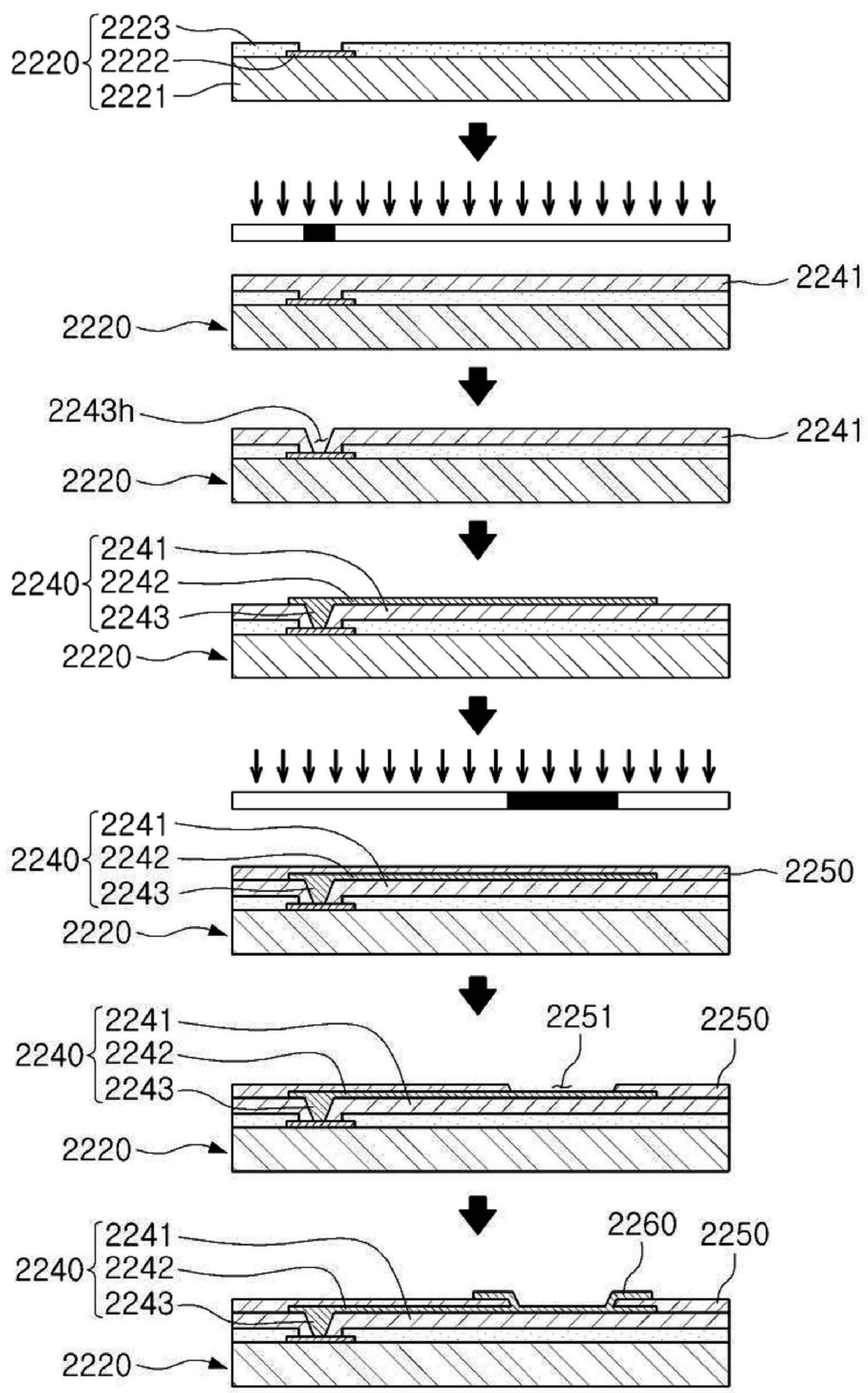
【圖 2】



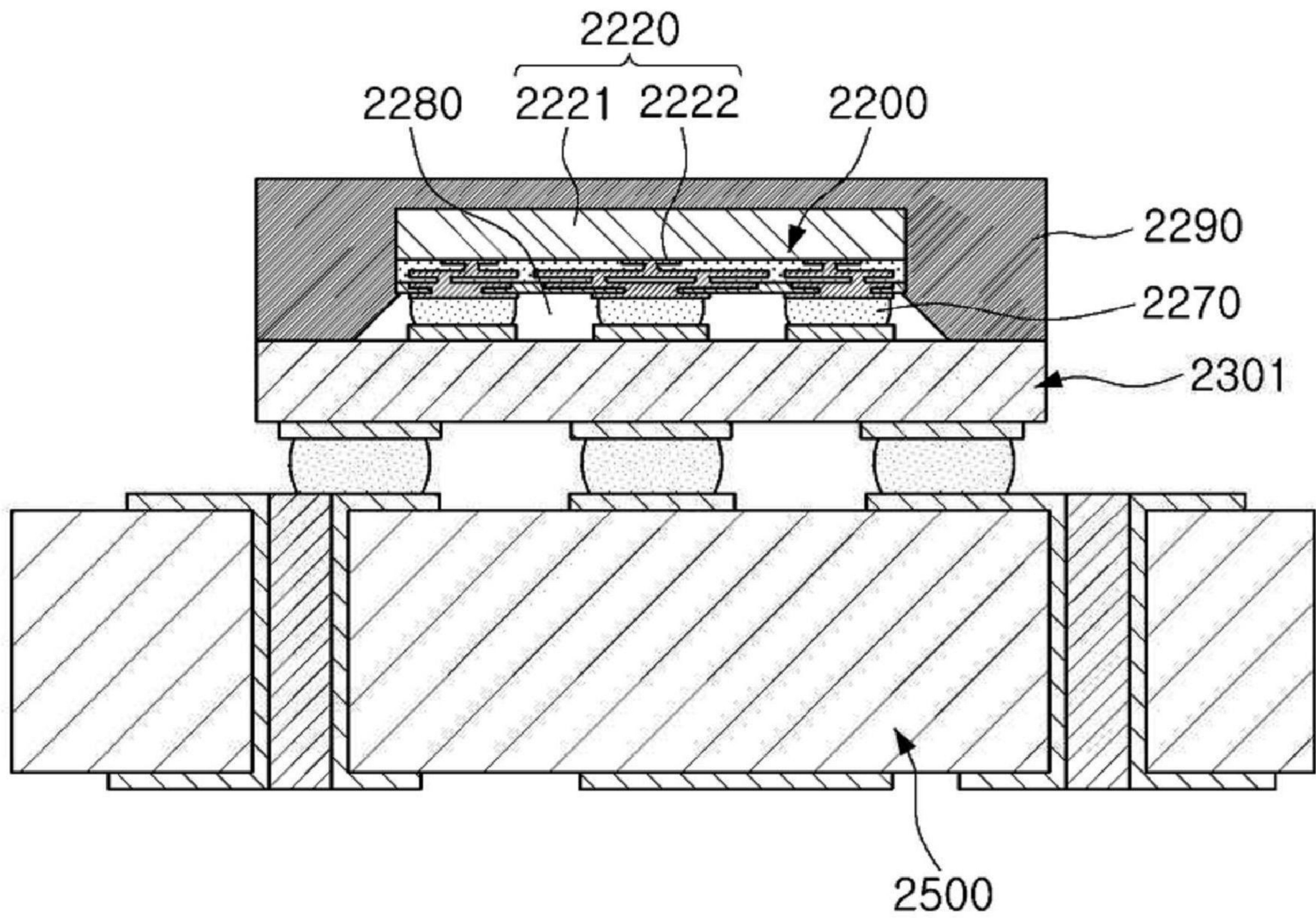
【圖 3A】



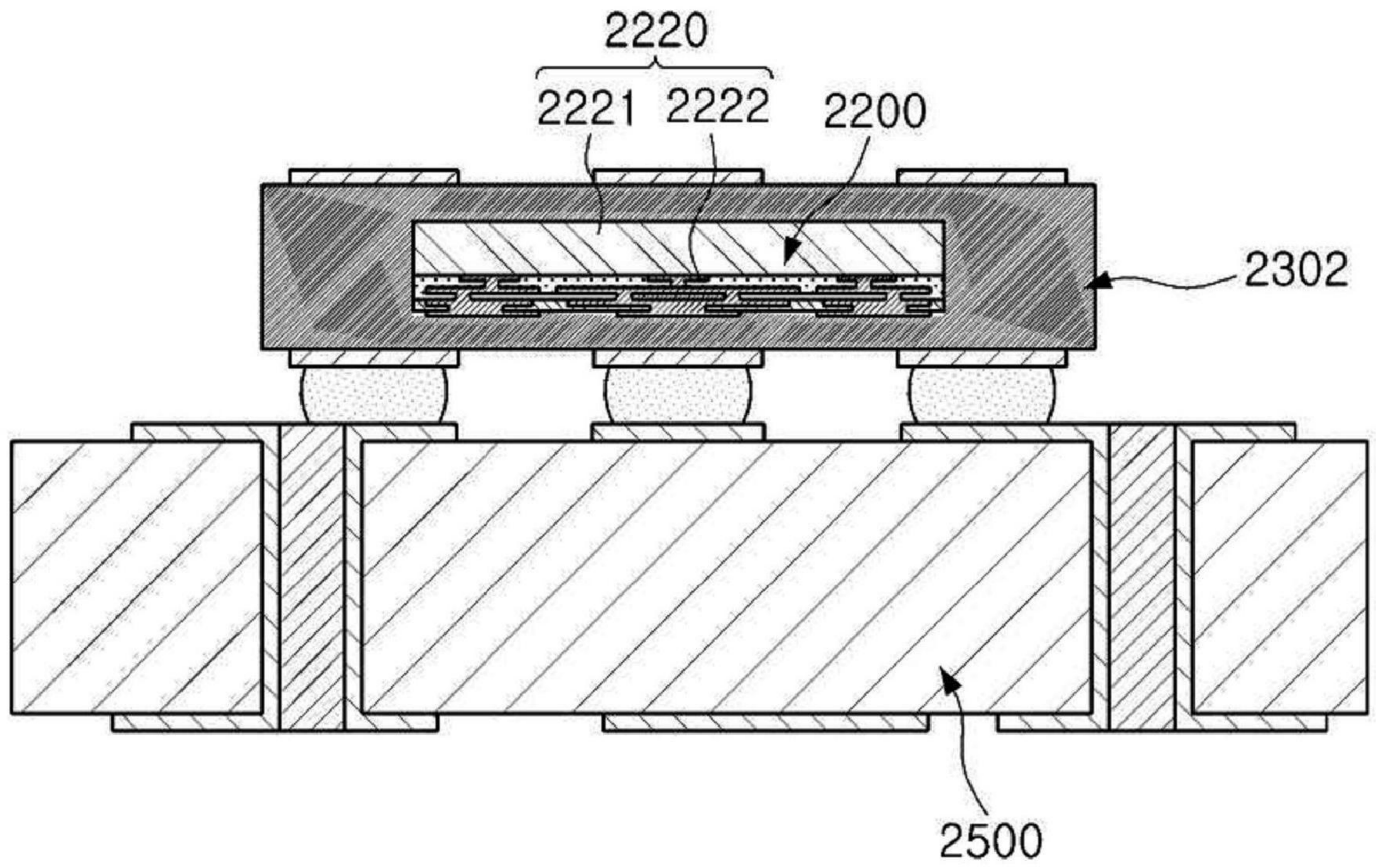
【圖 3B】



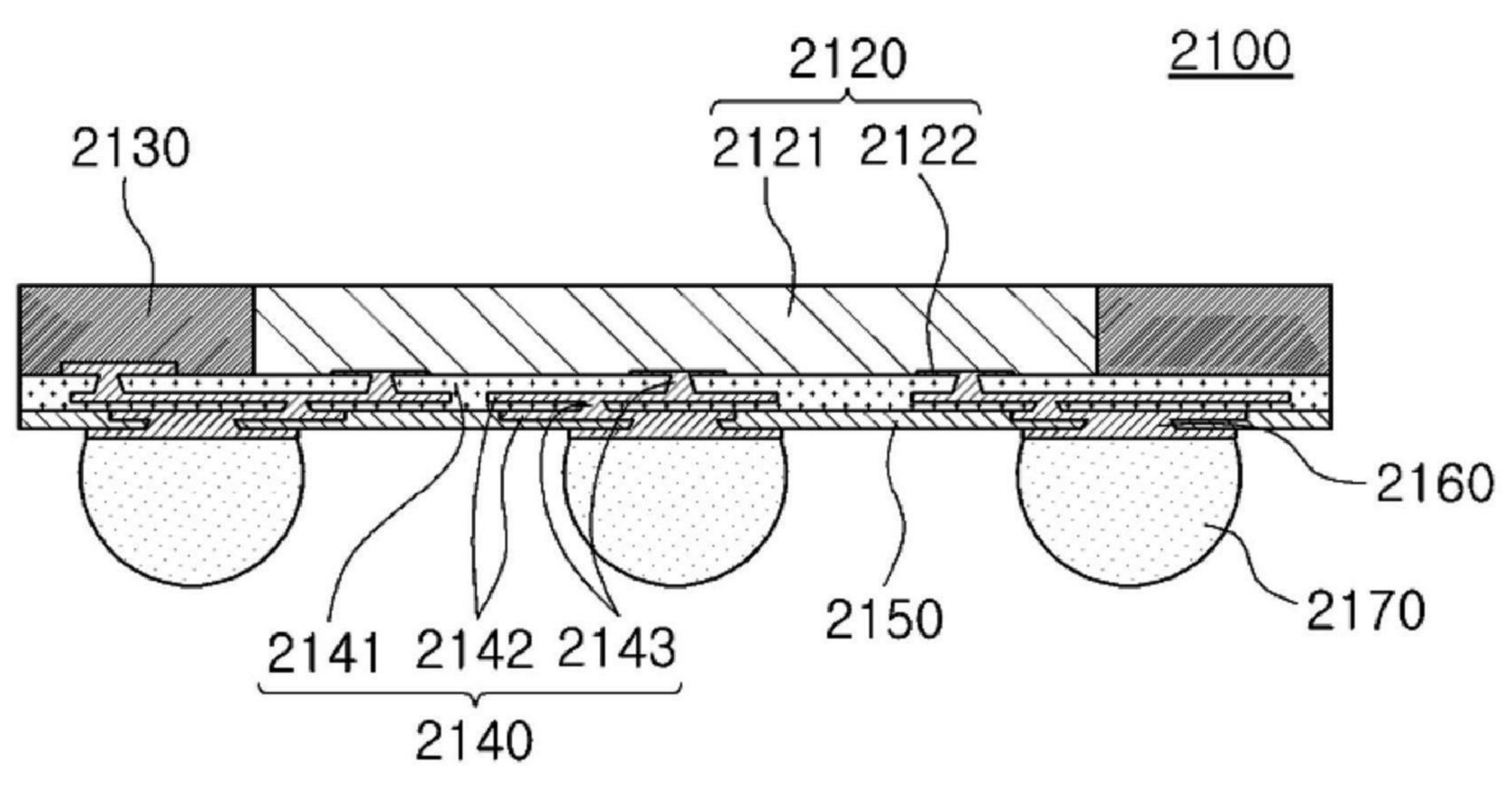
【圖 4】



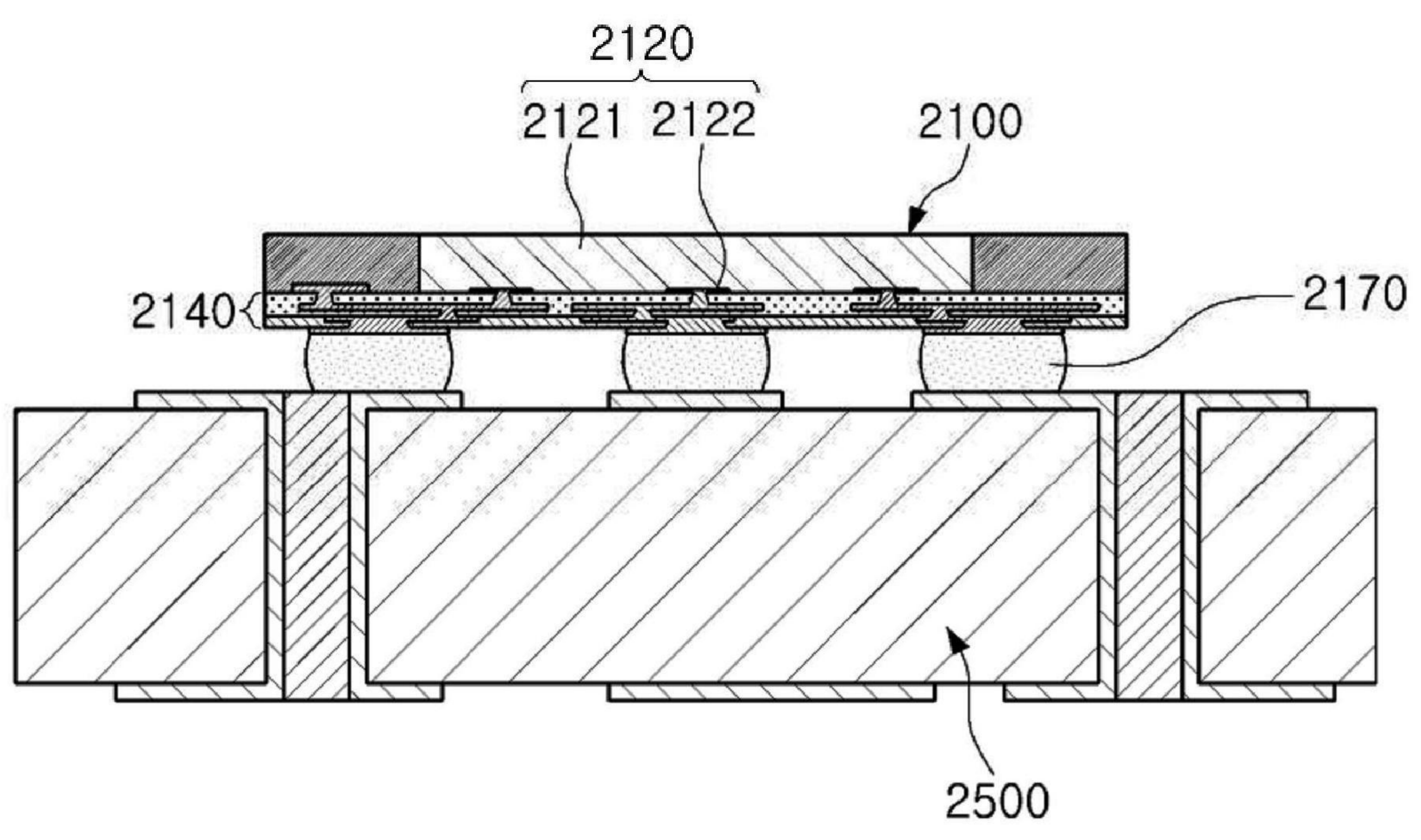
【圖 5】



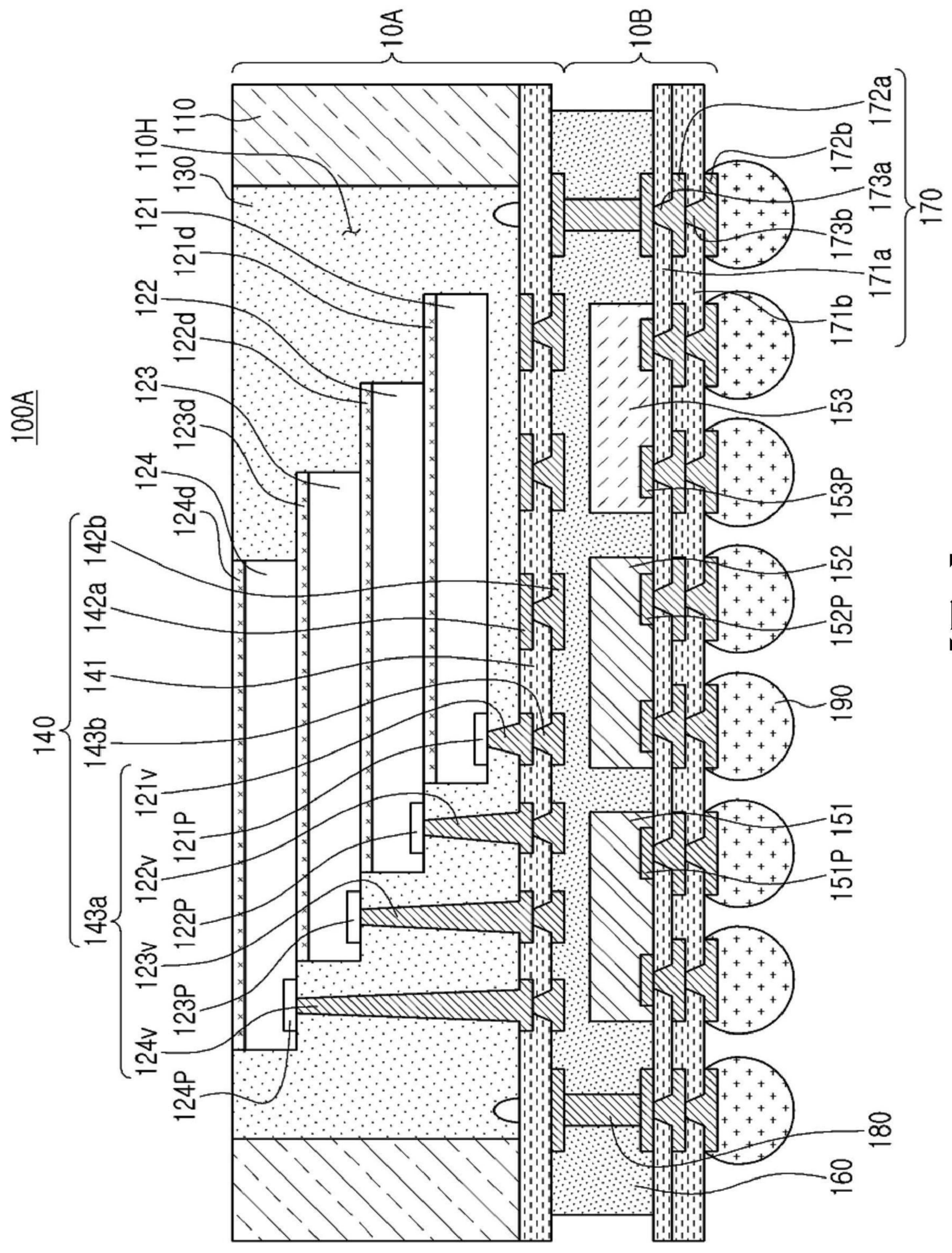
【圖 6】



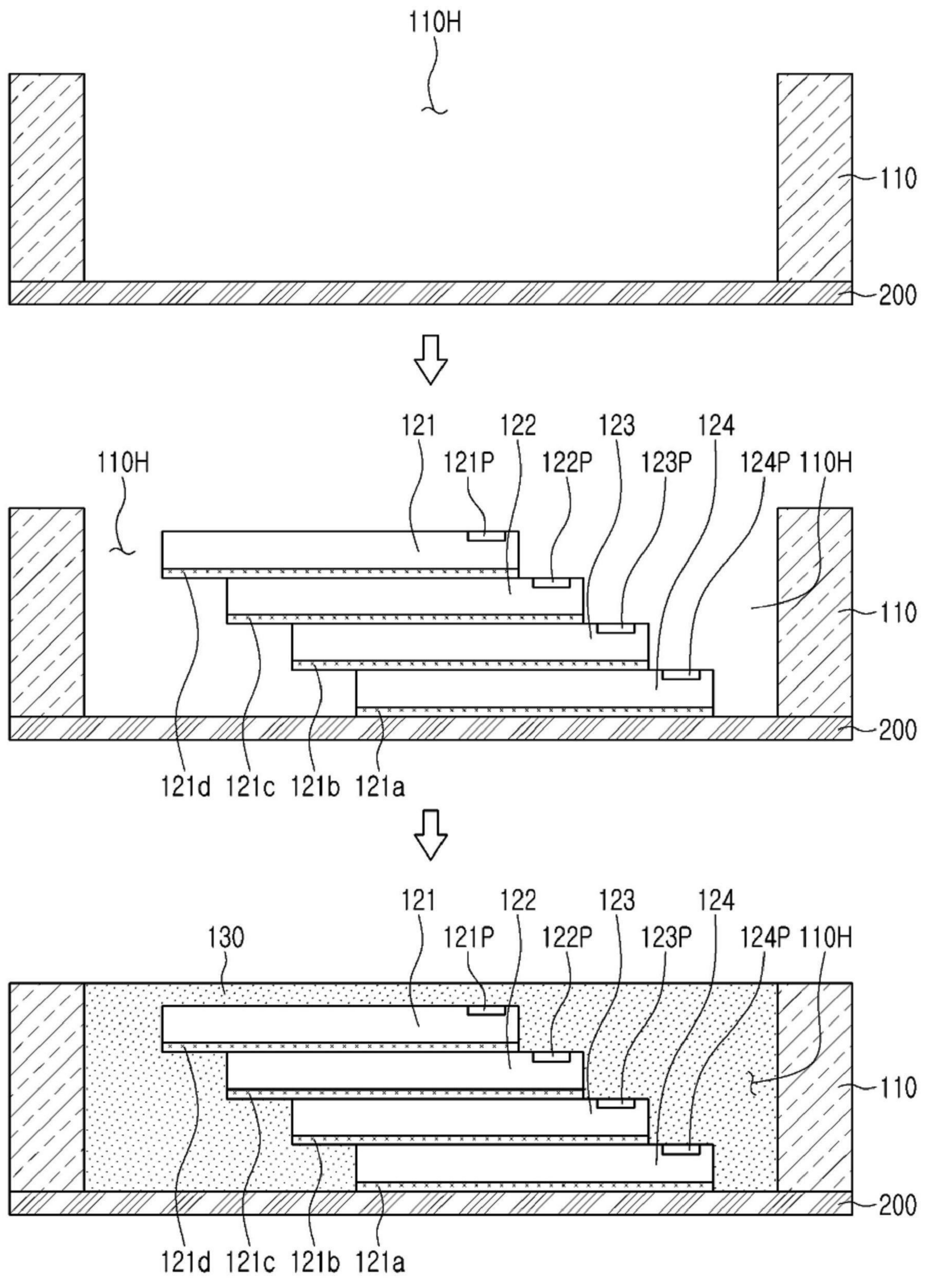
【圖 7】



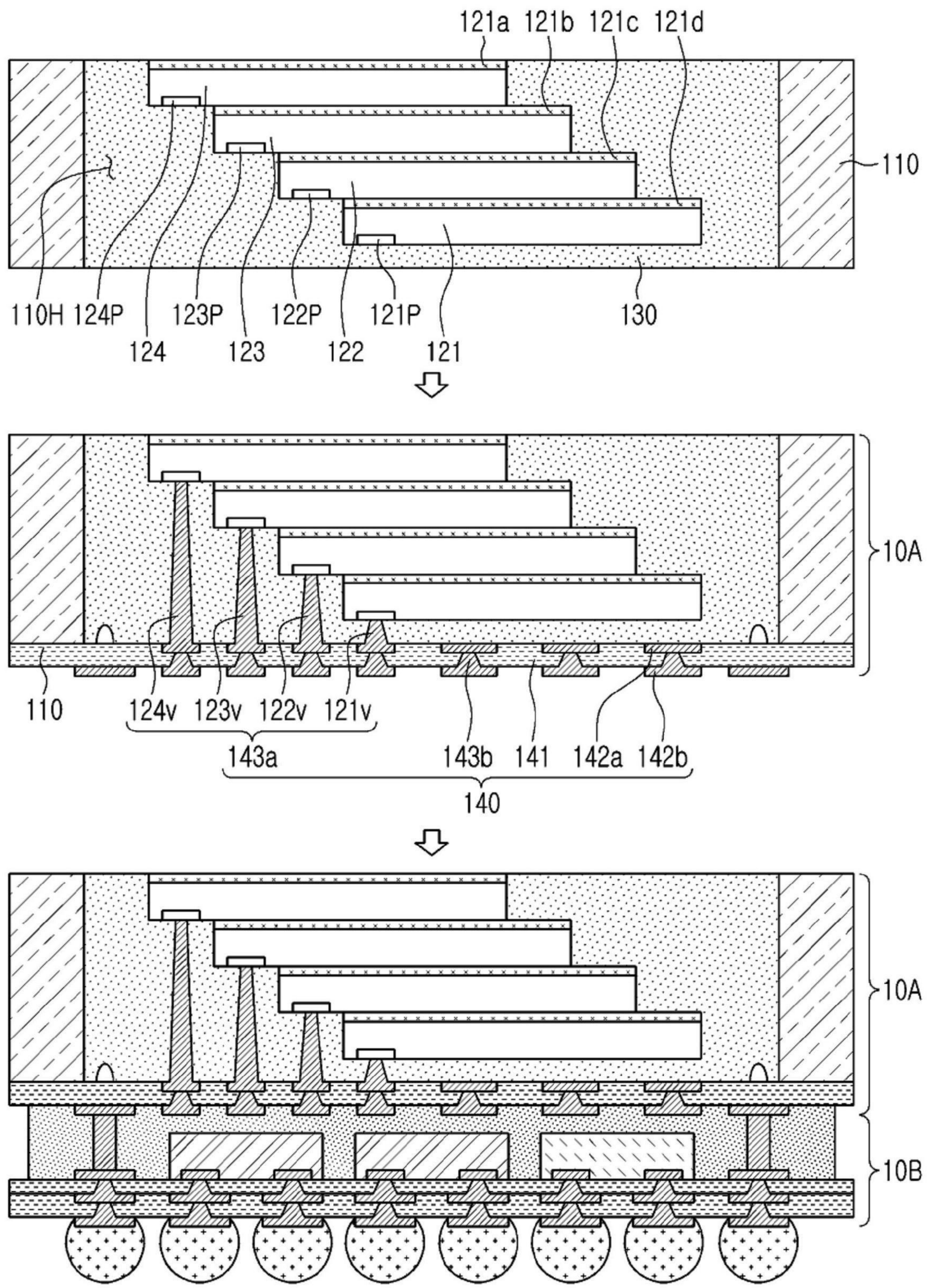
【圖 8】



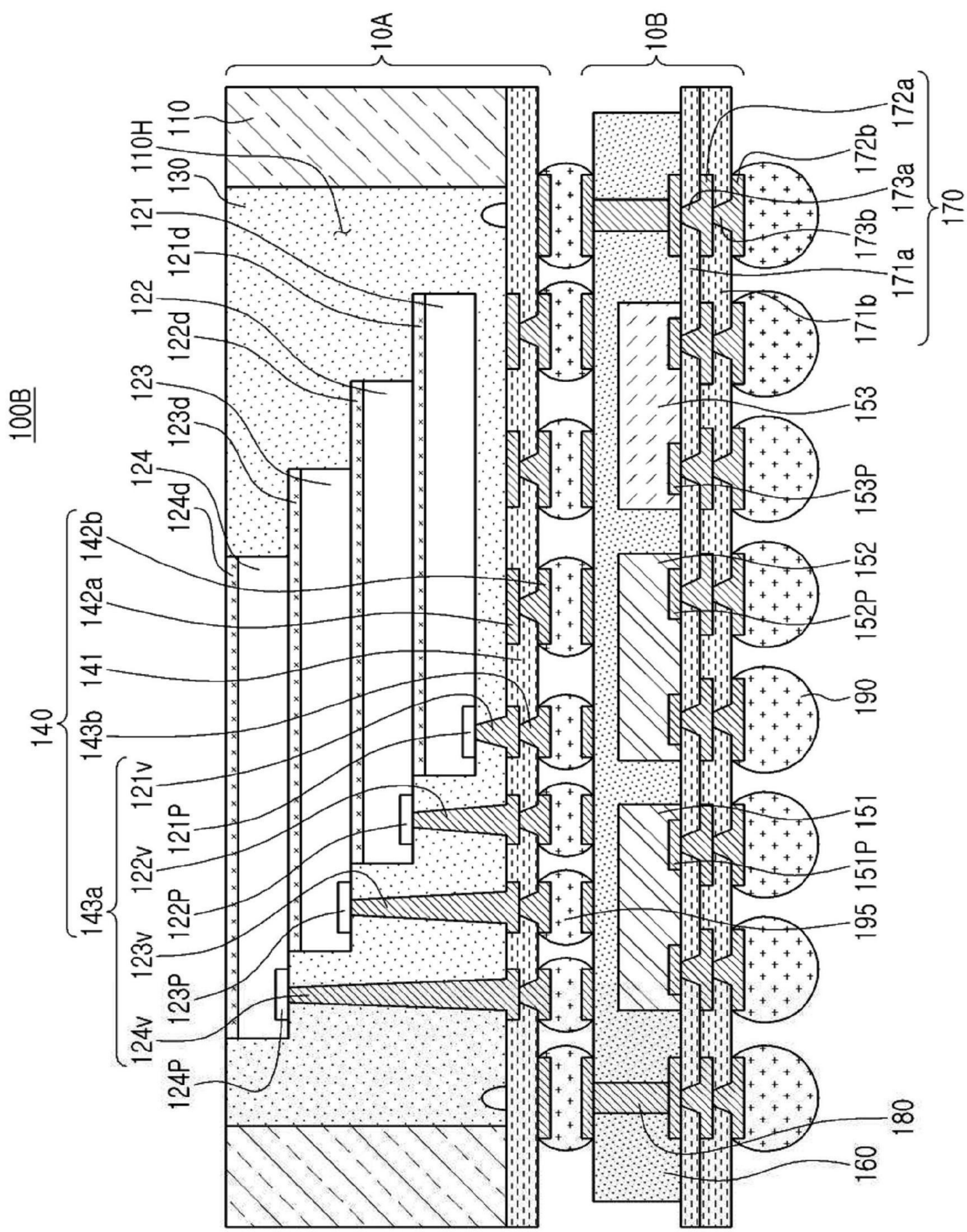
【圖 9】



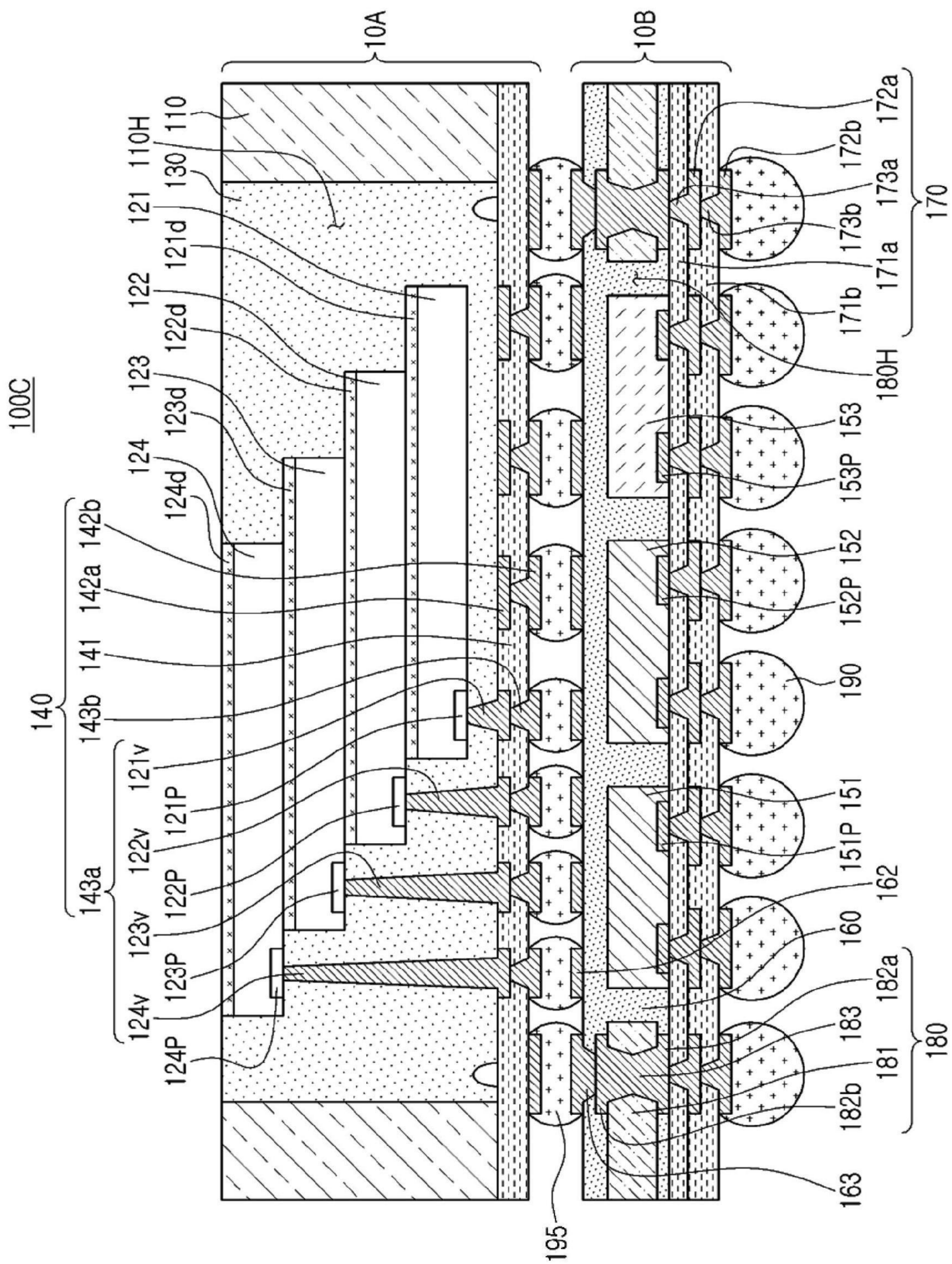
【圖 10】



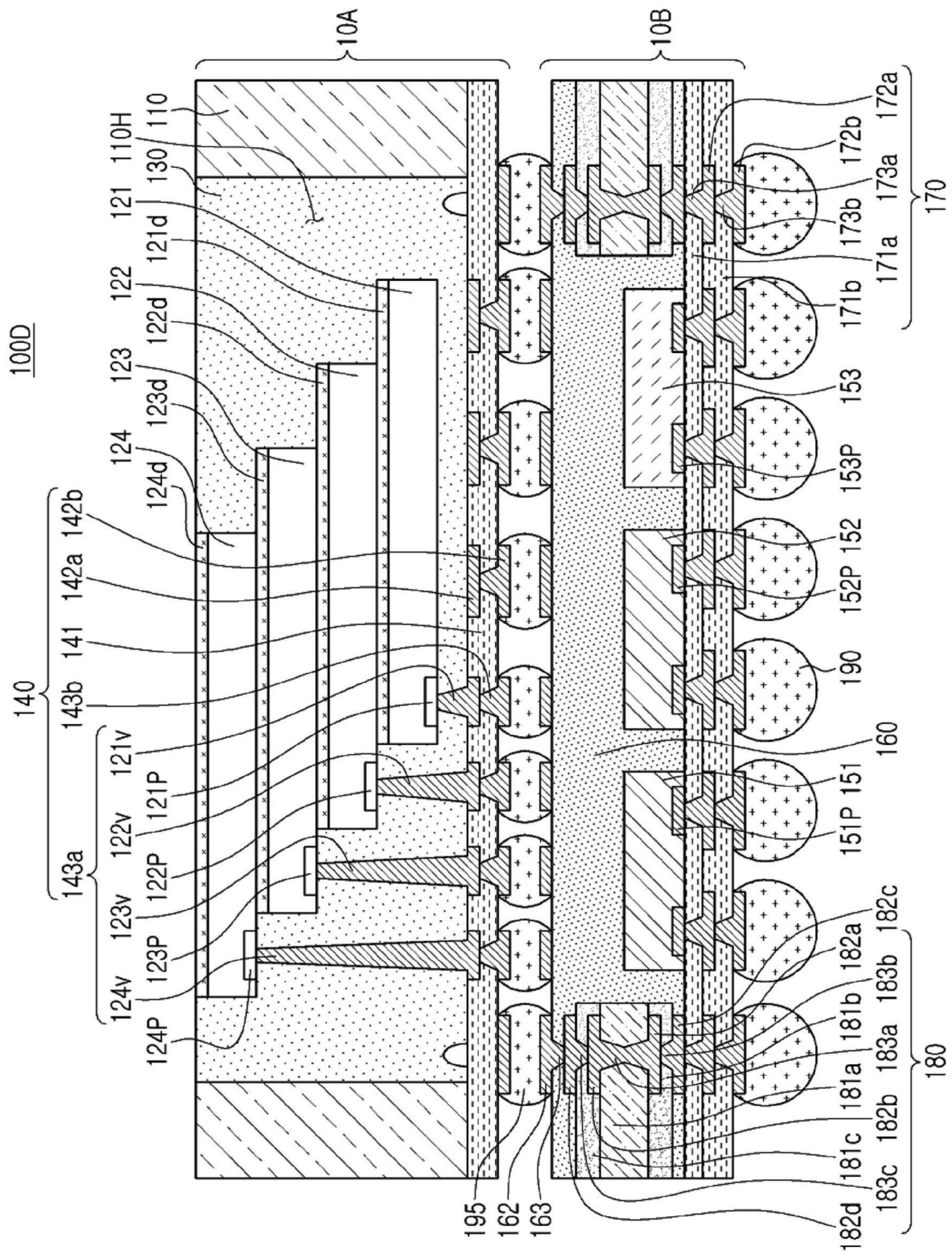
【圖 11】



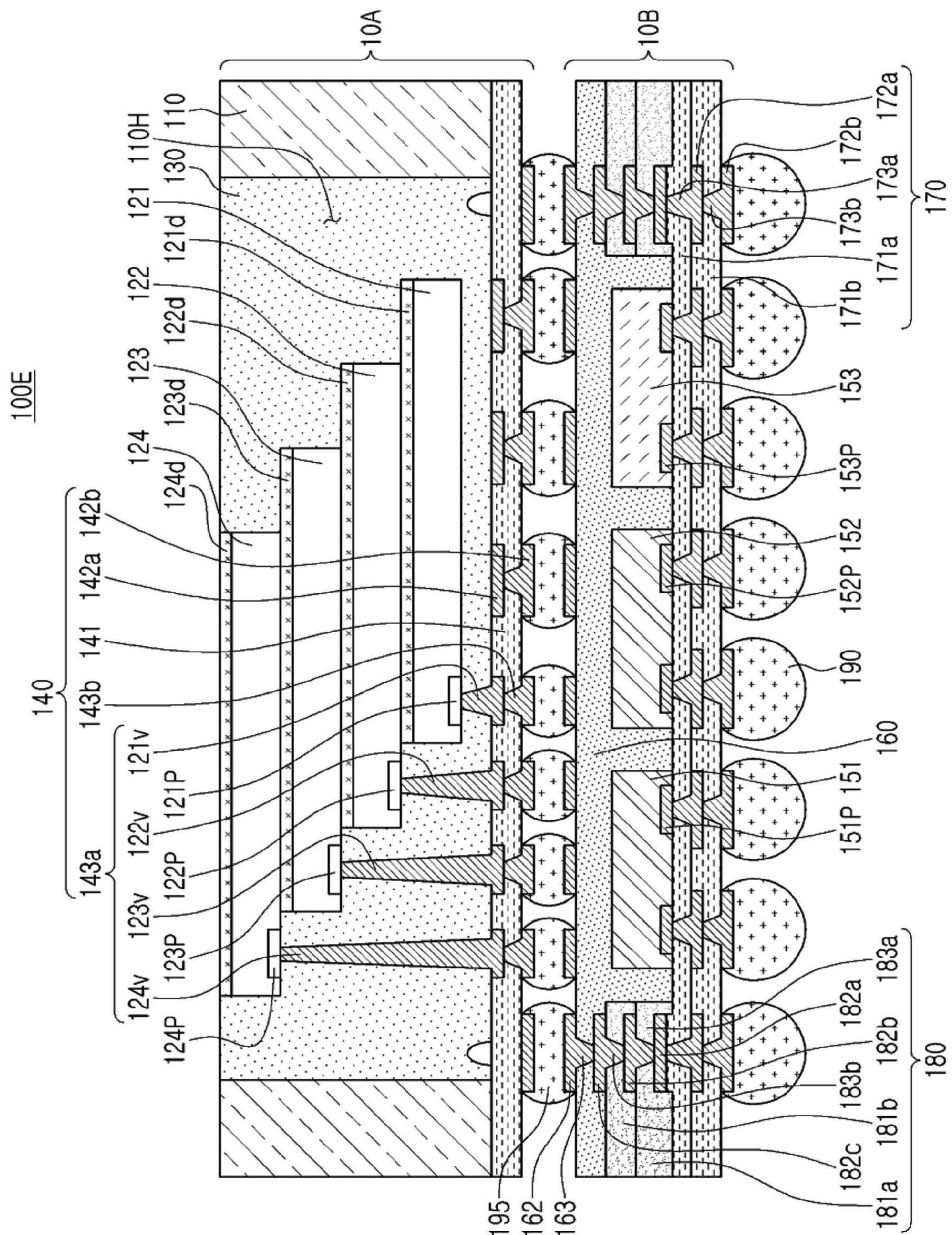
【圖 12】



【圖 13】



【圖 14】



【圖 15】