

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. G11C 29/00 (2006.01) G11C 7/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월05일 10-0596436 2006년06월27일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0059668 2004년07월29일	(65) 공개번호 (43) 공개일자	10-2006-0011022 2006년02월03일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	도창호 경기도 이천시 대월면 사동리 441-1번지 현대전자아파트 101-1406
(74) 대리인	특허법인 신성

심사관 : 김세영

(54) 반도체 메모리 소자 및 그 테스트 방법

요약

반도체 메모리 소자는 제조 공정의 관점에서 셀 어레이와 비트라인 센스앰프 어레이로 이루어진 코어(core)영역과, 데이터/어드레스 입출력 장치 및 배선들로 이루어진 페리(peripheral)영역으로 구분할 수 있는데, 본 발명은 백그라운드 테스트의 수행을 위한 추가 모듈 및 추가 배선이 반도체 페리영역에 형성함으로써, 제작공정이 간단하고 제작비용이 저렴한 백그라운드 테스트를 수행할 수 있는 가능한 반도체 메모리 소자를 제공함에 그 목적이 있다.

상기 목적을 달성하기 위한 본 발명의 메모리 소자는, 메모리 셀들의 집합으로 된 셀 어레이와; 상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인과; 상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 I/O라인과; 상기 I/O라인에 테스트 전압을 인가하기 위한 테스트 전압 인가부를 포함하는 것을 특징으로 하는데, 상기 테스트 전압 인가부를 페리영역에 구현한다.

대표도

도 4

색인어

번인 테스트, 백그라운드 라이트, I/O라인, 테스트 전압 인가, 페리영역

명세서

도면의 간단한 설명

도 1은 일반적인 반도체 메모리 소자의 셀 어레이 블록 구조 및 쓰기 경로를 도시한 구조도,

- 도 2는 일반적인 반도체 메모리 소자의 하나의 메모리 셀에 대한 읽기 및 쓰기 경로를 나타내기 위한 회로도,
- 도 3은 종래의 백그라운드 쓰기 테스트를 설명하기 위한 회로도,
- 도 4는 본 발명의 제1 실시예에 따른 반도체 메모리 소자의 쓰기 경로를 나타낸 회로도,
- 도 5는 본 발명의 제1 실시예에 따른 반도체 메모리 소자 내 비트라인 선택 스위치 제어부의 구체 회로도,
- 도 6은 본 발명의 제1 실시예에 따른 반도체 메모리 소자 내 라이트 드라이버의 구체 회로도,
- 도 7은 본 발명의 제1 실시예에 따른 반도체 메모리 소자 내 입력데이터 구동기 제어부의 구체 회로도,
- 도 8a는 본 발명 제1 실시예의 반도체 메모리 소자 내 하이테스트 명령 생성기의 구체 회로도,
- 도 8b는 본 발명 제1 실시예의 반도체 메모리 소자 내 로우테스트 명령 생성기의 구체 회로도,
- 도 9는 본 발명 제2 실시예의 반도체 메모리 소자 내 입력데이터 구동기의 구체 회로도,
- 도 10a는 본 발명 제2 실시예의 반도체 메모리 소자 내 정상선 하이테스트 명령 생성기의 구체 회로도,
- 도 10b는 본 발명 제2 실시예의 반도체 메모리 소자 내 정상선 로우테스트 명령 생성기의 구체 회로도,
- 도 10c는 본 발명 제2 실시예의 반도체 메모리 소자 내 반전선 하이테스트 명령 생성기의 구체 회로도,
- 도 10d는 본 발명 제2 실시예의 반도체 메모리 소자 내 반전선 로우테스트 명령 생성기의 구체 회로도,
- 도 11은 본 발명 제3 실시예의 반도체 메모리 소자의 쓰기 경로를 나타낸 회로도,
- 도 12는 본 발명 제3 실시예의 반도체 메모리 소자 내 테스트 전압 인가 회로의 구체 회로도,
- 도 13은 본 발명 제4 실시예의 반도체 메모리 소자 내 테스트 전압 인가 회로의 구체 회로도,
- 도 14a는 본 발명 제4 실시예의 반도체 메모리 소자 내 짝수열 테스트 전압 인가 회로의 구체 회로도,
- 도 14b는 본 발명 제4 실시예의 반도체 메모리 소자 내 홀수열 테스트 전압 인가 회로의 구체 회로도,
- 도 15는 본 발명 제5 실시예의 반도체 메모리 소자의 쓰기 경로를 나타낸 회로도,
- 도 16은 본 발명 제5 실시예의 반도체 메모리 소자내 프리차지부의 구체 회로도.

\* 도면의 주요 부분에 대한 부호의 설명

- 20 : 셀 어레이 60 : 센스앰프 어레이
- 171 : X디코더 172 : 비트라인 센스앰프 제어부
- 174 : X경로 지시부 176 : Y디코더
- 178 : Y디코더 지시부 190 : I/O라인 프리차지부
- 200 : 입력데이터 구동기 400 : 테스트 전압 인가 회로

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 동적 반도체 메모리 소자에 관한 것으로, 특히, 메모리 셀 영역에서의 불량률 탐지하는 테스트를 용이하게 수행할 수 있는 반도체 메모리 소자에 관한 것이다.

반도체 메모리 소자의 경우, 일반적으로 대부분의 불량률은 초기 사용시에 발생된다. 따라서, 반도체 메모리 소자의 제조 후 초기 불량률 탐지하기 위해, 메모리 소자에 스트레스를 가하는 번인(Burn in) 테스트를 수행한다. 그리고, 신속하고 간편한 번인 테스트를 위해 동시에 메모리 셀의 많은 영역에 다양한 방식으로 동시에 스트레스를 가하도록 테스트 데이터를 한꺼번에 기록하는 백그라운드 라이트 테스트 방법이 제안되어 있다. 특히, 셀영역에서의 불량률 초기 탐지하기 위하여 인접한 셀 사이에 서로 다른 비트값을 기록하여 셀과 셀간의 누설을 가속시키거나, 인접한 플러그 폴리 사이에 서로 다른 비트값을 기록하여 플러그 폴리와 플러그 폴리간의 누설을 가속시키는 테스트 방법이 다양한 방식으로 사용되고 있다. 종래 기술에서 초기 백그라운드 라이트 테스트를 위해서는 외부로부터의 데이터 기록경로를 경유하지 않고, 직접 메모리 셀에 테스트 값을 기록하였다.

도 1 내지 도 3은 종래의 반도체 메모리 소자에서의 초기 백그라운드 라이트 테스트 수행방법을 설명하기 위한 것이다.

도시된 구조에서, 메모리 셀로의 백그라운드 라이트는 비트라인에 프리차지 전압을 공급하는 프리차지부를 이용하여 이루어진다. 즉, 상기 프리차지부는 프리차지시에 고정된 프리차지 전압을 각 비트라인에 인가하기 위한 부분인데, 테스트 모드에서는 상기 고정된 프리차지 전압 대신 백그라운드 라이트 테스트 전압을 비트라인에 인가한다.

이후, 다수개의 워드라인을 선택적으로 활성화하거나, 전체 워드라인을 활성화하게 되면, 활성화된 워드라인에 달려있는 셀들에 이 바이어스 전위가 인가되어, 그에 따른 전하가 셀들에 저장된다. 이후, 상기 저장 데이터들을 리드하여 테스트를 수행할 수 있고, 이런 바이어스 전압 공급을 통해 셀과 셀간 스트레스, 플러그와 플러그간 스트레스를 주게 되며, 이후 다른 방법들과 병행하여 스트레스를 다양하게 부여할 수도 있다. VBLP0 및 VBLP1에 공급된 전위에 따른 전위 분포 상태를 표1에 나타내었다.

**[표 1]**

	BL even	BL even	BL odd	BL odd	VBLP 0	VBLP 1
CASE1	H	H	H	H	H	H
CASE2	H	H	L	L	H	L
CASE3	L	L	H	H	L	H
CASE4	L	L	L	L	L	L

상기 종래의 초기 백그라운드 라이트 테스트시 메모리 셀 영역에 스트레스 전압을 공급하는 방식은, 프리차지부를 통해 테스트 전압을 인가하기 위해, 도 2의 VBLP0라인과 VBLP1라인에 테스트 전압 공급부를 별도로 구비해야만 하였다. 즉, 테스트 전위 공급을 위한 별도의 전압 인가 라인이 코어(CORE) 영역에 추가되어야 하고, 연결을 위한 패드 또한 따로 추가되어야 하는 문제점이 있었다.

또한, 초기 백그라운드 라이트 테스트 수행 방식에 있어서도, 종래 기술에 의하면 상기 프리차지부의 균등화 모스트랜지스터에 의해 비트선(BL)과 반전비트선(BLB)에는 항상 동일한 전위가 인가되므로, 다양한 방법으로 테스트를 수행하는 것이 제한되는 문제점도 있었다.

반도체 메모리 소자는 제조 공정의 관점에서 셀 어레이와 비트라인 센스앰프 어레이로 이루어진 코어(core)영역과, 데이터/어드레스 입출력 장치 및 배선들로 이루어진 페리(peripheral)영역으로 구분할 수 있는데, 일반적으로 배선이나 추가 장치는 페리영역에 구현하는 것이 용이하고 저렴하다. 그런데, 종래기술을 구현하려면 코어영역의 비트라인 프리차지부까지 테스트 전압 인가를 위한 별도의 라인을 설비해야 하며, 이는 제작공정의 곤란 및 비용증가의 요인이 되었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점들을 해결하기 위하여 안출된 것으로서, 제작공정이 간단하고 제작비용이 저렴한 백그라운드 테스트를 수행할 수 있는 반도체 메모리 소자를 제공함에 그 목적이 있다.

또한, 본 발명은 백그라운드 테스트의 수행을 위한 추가 모듈 및 추가 배선이 반도체 페리영역에 형성되는 반도체 메모리 소자를 제공함에 다른 목적이 있다.

또한, 본 발명은 다양한 패턴으로 백그라운드 테스트 전압을 인가할 수 있는 반도체 메모리 소자를 제공함에 또 다른 목적이 있다.

또한, 본 발명은 비트라인과 반전비트라인에 서로 다른 테스트 전압을 인가할 수 있는 반도체 메모리 소자를 제공함에 또 다른 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 반도체 메모리 소자는,

메모리 셀들의 집합으로 된 어레이와; 상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인과; 상기 복수개의 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 I/O(입출력) 라인과; 상기 I/O라인에 테스트 전압을 인가하기 위한 테스트 전압 인가부를 포함하는 것을 특징으로 한다.

종래의 반도체 메모리 소자는 셀 커패시터에 외부 전압을 인가하여 테스트를 수행할 비트라인에 테스트 전압을 인가하는 방식으로 테스트를 수행하였는데 비해, 본 발명에서는 정상적인 디램의 동작시 데이터의 이동경로인 I/O라인을 통해 비트라인에 테스트 전압을 인가하는 방식을 제안한다.

따라서, 셀 어레이의 워드라인을 제어하는 X디코더와, 센스앰프를 제어하는 센스앰프 제어부의 테스트 모드에서의 테스트 지원방법 및 이를 위한 구조는 종래의 것과 동일하다.

본 발명에서는 I/O라인을 통해 테스트 전압을 인가하는데, 정상적인 동작 모드에서 하나의 I/O라인은 복수개의 비트라인 중 X어드레스 및/또는 Y어드레스에 따라, 하나 이상의 I/O스위치를 경유하여, 하나의 비트라인과 데이터 전송경로를 형성한다.

반면, 테스트 전압 인가시에는, 가능한 하나의 I/O라인과 연결가능한 모든 비트라인에 동시에 테스트 전압을 인가하는 것이 바람직한데, 테스트 전압 인가부의 출력용량이 충분하면, 하나의 I/O라인에 관련된 모든 I/O스위치를 턴온시켜 연결가능한 모든 비트라인에 테스트 전압을 인가하도록 구현할 수 있고, 테스트 전압 인가부의 출력용량이 불충분하면, 연결가능한 모든 비트라인 중 일부에만 테스트 전압을 인가하도록 구현할 수도 있다.

본 발명의 구성요소의 구분은 하나의 I/O라인을 중심으로 연결되는 구성요소들을 지정하여 설명하기로 한다. 따라서, 본 발명의 하기 설명은 하나의 I/O라인에 연결된 구성요소에 대하여 진행하지만, 다수의 I/O라인으로 구성된 일반적인 메모리 소자에 적용될 수 있음은 당업자에게 자명하게 이해될 것이다.

이하, 상기 I/O스위치를 제어하기 위한 구조를 포함한 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재

된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

( 실시예 1 )

본 실시예에서의 주안점은 상기 페리영역에 구현되는 상기 입력데이터 구동기에 변경을 가하여 백그라운드 라이트 테스트를 용이하게 수행할 수 있는 반도체 메모리 소자를 구현한 것에 있다.

도 4에 도시한 바와 같은 디램으로 구현한 본 실시예의 반도체 메모리 소자는, 메모리 셀들의 집합으로 된 셀 어레이(20)와; 상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인(BL, BLB)과; 상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 I/O라인과; 외부의 데이터를 입력받아 충분한 전력으로 상기 I/O라인에 전달하기 위한 입력데이터 구동기(200)를 포함하는 반도체 메모리 소자에 있어서,

상기 입력데이터 구동기(200)는 테스트 모드시 상기 I/O라인에 테스트 전압을 인가하는 것을 특징으로 한다.

우선, 테스트 모드에서 테스트 전압이 인가되는 경로를 살펴보기로 한다.

도 1의 일반적인 반도체 메모리 소자의 쓰기 경로 구조도를 참조하면, 상기 I/O라인은, LI/O라인(Local i/o line), SI/O라인(Segment i/o line)으로 세분화할 수 있고, 다수의 SI/O라인 중 하나의 LI/O라인과 연결되는 하나를 선택하기 위해 제2 라인 스위치(IOSW)를 사용하고, 다수의 비트라인 중 하나의 SI/O라인과 연결되는 하나를 선택하기 위해 제1 라인 스위치(YISW)를 사용한다.

입력데이터 구동기(WD0)에서 구동시킨 테스트 전압은 LI/O라인(lio0), 제2 라인 스위치(IOSW), SI/O라인(sio0), 제1 라인 스위치(YISW)를 경유하여 비트라인(BL0, BL4,...)에 공급된다. 반면, 입력데이터 구동기(WD1)에서 구동시킨 테스트 전압은 LI/O라인(lio1), 제2 라인 스위치(IOSW), SI/O라인(sio1), 제1 라인 스위치(YISW)를 경유하여 비트라인(BL1, BL5,...)에 공급된다. 마찬가지로 입력데이터 구동기(WD2)에서 구동시킨 테스트 전압은 비트라인(BL2,...)에 공급되고, 입력데이터 구동기(WD3)에서 구동시킨 테스트 전압은 비트라인(BL3,...)에 공급된다.

도시한 구조에서는 짝수번째 입력데이터 구동기(WD0, WD2,...)를 통한 전압은 짝수번째 비트라인(BL0, BL2, BL4,...)에 공급되고, 홀수번째 입력데이터 구동기(WD1, WD3,...)를 통한 전압은 홀수번째 비트라인(BL1, BL3, BL5,...)에 공급됨을 알 수 있다. 즉, 상기 입력데이터 구동기들을 사용하여 각 비트라인에 테스트 전압을 인가할 경우에는, 입력데이터 구동기들에 인가된 전압 패턴이 그대로 비트라인에 인가된 전압 패턴으로 표현되며, 이를 이용해 다양한 패턴(표 2 또는 표 3의 패턴)의 테스트 전압을 인가할 수 있다.

[표 2]

	BL even	BL even	BL odd	BL odd	TM_ VD_ EV	TM_ SS_ EV	TM_ VD_ OD	TM_ SS_ OD	
CASE1	H	H	x	x	H	L	H	L	
CASE2	x	x	H	H	H	L	L	H	
CASE3	L	L	x	x	L	H	H	L	
CASE4	x	x	H	H	L	H	L	H	

[표 3]

	BL even	BL even	BL odd	BL odd	TM_VD_EV	TM_SS_EV	TM_VD_OD	TM_SS_OD	TM_EV_OD
CASE1	H	H	H	H	H	L	H	L	L
CASE2	L	L	L	L	L	H	L	H	L
CASE3	H	H	L	L	H	L	L	H	H
CASE4	L	L	H	H	L	H	H	L	H

도 4는 본 실시예의 반도체 메모리 소자의 테스트 전압 인가 경로를 하나의 비트라인에 대해서 세부적으로 표현한 것인데, SI/O라인(sio, siob)이 제1 라인 스위치(YISW)를 거쳐 바로 비트라인(BL, BLB)에 연결되지 않고, 일단 비트라인 센스앰프 출력라인(SA, SAB)에 연결됨을 알 수 있다. 비트라인 센스앰프 출력라인(SA, SAB)은 비트라인 선택 스위치(bish, bisl)에 의해 상하의 비트라인 중 하나와 연결될 수 있다.

도시한 바와 같이, 상기 입력데이터 구동기(200)로 입력되는 데이터가 셀 커패시터에 도달하기까지의 세부 경로는, "입력 데이터 구동기 -> LI/O라인 -> I/O스위치 -> SI/O라인 -> Yis위치 -> 센스앰프 출력라인 -> 비트라인 선택 스위치 -> 비트라인 -> 셀 트랜지스터 -> 셀커패시터"임을 알 수 있다..

본 실시예에서는 상기 입력데이터 구동기(200)에서 비트라인(BL, BLB)까지의 데이터 경로가 3개의 중간 경유 라인과 3개의 스위치를 포함하도록 구현하였지만, 이는 I/O라인의 세분화 방법에 불과한 것이며, 그 개수들을 다르게 구현하여도 동일범위의 구성인 것은 자명하다.

다음으로, 테스트 수행에 따른 반도체 메모리 소자 각 구성부분의 동작 동기화, 즉, 테스트 모드 설정 및 타이밍 제어를 위한 추가 구성요소 및 그 동작에 대하여 살펴보기로 한다.

본 실시예의 반도체 메모리 소자도 일반적인 반도체 메모리 소자와 마찬가지로, 셀에 저장된 데이터를 증폭하기 위한 비트라인 센스앰프; 비트라인을 프리차지시키기 위한 비트라인 프리차지부; X디코더(171); 비트라인 센스앰프 제어부(172); X 경로 지시부(174), Y디코더(176), Y디코더 지시부(178)를 포함한다.

또한, 본 실시예의 반도체 메모리 소자는, 메모리 소자의 각 구성부분에 테스트 모드를 알리기 위해 테스트 명령 및 테스트 모드 신호를 생성하는 테스트 조정부(199)를 더 포함하며, 입력데이터 구동기(200)는, 외부의 라이트 명령을 입력받으면 소정시간 지연시켜 상기 입력데이터 구동기(200)를 인에이블시키며, 테스트 모드 신호를 입력받으면 상기 입력데이터 구동기(200)의 입력 데이터 래치 동작을 디스에이블시키는 입력데이터 구동기 지시부(290)를 추가할 수 있다.

본 실시예에서는 종래의 디램의 경우와 마찬가지로, 통상적인 동작 모드에서는 I/O라인에 포함되는 스위치 중 비트라인 선택 스위치(bish, bisl), 셀 트랜지스터 및 제2 라인 스위치(IOSW)는 X어드레스의 디코딩 결과에 따라 스위칭되도록 구현하며, 제1 라인 스위치(YISW)는 Y어드레스의 디코딩 결과에 따라 스위칭되도록 구현한다.

반면, 테스트 모드에서는 제1 라인 스위치(YISW) 및 제2 라인 스위치(IOSW)에 소정의 테스트 규칙에 따라 제어신호를 발생시켜 하나의 입력데이터 구동기(200)에 연결된 비트라인들 중 일부 것들에만 테스트 전압이 인가되도록 구현할 수도 있다. 그러나, 짝수번째 입력데이터 구동기에 연결되는 비트라인들은 모두 짝수번째 비트라인이고, 홀수번째 입력데이터 구동기에 연결되는 비트라인들은 모두 홀수번째 비트라인이므로, 입력데이터 구동기의 구동능력이 충분하다면 해당되는 모든 제1 라인 스위치 및 제2 라인 스위치를 턴온시켜 한꺼번에 테스트 전압을 인가하는 것이 바람직하다.

도 5에 도시한 비트라인 선택 스위치 제어기는 비트라인 센스앰프의 상하에 위치하는 2개의 비트라인 선택 스위치에 스위칭 신호를 출력하기 위한 것으로, 통상적인 동작시에는 센스앰프가 증폭할 하나의 비트라인만을 선택하기 위해 비트라인 선택 스위치(bish 또는 bisl) 중 하나에만 턴온값을 인가하는데, 백그라운드 라이트 동작을 위한 테스트 모드에서는 상기 비트라인 선택 스위치(bish 및 bisl)를 모두 턴온시킨다.

메모리 소자에서 각 하나의 비트라인, SI/O라인, LI/O라인은 모두 정상선(normal wire)과 반전선(reverse wire)의 상보적인 도선 2개로 구성되어 있다. 상기 정상선과 반전선은 프리차지시에는 모두 소정의 프리차지 전압으로 같은 값을 유지시켜야 하며, 이를 위해 각각 프리차지부를 가지고 있음이 일반적이다. 각 프리차지부는 프리차지 전압을 공급하는 2개의 프리차지 모스트랜지스터와, 정상선과 반전선의 전압을 균등화시키는 1개의 균등화 모스트랜지스터로 구현함이 일반적이다.

본 실시예에서는 테스트 전압이 정상선과 반전선에 항상 동일하게 인가되므로, 상기 각 프리차지부의 균등화 모스트랜지스터를 사용하여 정상선과 반전선의 등전압 상태를 보장하도록 구현할 수도 있다. 그러나, 이 경우에는 테스트 모드에서는 상기 프리차지 모스트랜지스터로 연결되는 프리차지 전압단을 비활성화시키는 추가적인 회로구조가 필요한 단점이 있다.

이하, 본 실시예의 반도체 메모리 소자의 테스트 전압 인가에 중심 역할을 수행하는 입력데이터 구동기(200)에 대하여 살펴보기로 한다.

일 실시예에 따르면, 본 발명이 여기에 기재된 관점의 범위로 제한되는 것은 아니지만, 본 실시예에 사용되는 입력데이터 구동기(200)는 도 6에 도시한 구조로 구현하는 것이 바람직하다.

즉, 입력데이터 구동기(200)는, 외부에서 1비트 데이터 및 인에이블 신호, 리프레시 신호를 입력받는 입력단(220); 입력단(220)에서 입력받은 1비트 데이터 또는 초기 리프레시 상태값을 래치하기 위한 래치단(240); 및 리프레시시에는 I/O라인과 격리되며, 래치단의 상태에 따라 데이터를 I/O라인으로 출력하는 출력단(260)을 포함하는 입력데이터 구동기에 있어서, 상기 출력단(260)은 테스트 모드시에는 래치단(240)의 상태와 무관하게 I/O라인(lio, liob)에 소정의 테스트 전압을 출력하는 것을 특징으로 한다.

또한, 도시한 입력데이터 구동기(200)는 인에이블 신호(WDEN)를 입력받고 있는데, 인에이블(WDEN) 신호도 테스트 모드에 따라 제어되어야 하므로, 도 7에 도시한 입력데이터 구동기 지시부를 추가하는 것이 바람직하다.

입력단(220)은 LI/O프리차지 명령(LIO\_RSTB), 인에이블 신호(WDEN) 및 외부 데이터(GI/O)를 입력받으며, 래치단(240)으로 2개의 출력신호(net0, net1)를 출력한다. 입력단(220)은 프리차지시에 프리차지 명령(LIO\_RSTB)을 입력받아 하이 상태의 2 출력신호(net0, net1)를 생성한다. 입력단(220)은 인에이블 신호(WDEN)를 입력받아 인에이블 상태가 되면, 입력되는 외부 데이터값(GI/O)이 하이이면 출력신호(net0)를 로우로 천이시키고, 그 값이 로우이면 출력신호(net1)을 로우로 천이시킨다.

래치단(240)은 도시된 바와 같이 한쌍의 반전기로 이루어진 제1 래치 및 제2래치로 구현하며, 입력단(220)의 출력신호(net0, net1)를 하나씩 래치한다.

출력단(260)은 래치단(240)의 출력신호와 하이테스트 명령(TM\_VCORE) 및 로우테스트 명령(TM\_VSS)을 입력받는다. 하이테스트 명령(TM\_VCORE)은 메모리 셀들에 하이값 테스트 전압을 인가하라는 신호이며, 로우테스트 명령(TM\_VSS)은 메모리 셀들에 로우값 테스트 전압을 인가하라는 신호이다.

도시된 바와 같이, 출력단(260)은 I/O선 하이 스위치, I/O선 로우 스위치, 반전I/O선 하이 스위치 및 반전I/O선 로우 스위치의 4개 스위치 모스트랜지스터와, 부가되는 논리소자들로 구성된다.

출력단(260)은 통상적인 동작시에 상기 제1 래치 및 제2 래치의 출력값이 (하이, 로우)이면 LI/O 및 LI/OB에 인가되는 논라값은 (로우, 하이)가 되고, 출력값이 (로우, 하이)이면 LI/O 및 LI/OB에 인가되는 논라값은 (하이, 로우)가 된다. 프리차지시에는 프리차지 명령(LIO\_RSTB)이 인가되어 래치단(240) 출력이 모두 로우로 되면 LI/O 및 LI/OB는 플로팅(floating)된다. 테스트 모드에서 하이테스트 명령(TM\_VCORE)이 하이로 천이되면 LI/O 및 LI/OB는 모두 하이이 되며, 로우테스트 명령(TM\_VSS)이 하이로 천이되면 LI/O 및 LI/OB는 모두 로우가 된다.

도 7도시한 구조의 입력데이터 구동기 지시부(290)는 소정의 라이트 명령(casp\_wt)을 소정시간 지연시켜 입력데이터 구동기의 인에이블 신호(WDEN)를 출력하도록 구현된 종래의 구조에, 테스트 명령(TM\_EN)이 입력될 때에는 인에이블 신호(WDEN)를 비활성화하도록 변경을 가한 것이다.

도 4 내지 도 7을 참조하여 기술한 상기 설명은 하나의 입력데이터 구동기에서 구동시킨 테스트 전압이 각 셀들로 인가되는 과정을 대한 것이었다. 본 발명의 목적에서 언급한 바와 같이 각 비트라인 별로 논리값이 교번되는 테스트 전압을 인가하기 위해서는, 도 1에 도시된 다수개의 입력데이터 구동기들(WD0, WD1, WD2, WD3)의 테스트 수행을 전체적으로 제어해야 한다. 즉, 짝수번째 입력데이터 구동기들과 홀수번째 입력데이터 구동기들은 그 구조는 동일하나, 테스트 방법 신호(TM\_VCOER, TM\_VSS)가 반대로 공급된다.

이 경우에, 도 4에 도시한 본 실시예의 테스트 조정부(199)는, 외부에서의 테스트 방법에 대한 명령 또는 내부에 설정된 지침에 따라, 짝수열 하이테스트 명령(TM\_VC\_EV), 짝수열 로우테스트 명령(TM\_SS\_EV), 홀수열 하이테스트 명령(TM\_VC\_OD) 및 홀수열 로우테스트 명령(TM\_SS\_OD)을 출력한다. 짝수열 하이테스트 명령(TM\_VC\_EV)과 짝수열 로우테스트 명령(TM\_SS\_EV)은 상반된 명령이므로 하나의 신호로 통합 가능하고, 홀수열 하이테스트 명령(TM\_VC\_OD)과 홀수열 로우테스트 명령(TM\_SS\_OD)도 상반된 명령으로 하나의 신호로 통합가능하다. 또한, 도 8a 및 8b에 도시한 바와 같이 짝수열 명령(TM\_VC\_EV, TM\_SS\_EV)을 기본명령으로 하고, 이것에 교번 인가 명령(TM\_EV\_OD)을 조합하여 홀수열 명령(TM\_VC\_OD, TM\_SS\_OD)을 생성토록 구현할 수도 있다.

**( 실시예 2 )**

본 실시예에서의 주안점은 상기 페리영역에 구현되는 입력데이터 구동기에 변경을 가하여 백그라운드 라이트 테스트를 용이하게 수행하며, 또한 비트라인을 구성하는 비트선(BL)과 반전비트선(BLB)에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 반도체 메모리 소자를 구현한 것에 있다.

도 4에 도시한 바와 같은 디램으로 구현한 본 실시예의 반도체 메모리 소자는,

메모리 셀들의 집합으로 된 셀 어레이(20)와; 상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인과; 상기 비트라인 중 선택된 하나의 비트라인(BL, BLB)과 데이터 이동 경로를 형성하는 I/O라인과; 외부의 데이터를 입력받아 충분한 전력으로 I/O라인에 전달하기 위한 입력데이터 구동기(200)를 포함하는 반도체 메모리 소자에 있어서,

입력데이터 구동기(200)는 테스트 모드시 I/O라인을 구성하는 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 것을 특징으로 한다.

테스트 모드에서 테스트 전압이 인가되는 경로는 상기 제1 실시예의 경우와 동일하며, 테스트 수행에 따른 반도체 메모리 소자 각 구성부분의 동기화 동작 및 입력데이터 구동기(200)를 제외한 세부 구성부분들의 구조도 상기 제1 실시예의 경우와 동일하다. 다만, 비트라인(BL, BLB), SI/O라인(sio, siob), LI/O라인(lio, liob)을 구성하는 정상선과 반전선을 프리차지하기 위한 프리차지부는 테스트 모드에서는 항상 비활성화된다. 이는 본 실시예에서는 정상선과 반전선에 서로 다른 논리값의 테스트 전압이 인가될 수 있기 때문이다.

이하, 본 실시예의 반도체 메모리 소자의 테스트 전압 인가에 중심 역할을 수행하며, 상기 제1 실시예와는 차이가 있는 입력데이터 구동기(200)에 대하여 살펴보기로 한다.

일 실시예에 따르면, 본 발명이 여기에 기재된 관점의 범위로 제한되는 것은 아니지만, 본 실시예에 사용되는 입력데이터 구동기(200)는 도 9에 도시한 구조로 구현하는 것이 바람직하다.

도시한 구조의 입력데이터 구동기(200)는, 외부에서 1비트 데이터(GI/O) 및 인에이블 신호(WDEN), 리프래시 신호(LIO\_RSTB)를 입력받는 입력단(220); 입력단(220)에서 입력받은 1비트 데이터 또는 초기 리프래시 상태값을 래치하기 위한 래치단(240); 및 리프래시시에는 I/O라인과 격리되며, 래치단(240)의 상태에 따라 데이터를 I/O라인으로 출력하는 출력단(260)을 포함하며, 출력단(260)은 테스트 모드시에는 래치단(240)의 상태와 무관하게 테스트 전압을 출력하는 것을 특징으로 한다.

또한, 도시한 입력데이터 구동기(260)는 인에이블 신호(WDEN)를 입력받고 있는데, 인에이블 신호(WDEN)도 테스트 모드에 따라 제어되어야 하므로, 도 7에 도시한 입력데이터 구동기 지시부(290)를 추가하는 것이 바람직하다.

본 실시예의 입력단(220) 및 래치단(240)은 상기 제1 실시예의 경우와 동일하므로 설명을 생략한다.

출력단(260')은 래치단(240)의 출력신호와 정상선 하이테스트 명령(TM\_VC\_BL), 정상선 로우테스트 명령(TM\_SS\_BL), 반전선 하이테스트 명령(TM\_VC\_BL) 및 반전선 로우테스트 명령(TM\_SS\_BLB)을 입력받는다. 정상선 하이테스트 명령(TM\_VC\_BL)은 비트선(BL)에 연결된 메모리 셀들에 하이값 테스트 전압을 인가하라는 신호이며, 정상선 로우테스트 명령(TM\_SS\_BL)은 비트선(BL)에 메모리 셀들에 로우값 테스트 전압을 인가하라는 신호이다. 마찬가지로, 반전선 하이테스트 명령(TM\_VC\_BL)은 반전비트선(BLB)에 연결된 메모리 셀들에 하이값 테스트 전압을 인가하라는 신호이며, 반전선 로우테스트 명령(TM\_SS\_BLB)은 반전비트선(BLB)에 메모리 셀들에 로우값 테스트 전압을 인가하라는 신호이다.

도시된 바와 같이, 상기 출력단(260')은 I/O선 하이 스위치, I/O선 로우 스위치, 반전I/O선 하이 스위치 및 반전I/O선 로우 스위치의 4개 스위치 모스트랜지스터와, 부가되는 논리소자들로 구성된다.

출력단(260')은 통상적인 동작시에 제1 래치 및 제2 래치의 출력값이 (하이, 로우)이면 I/O라인(LIO, LIOB)에 인가되는 논리값은 (로우, 하이)가 되고, 출력값이 (로우, 하이)이면 I/O라인(LIO, LIOB)에 인가되는 논리값은 (하이, 로우)가 된다. 프리차지 명령(LIO\_RSTB)이 인가되어 래치단(240) 출력이 모두 로우로 되면 I/O라인(LIO, LIOB)은 플로팅(floating)된다.

테스트 모드에서 상기 I/O선 하이 스위치는 정상선 하이테스트 명령(TM\_VC\_BL)을 입력받으면 턴온되어 I/O선(LIO)에 하이값 전압(VCORE)을 공급하며, I/O선 로우 스위치는 정상선 로우테스트 명령(TM\_SS\_BL)을 입력받으면 턴온되어 I/O선에 로우값 전압(VSS)을 공급하고, 반전I/O선 하이 스위치는 상기 반전선 하이테스트 명령(TM\_VC\_BL)을 입력받으면 턴온되어 반전I/O선에 하이값 전압(VCORE)을 공급하며, 반전I/O선 로우 스위치는 반전선 로우테스트 명령(TM\_SS\_BLB)을 입력받으면 턴온되어 반전I/O선에 로우값 전압(VSS)을 공급한다.

도 9를 중심으로 기술한 상기 설명은 하나의 입력데이터 구동기(200")에서 구동시킨 테스트 전압이 각 셀들로 인가되는 과정에 대한 것이었다. 본 발명의 목적에서 언급한 바와 같이 각 비트라인 별(BL0, BL1, BL2,...)로 논리값이 교번되는 테스트 전압을 인가하기 위해서는, 도 1에 도시된 다수개의 입력데이터 구동기들(WD0, WD1, WD2,...)의 테스트 수행을 전체적으로 제어해야 한다.

도 10a 내지 10b에 도시한 본 실시예의 테스트 조정부는, 외부에서의 테스트 방법에 대한 명령 또는 내부에 설정된 지침에 따라, 짝수열 정상선 하이테스트 명령(TM\_VC\_EV), 짝수열 정상선 로우테스트 명령(TM\_SS\_EV), 짝수열 반전선 하이테스트 명령(TM\_VC\_EVB) 및 짝수열 반전선 로우테스트 명령(TM\_SS\_EVB)으로 이루어진 짝수열 테스트 명령들과, 홀수열 정상선 하이테스트 명령(TM\_VC\_OD), 홀수열 정상선 로우테스트 명령(TM\_SS\_OD), 홀수열 반전선 하이테스트 명령(TM\_VC\_ODB) 및 홀수열 반전선 로우테스트 명령(TM\_SS\_ODB)으로 이루어진 홀수열 테스트 명령들을 출력한다.

상기 테스트 명령들의 조합에 대한 테스트 전압 패턴은 다음 표4와 같다.

[표 4]

	BL even	BLB even	BL odd	BLB odd	TM_ VC_ EV	TM_ SS_ EV	TM_ VC_ EVB	TM_ SS_ EVB	TM_ VC_ OD	TM_ SS_ OD	TM_ VC_ ODB	TM_ SS_ ODB	TM_ EV_ OD
CASE1	L	L	L	L	L	H	L	H	L	H	L	H	L
CASE2	L	H	L	H	L	H	H	L	L	H	H	L	L
CASE3	H	L	H	L	H	L	L	H	H	L	L	H	L
CASE4	H	H	H	H	H	L	H	L	H	L	H	L	L
CASE2	L	L	H	H	L	H	L	H	H	L	H	L	H
CASE3	L	H	H	L	L	H	H	L	H	L	L	H	H
CASE4	H	L	L	H	H	L	L	H	L	H	H	L	H
CASE4	H	H	L	L	H	L	H	L	L	H	L	H	H

동일한 I/O선에 대한 하이테스트 명령과 로우테스트 명령은 서로 상반된 명령이므로 하나의 신호로 통합 가능하다.

( 실시예 3 )

본 실시예에서의 주안점은 상기 페리영역에 테스트 전압 인가 회로를 별도로 추가하여, 상기 I/O라인에 테스트 전압을 인가하여 백그라운드 라이트 테스트를 용이하게 수행하는 반도체 메모리 소자를 구현한 것에 있다.

도 11에 도시한 바와 같은 디램으로 구현한 본 실시예의 반도체 메모리 소자는,

메모리 셀들의 집합으로 된 셀 어레이(20)와; 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인과; 비트라인 중 선택된 하나의 비트라인(BL, BLB)과 데이터 이동 경로를 형성하는 I/O라인과; 외부의 데이터를 입력받아 충분한 전력으로 I/O라인에 전달하기 위한 입력데이터 구동기(200)와; 테스트 모드시 I/O라인에 테스트 전압을 인가하기 위해 페리영역에 형성되는 테스트 전압 인가 회로(400)를 포함하는 것을 특징으로 한다.

우선, 테스트 모드에서 테스트 전압이 인가되는 경로를 살펴보기로 한다.

상기 제1 실시예의 경우와 마찬가지로 도 1에 도시한 바에 따르면 상기 I/O라인은, LI/O라인, SI/O라인으로 세분화할 수 있고, 제1 라인 스위치(YISW) 및 제2 라인 스위치(IOSW)를 포함한다.

테스트 전압 인가 회로(400)에서 짝수열 LI/O라인으로 인가한 테스트 전압은 LI/O라인(LIO0), 제2 라인 스위치(IOSW), SI/O라인(SIO0), 제1 라인 스위치(YISW)를 경유하여 비트라인(BL0, BL4,...)에 공급된다. 반면, 테스트 전압 인가 회로(400)에서 홀수열 LI/O라인으로 인가한 테스트 전압은 LI/O라인(LIO1), 제2 라인 스위치(IOSW), SI/O라인(SIO1), 제1 라인 스위치(YISW)를 경유하여 비트라인(BL1, BL5,...)에 공급된다. 즉, 도시한 구조에서는 짝수열 LI/O라인으로 인가된 테스트 전압은 짝수번째 비트라인(BL0, BL2, BL4,...)에 공급되고, 홀수열 LI/O라인으로 인가된 테스트 전압은 홀수번째 비트라인(BL1, BL3, BL5,...)에 공급된다. 따라서, 비트라인에 따라 교번되는 테스트 전압을 인가하기 위해서는, 짝수번째 비트라인으로 테스트 전압을 인가하기 위한 테스트 전압 인가 회로와, 홀수번째 비트라인으로 테스트 전압을 인가하기 위한 테스트 전압 인가 회로를 구분하여 구비하는 것이 바람직하다. 이 경우 모든 LI/O라인 마다 하나씩 할당되는 테스트 전압 인가 회로(400)를 구현할 수도 있지만, 같은 짝수(홀수)열에 대해 하나의 테스트 전압 인가 회로로 다수개의 LI/O라인에 동시에 테스트 전압을 인가하도록 구현하는 것이 바람직하다. 이를 이용해 표 2 또는 표 3과 같은 다양한 패턴의 테스트 전압을 인가할 수 있다.

도 11은 본 실시예의 반도체 메모리 소자의 테스트 전압 인가 경로를 하나의 비트라인에 대해서 세부적으로 표현한 것인데, SI/O라인이 제1 라인 스위치를 거쳐 바로 비트라인(BL, BLB)에 연결되지 않고, 일단 비트라인 센스앰프 출력라인(SA, SAB)에 연결됨을 알 수 있다. 비트라인 센스앰프 출력라인(SA, SAB)은 비트라인 선택 스위치(bish, bisl)에 의해 상하의 비트라인 중 하나와 연결될 수 있다.

도시한 구조의 경우, 라이트 동작시 입력데이터 구동기(200)에서 비트라인까지의 데이터 경로는 상기 제1 실시예의 경우와 동일하다. 반면, 테스트 전압의 인가 경로는 "테스트 전압 인가 회로 -> LI/O라인 -> I/O스위치 -> SI/O -> Yi스위치 -> 센스앰프 출력라인 -> 비트라인 선택 스위치 -> 비트라인 -> 셀 트랜지스터 -> 셀커패시터"가 된다.

다음으로, 테스트 수행에 따른 반도체 메모리 소자 각 구성부분의 동작 동기화, 즉, 테스트 모드 설정 및 타이밍 제어를 위한 추가 구성요소 및 그 동작에 대하여 살펴보기로 한다.

도 11에 도시한 본 실시예의 반도체 메모리 소자도 일반적인 디램 소자와 마찬가지로, 셀에 저장된 데이터를 증폭하기 위한 비트라인 센스앰프; 비트라인을 프리차지시키기 위한 비트라인 프리차지부; X디코더(171); 비트라인 센스앰프 제어부(172); X경로 지시부(174), Y디코더(176), Y디코더 지시부(178)를 포함한다.

또한, 본 실시예의 반도체 메모리 소자는, 메모리 소자의 각 구성부분에 테스트 모드를 알리기 위해 테스트 명령 및 모드 신호를 생성하는 테스트 조정부를 더 포함한다.

I/O라인에 포함되는 제1 라인 스위치(YISW) 및 제2 라인 스위치(IOSW), 비트라인 선택 스위치(bish, bisl)의 구조 및 제어 방법은 상기 제1 실시예의 경우와 동일하다.

메모리 소자에서 각 하나의 비트라인, SI/O라인, LI/O라인은 모두 정상선과 반전선 2개로 구성되어 있고, 정상선과 반전선은 프리차지시에는 모두 소정의 프리차지 전압으로 같은 값을 유지시키기 위한 프리차지부를 구비한다. 본 실시예에서는 상기 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가하므로, 테스트 모드에서 각 프리차지부는 모두 비활성화 되어야 한다.

이하, 본 실시예의 반도체 메모리 소자의 테스트 전압 인가에 중심 역할을 수행하는 테스트 전압 인가 회로(400)에 대하여 살펴보기로 한다.

일 실시예에 따르면, 본 발명이 여기에 기재된 관점의 범위로 제한되는 것은 아니지만, 본 실시예에 사용되는 테스트 전압 인가 회로는 도 12에 도시한 구조로 구현하는 것이 바람직하다.

도시한 구조의 테스트 전압 인가 회로(401)는, 소자의 페리영역과 코어영역 걸쳐 있으며 다수개의 비트라인과 연결될 수 있는 I/O라인(lio, liob)과 연결되고, 반도체 메모리 소자내 페리영역에 구현되며,

테스트 모드에 따라 I/O선(lio)에 하이값 전압을 인가하기 위한 I/O선 하이 스위치(MH); 테스트 모드에 따라 I/O선(lio)에 로우값 전압을 인가하기 위한 I/O선 로우 스위치(ML); 테스트 모드에 따라 반전I/O선(liob)에 하이값 전압을 인가하기 위한 반전I/O선 하이 스위치(MHB); 및 테스트 모드에 따라 반전I/O선(liob)에 로우값 전압을 인가하기 위한 반전I/O선 로우 스위치(MLB)를 포함하는 것을 특징으로 한다.

도시한 바와 같이, I/O선 하이 스위치(MH)와 반전I/O선 하이 스위치(MHB)에 하이값 테스트 명령(TM\_VCORE)가 스위칭 신호로서 입력되고, I/O선 로우 스위치(ML)와 반전I/O선 로우 스위치(MLB)에 로우값 테스트 명령(TM\_VSS)가 스위칭 신호로서 입력된다.

도 11 및 도 12를 참조하여 기술한 상기 설명은 하나의 입력데이터 구동기에 연결된 I/O라인에 대한 테스트 전압 인가 회로(400)에서 구동시킨 테스트 전압이 각 셀들로 인가되는 과정을 대한 것이었다.

본 발명의 목적에서 언급한 바와 같이 각 비트라인 별(BL0, BL1, BL2,...)로 논리값이 교번되는 테스트 전압을 인가하기 위해서는, 짝수번째 입력데이터 구동기들에 연결된 I/O라인에 대한 테스트 전압 인가 회로와 홀수번째 입력데이터 구동기들에 연결된 I/O라인에 대한 테스트 전압 인가 회로에 공급되는 테스트 제어신호(TM\_VCORE, TM\_VSS)를 서로 상반되도록 하여야 한다.

( 실시예 4 )

본 실시예에서의 주안점은 상기 페리영역에 테스트 전압 인가 회로를 별도로 추가하여, 백그라운드 라이트 테스트를 용이하게 하며, 또한 비트라인을 구성하는 비트선과 반전비트선에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 반도체 메모리 소자를 구현한 것에 있다.

도 11에 도시한 바와 같이, 디램으로 구현한 본 실시예의 반도체 메모리 소자는,

메모리 셀들의 집합으로 된 셀 어레이(20)와; 상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인과; 비트라인 중 선택된 하나의 비트라인(BL, BLB)과 데이터 이동 경로를 형성하는 I/O라인과; 외부의 데이터를 입력받아 충분한 전력으로 I/O라인에 전달하기 위한 입력데이터 구동기(200)와; 테스트 모드시 I/O라인을 구성하는 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가하도록 페리영역에 형성되는 테스트 전압 인가 회로(400)를 포함하는 것을 특징으로 한다.

테스트 모드에서 테스트 전압이 인가되는 경로는 상기 제3 실시예의 경우와 동일하며, 테스트 수행에 따른 테스트 전압 인가회로(400)를 제외한 반도체 메모리 소자 각 구성부분의 동기화 동작 및 세부 구성부분들의 구조도 상기 제2 실시예의 경우와 동일하다. 다만, 비트라인, SI/O라인, LI/O라인을 구성하는 정상선과 반전선을 프리차지하기 위한 프리차지부는 테스트 모드에서는 항상 비활성화된다. 이는 본 실시예에서는 정상선과 반전선에 서로 다른 논리값의 테스트 전압이 인가될 수 있기 때문이다.

이하, 본 실시예의 반도체 메모리 소자의 테스트 전압 인가에 중심 역할을 수행하며, 상기 제3 실시예와는 차이가 있는 테스트 전압 인가 회로에 대하여 살펴보기로 한다.

일 실시예에 따르면, 본 발명이 여기에 기재된 관점의 범위로 제한되는 것은 아니지만, 본 실시예에 사용되는 테스트 전압 인가 회로(400)는 도 13에 도시한 구조로 구현하는 것이 바람직하다.

즉, 테스트 전압 인가 회로(411)는, 소자의 페리영역과 코어영역 걸쳐 있으며 다수개의 비트라인과 연결될 수 있는 I/O라인(상보적인 I/O선과 반전I/O선으로 구성됨)과 연결되고, 반도체 메모리 소자내 페리영역에 구현되며,

테스트 모드에 따라 I/O라인에 하이값 전압을 인가하기 위한 I/O선 하이 스위치(MH); 테스트 모드에 따라 I/O라인에 로우값 전압을 인가하기 위한 I/O선 로우 스위치(ML); 테스트 모드에 따라 반전I/O라인에 하이값 전압을 인가하기 위한 반전I/O선 하이 스위치(MHB); 및 테스트 모드에 따라 반전I/O선에 로우값 전압을 인가하기 위한 반전I/O선 로우 스위치(MLB)를 포함하는 것을 특징으로 한다.

도시한 바와 같이, I/O선 하이 스위치(MH)에 I/O선 하이값 테스트 명령(TM\_VC\_BL)이 스위칭신호로서 입력되고, I/O선 로우 스위치(ML)에 I/O선 로우값 테스트 명령(TM\_SS\_BL)이 스위칭신호로서 입력되며, 반전I/O선 하이 스위치(MHB)에 반전I/O선 하이값 테스트 명령(TM\_VC\_BLB)이 스위칭신호로서 입력되고, 반전I/O선 로우 스위치(MLB)에 반전I/O선 로우값 테스트 명령(TM\_SS\_BLB)이 스위칭신호로서 입력된다.

본 발명의 목적에서 언급한 바와 같이 각 비트라인 별(BL0, BL1, BL2,...)로 논리값이 교번되는 테스트 전압을 인가하기 위해서는, 짝수번째 입력데이터 구동기들에 연결된 I/O라인에 대한 테스트 전압 인가 회로와 홀수번째 입력데이터 구동기들에 연결된 I/O라인에 대한 테스트 전압 인가 회로에 공급되는 테스트 명령들을 서로 상반되도록 하여야 한다. 예컨대, 도 14a 및 도 14b에 도시한 바와 같이 동일한 구조의 테스트 전압 인가 회로(412, 413)에 서로 구별되는 제어 신호를 입력받는 구조를 가지게 한다.

( 실시예 5 )

본 실시예에서의 주안점은 I/O라인을 프리차지하기 위한 I/O라인 프리차지부에 변경을 가하여 백그라운드 라이트 테스트를 용이하게 수행하는 반도체 메모리 소자를 구현한 것에 있다.

도 15에 도시한 바와 같은, 디램으로 구현한 본 실시예의 반도체 메모리 소자는,

메모리 셀들의 집합으로 된 셀 어레이(20)와; 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인과; 비트라인 중 선택된 하나의 비트라인(BL, BLB)과 데이터 이동 경로를 형성하는 I/O라인과; I/O라인을 프리차지 전압으로 프리차지시키기 위한 프리차지부(190')를 포함하는 반도체 메모리 소자에 있어서,

상기 프리차지부(190')는 테스트 모드시 상기 I/O라인에 테스트 전압을 인가하는 것을 특징으로 한다.

우선, 테스트 모드에서 테스트 전압이 인가되는 경로를 살펴보기로 한다.

상기 제1 실시예의 경우와 마찬가지로 1에 도시한 바에 따르면 상기 I/O라인은, LI/O라인, SI/O라인으로 세분화할 수 있고, 제1 라인 스위치(YISW) 및 제2 라인 스위치(IOSW)를 포함한다.

LI/O라인 프리차지부(190')를 통해 짝수열 LI/O라인으로 인가한 테스트 전압은 LI/O라인(LIO0), 제2 라인 스위치(IOSW), SI/O라인(SIO0), 제1 라인 스위치(YISW)를 경유하여 비트라인(BL0, BL4,...)에 공급된다. 반면, LI/O라인 프리차지부를 통해 홀수열 LI/O라인으로 인가한 테스트 전압은 LI/O라인(LIO1), 제2 라인 스위치(IOSW), SI/O라인(SIO1), 제1 라인 스위치(YISW)를 경유하여 비트라인(BL1, BL5,...)에 공급된다. 즉, 도시한 구조에서는 LI/O라인 프리차지부를 통해 짝수열 LI/O라인으로 인가된 테스트 전압은 짝수번째 비트라인(BL0, BL2, BL4,...)에 공급되고, LI/O라인 프리차지부를 통해 홀수열 LI/O라인으로 인가된 테스트 전압은 홀수번째 비트라인(BL1, BL3, BL5,...)에 공급된다. 따라서, 비트라인(BL0, BL1, BL2,...)에 따라 교번되는 테스트 전압을 인가하기 위해서는, 짝수번째 비트라인(BL0, BL2,...)으로 테스트 전압을 인가하기 위한 LI/O라인 프리차지부와, 홀수번째 비트라인(BL1, BL3,...)으로 테스트 전압을 인가하기 위한 LI/O라인 프리차지부를 구분하여 구비하는 것이 바람직하다. 이 경우 구비하는 프리차지부(190')의 개수는 종래의 경우와 동일하게 구현하는 것이 바람직하다. 이를 이용해 표 3 또는 표 4와 같은 다양한 패턴의 테스트 전압을 인가할 수 있다.

도 15는 본 실시예의 반도체 메모리 소자의 테스트 전압 인가 경로를 하나의 비트라인(BL, BLB)에 대해서 세부적으로 표현한 것인데, SI/O라인(sio, siob)이 제1 라인 스위치(YISW)를 거쳐 바로 비트라인(BL, BLB)에 연결되지 않고, 일단 비트라인 센스앰프 출력라인(SA, SAB)에 연결됨을 알 수 있다. 비트라인 센스앰프 출력라인(SA, SAB)은 비트라인 선택 스위치(bish, bisl)에 의해 상하의 비트라인 중 하나와 연결될 수 있다.

도시한 구조의 경우, 라이트 동작시 입력데이터 구동기(200)에서 비트라인까지의 데이터 경로는 상기 제1 실시예의 경우와 동일하다. 반면, 테스트 전압의 인가 경로는 "LI/O라인 프리차지부 -> LI/O라인 -> I/O스위치 -> SI/O -> YISW -> 센스앰프 출력라인 -> 비트라인 선택 스위치 -> 비트라인 -> 셀 트랜지스터 -> 셀커패시터"가 된다.

다음으로, 테스트 수행에 따른 반도체 메모리 소자 각 구성부분의 동작 동기화, 즉, 테스트 모드 설정 및 타이밍 제어를 위한 추가 구성요소 및 그 동작에 대하여 살펴보기로 한다.

도 15에 도시한 본 실시예의 반도체 메모리 소자도 일반적인 디램 소자와 마찬가지로, 셀에 저장된 데이터를 증폭하기 위한 비트라인 센스앰프; 비트라인을 프리차지시키기 위한 비트라인 프리차지부; X디코더(171); 비트라인 센스앰프 제어부(172); X경로 지시부(174), Y디코더(176), Y디코더 지시부(178)를 포함한다.

또한, 본 실시예의 반도체 메모리 소자는, 메모리 소자의 각 구성부분에 테스트 모드를 알리기 위해 테스트 명령 및 모드 신호를 생성하는 테스트 조정부를 더 포함한다.

I/O라인에 포함되는 제1 라인 스위치(YISW) 및 제2 라인 스위치(IOSW), 비트라인 선택 스위치(bish, bisl)의 구조 및 제어 방법은 상기 제1 실시예의 경우와 동일하다.

메모리 소자에서 각 하나의 비트라인, SI/O라인, LI/O라인은 모두 정상선과 반전선 2개로 구성되어 있고, 상기 정상선과 반전선은 프리차지시에는 모두 소정의 프리차지 전압으로 같은 값을 유지시키기 위한 프리차지부를 구비하는데, 본 실시예에서는 테스트 모드시 LI/O라인 프리차지부로 테스트 전압을 인가한다.

본 실시예에서는 테스트 전압이 정상선과 반전선에 항상 동일하게 인가되므로, 비트라인 프리차지부 및/또는 SI/O라인 프리차지부의 균등화 모스트랜지스터를 사용하여 정상선과 반전선의 등전압 상태를 보장하도록 구현할 수도 있다. 그러나, 이 경우에는 테스트 모드에서는 상기 프리차지 모스트랜지스터로 연결되는 프리차지 전압단을 비활성화시키는 추가적인 회로 구조가 필요한 단점이 있다.

이하, 본 실시예의 반도체 메모리 소자의 테스트 전압 인가에 중심 역할을 수행하는 I/O라인 프리차지부(190')에 대하여 살펴보기로 한다.

일 실시예에 따르면, 본 발명이 여기에 기재된 관점의 범위로 제한되는 것은 아니지만, 본 실시예에 사용되는 I/O라인 프리차지부는 도 16에 도시한 구조로 구현하는 것이 바람직하다.

도시한 I/O라인 프리차지부(190')는, 프리차지 명령 또는 하이값 테스트 명령을 입력받아, 상기 I/O선(lio)과 반전I/O선(liob)에 하이값 전위를 인가하기 위한 2개의 피모스트랜지스터로 이루어진 하이 프리차저; 로우값 테스트 명령을 입력받아, 상기 I/O선(lio)과 반전I/O선(liob)에 로우값 전위를 인가하기 위한 2개의 엔모스트랜지스터로 이루어진 로우 프리차저; 및 상기 I/O선(lio)과 반전I/O선(liob)의 전압을 일치시키기 위한 1개의 모스트랜지스터로 이루어진 이퀄라이저를 포함하도록 구현되었다.

즉, I/O라인 프리차지부(190')는 프리차지 모드에서는 VCORE전압을 프리차지 전압으로서 I/O라인에 인가하며, 테스트 모스에서 하이 테스트 명령(TM\_VCORE)을 입력받으면 I/O선(lio) 및 반전I/O선(liob)에 양의 테스트 전압(VCORE)을 인가하며, 로우 테스트 명령(TM\_VSS)을 입력받으면 I/O선(lio) 및 반전I/O선(liob)에 음의 테스트 전압(VSS)을 인가한다.

본 발명의 상기 제1 내지 제5 실시예들을 사용하여 구현한 반도체 메모리 소자에 있어서 백그라운드 라이트 테스트 수행 방법은,

테스트 명령 신호를 출력하는 지시 단계(S10); 테스트를 수행할 워드라인을 활성화시키는 절차(P22)와 테스트를 수행할 비트라인과 I/O라인을 연결시키기 위해 테스트를 수행할 I/O라인에 연결된 I/O스위치를 턴온시키는 절차(P24)를 포함하는 준비 단계(S20); 상기 I/O라인에 테스트 전압을 인가하는 인가 단계(S40); 및 각 메모리 셀에 저장된 값들을 리드하는 측정 단계(S60)를 포함하는 것을 특징으로 한다.

상기 지시 단계(S10)는 본 발명의 반도체 메모리 소자를 구성하는 테스트 조정부, 소자 외부에서 입력되는 테스트 방법 지시 신호 또는 내부에 기재된 미리 지정된 테스트 방법에 따라, 테스트 명령들을 출력함에 의해서 수행되며, 자세한 테스트 모드는 후술하기로 한다.

바람직한 일 실시예에 따른 본 발명의 I/O라인은 테스트 전압이 최초로 인가되는 LI/O라인 및 상기 LI/O라인에서 분기되는 SI/O라인으로 이루어지며, 상기 I/O스위치는 복수개의 상기 비트라인 중 하나의 비트라인과 하나의 SI/O라인을 연결하기 위한 제1 라인 스위치 및 복수개의 상기 SI/O라인 중 하나의 SI/O라인과 하나의 LI/O라인을 연결하기 위한 제2 라인 스위치로 이루어진다.

이 경우, 상기 워드라인 활성화 절차(P22)는 메모리 소자 내부 X디코더에서 출력하는 X어드레스에 의해 이루어지며, 상기 스위치 턴온 절차(P24)에서 상기 제1 라인 스위치는 메모리 소자 내부 Y디코더에서 출력되는 Y어드레스에 의해 스위칭되며 상기 제2 라인 스위치는 상기 X어드레스에 의해 수행도록 구현하는 것이 바람직하다.

상기 인가 단계(S40)는 구체적으로는 LI/O라인에 테스트 전압을 인가하여 연결된 SI/O라인, 비트라인을 거쳐 메모리 셀에 테스트 전압을 공급하는 과정이며, 상기 제1 실시예 및 제2 실시예의 경우에는 입력데이터 구동기에 의해서, 상기 제3 실시예 및 제3 실시예의 경우에는 별도의 테스트 전압 인가 회로에 의해서, 상기 제5 실시예의 경우에는 LI/O라인 프리차지부에 의해서 수행된다.

상기 측정 단계(S60)는 셀에 기록된 값을 센스앰프를 이용해서 리드하여 메모리 셀의 fail여부를 판정하는 것으로 종래의 테스트 방법에서의 경우와 동일하다.

본 발명의 반도체 메모리 소자를 사용하여 구현한 다양한 테스트 모드들은 다음과 같다.

일단, 비트라인과 반전비트라인이 구별되며, 여기에 종래의 경우와 같이 홀수열 비트라인과 짝수열 비트라인으로 구별되어, 하나의 테스트 단위가 되는 라인들은 짝수열 비트라인, 짝수열 반전비트라인, 홀수열 비트라인 및 홀수열 반전비트라인의 4개가 된다. 여기에 각각 H 또는 L로 식별되는 논리값들이 인가될 수 있는 모든 경우의 수는 16가지가 된다. 그런데, 상기 16가지 경우의 논리집합 중 테스트의 목적상 4개의 단위 테스트 라인중 2개 혹은 4개가 같은 논리값인 경우의 논리집합만이 유용하고, 1개 혹은 3개가 같은 논리값인 경우(예: H,H,H,L)는 실제 테스트 모드에서 사용 가능성이 떨어진다. 따라서, 이 경우의 논리집합을 제외하고, 현실적으로 유용한 테스트 모드들의 논리집합은 표 2 및 3과 같이 된다.

상기 8가지 테스트 모드들 중 하나를 선택하기 위한 신호는 이론상 3개의 신호면 충분하나, 구현의 편의를 위해서는 4가지 이상의 신호를 사용할 수도 있다..

상기 선택 신호들을 3개로 구현한 경우에는, 짝수열 비트라인의 비트라인에 인가되는 논리값을 결정하는 제1 선택신호와, 홀수열 비트라인의 비트라인에 인가되는 논리값을 결정하는 제2 선택신호와, 각 비트라인의 비트라인과 반전비트라인의 논리값이 서로 동일/상이 여부를 결정하는 제3 선택신호를 사용하게 된다.

표 4에서는 무려 9개의 선택신호들을 사용하여 구현하였는데, 이는 디램의 각 구성요소에 사용하기 위해 세분화 한 것이며, 이중에서 TM\_VC\_EV신호가 상기 제1 선택신호에 대응하며, TM\_VC\_OD신호가 상기 제2 선택신호에 대응하며, TM\_VC\_EVB신호가 상기 제3 선택신호에 대응한다. 나머지 다른 신호들은 모두 상기 3신호 중 하나와 동일하거나 그 반전값과 동일하며, TM\_EV\_OD신호는 다른 신호들의 조합으로 표현가능하므로 독립적인 의미를 가지지는 못한다.

본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

예컨데, 본 실시예에서는 상기 입력데이터 구동기에서 비트라인까지의 데이터 경로가 3개의 중간 경유 라인과 3개의 스위치를 포함하도록 구현하였지만, 그 개수들을 다르게 구현하는 것이 용이함은 자명하다.

### 발명의 효과

본 발명에 의한 반도체 메모리 소자를 실시함에 의해 저렴하고 간단한 제작하면서도 다양한 패턴의 백그라운드 라이트 테스트를 수행할 수 있는 반도체 메모리 소자를 제공할 수 있는 효과가 있다.

본 발명에 의한 반도체 메모리 소자는 백그라운드 라이트 테스트를 지원하기 위한 추가 배선 및 추가 모듈이 반도체 페리 영역에 형성하므로, 제작의 편의성 및 비용 절감을 증진하는 효과가 있다.

본 발명의 일실시예에 따른 반도체 메모리 소자는 비트라인에 연결된 셀들과 반전비트라인에 연결된 셀들에 서로 다른 테스트 전압을 인가하여 백그라운드 라이트 테스트를 수행할 수 있는 효과가 있다.

### (57) 청구의 범위

#### 청구항 1.

메모리 셀들의 집합으로 된 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 입/출력 라인; 및

상기 입/출력 라인에 테스트 전압을 인가하기 위한 테스트 전압 인가부

를 포함하는 반도체 메모리 소자.

#### 청구항 2.

제1항에 있어서, 상기 테스트 전압 인가부는,

라이트 모드시에는 상기 입/출력 라인에 입력 데이터값에 따른 전압을 인가하며, 테스트 모드시에는 상기 입/출력 라인에 테스트 전압을 인가하는 입력데이터 구동기인 반도체 메모리 소자.

### 청구항 3.

제1항 또는 2항에 있어서,

각 구성부분에 있어 테스트 모드 판단의 기준이 되는 테스트 명령 신호를 생성하기 위한 테스트 조정부를 더 포함하는 반도체 메모리 소자.

### 청구항 4.

제3항에 있어서,

외부의 라이트 명령을 입력받으면 상기 입력데이터 구동기로 인에이블 신호를 출력하며, 상기 테스트 명령 신호를 입력받으면 상기 입력데이터 구동기에 디스에이블 신호를 출력하는 입력데이터 구동기 지시부

를 더 포함하는 반도체 메모리 소자.

### 청구항 5.

제3항에 있어서, 상기 입/출력 라인은,

상기 테스트 전압 인가부에 연결되는 제1 입/출력 라인 및 상기 제1 입/출력 라인에서 분기되며 상기 복수개의 비트라인과 연결되는 제2 입/출력 라인

을 포함하는 반도체 메모리 소자.

### 청구항 6.

제3항에 있어서,

상기 비트라인을 상기 입/출력 라인에 연결시키기 위한 입/출력 스위치; 및

리드 또는 라이트 모드시에는 지정된 어드레스에 따라 상기 입/출력 스위치를 제어하며, 상기 테스트 명령 신호를 입력받으면 하나의 입/출력 라인에 관련된 모든 입/출력 스위치를 턴온시켜 연결가능한 모든 비트라인에 테스트 전압을 인가하거나 또는 연결가능한 모든 비트라인 중 일부에만 테스트 전압을 인가하도록 상기 입/출력 스위치를 제어하는 와이드코더

를 더 포함하는 반도체 메모리 소자.

### 청구항 7.

제3항에 있어서,

프리차지 모드에서 상기 입/출력 라인에 프리차지 전압을 인가하며, 테스트 모드에서는 비활성화되는 입/출력 프리차지부

를 더 포함하는 반도체 메모리 소자.

### 청구항 8.

제3항에 있어서,

프리차지 모드에서 상기 비트라인에 프리차지 전압을 인가하며, 테스트 모드에서는 비활성화되는 비트라인 프리차지부를 더 포함하는 반도체 메모리 소자.

### 청구항 9.

제1항 또는 제2항에 있어서, 상기 테스트 전압 인가부는,

반도체 기판상 페리영역에 형성되는 반도체 메모리 소자.

### 청구항 10.

제1항 또는 제2항에 있어서, 상기 입력데이터 구동기는,

테스트 모드시 상기 입/출력 라인을 구성하는 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 반도체 메모리 소자.

### 청구항 11.

메모리 셀들의 집합으로 된 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 입/출력 라인;

상기 입/출력 라인에 데이터를 입력하는 입력데이터 구동기;

소자의 각 구성부분에 있어 테스트 모드 판단의 기준이 되는 테스트 명령 신호를 생성하기 위한 테스트 조정부; 및

상기 테스트 명령 신호에 따라 상기 입/출력 라인에 테스트 전압을 인가하기 위한 테스트 전압 인가 회로

를 포함하는 반도체 메모리 소자.

### 청구항 12.

제11항에 있어서,

외부의 라이트 명령을 입력받으면 상기 입력데이터 구동기를 인에이블 시키며, 상기 테스트 명령 신호를 입력받으면 상기 입력데이터 구동기를 디스에이블 시키기 위한 입력데이터 구동기 지시부

를 더 포함하는 반도체 메모리 소자.

### 청구항 13.

제11항 또는 제12항에 있어서, 상기 입/출력 라인은,

상기 테스트 전압 인가회로에 연결되는 제1 입/출력 라인 및 상기 제1 입/출력 라인에서 분기되며 상기 복수개의 비트라인과 연결되는 제2 입/출력 라인

을 포함하는 반도체 메모리 소자.

#### 청구항 14.

제11항 또는 제12항에 있어서,

상기 비트라인을 상기 입/출력 라인에 연결시키기 위한 입/출력 스위치; 및

리드 또는 라이트 모드시에는 지정된 어드레스에 따라 상기 입/출력 스위치를 제어하며, 상기 테스트 명령 신호를 입력받으면 하나의 입/출력 라인에 관련된 모든 입/출력 스위치를 턴온시켜 연결가능한 모든 비트라인에 테스트 전압을 인가하거나 또는 연결가능한 모든 비트라인 중 일부에만 테스트 전압을 인가하도록 상기 입/출력 스위치를 제어하는 와이드코더

를 더 포함하는 반도체 메모리 소자.

#### 청구항 15.

제11항 또는 제12항에 있어서,

프리차지 모드에서 상기 입/출력 라인에 프리차지 전압을 인가하며, 테스트 모드에서는 비활성화되는 입/출력 프리차지부

를 더 포함하는 반도체 메모리 소자.

#### 청구항 16.

제11항 또는 제12항에 있어서,

프리차지 모드에서 상기 비트라인에 프리차지 전압을 인가하며, 테스트 모드에서는 비활성화되는 비트라인 프리차지부

를 더 포함하는 반도체 메모리 소자.

#### 청구항 17.

제11항 또는 제12항에 있어서, 상기 테스트 전압 인가 회로는,

반도체 기판상 페리영역에 형성되는 반도체 메모리 소자.

#### 청구항 18.

제11항 또는 제12항에 있어서, 상기 입력데이터 구동 회로는,

테스트 모드시 상기 입/출력 라인을 구성하는 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 반도체 메모리 소자.

## 청구항 19.

메모리 셀들의 집합으로 된 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 입/출력 라인; 및

프리차지 모드에서 상기 입/출력 라인에 프리차지 전압을 인가하며, 테스트 모드에서는 상기 입/출력 라인에 테스트 전압을 인가하기 위한 입/출력 프리차지부를 포함하고,

입/출력 라인 프리차지 회로는,

프리차지 명령 또는 하이값 테스트 명령을 입력받아, 상기 정상선과 반전선에 하이값 전위를 인가하기 위한 하이 프리차저;

로우값 테스트 명령을 입력받아, 상기 정상선과 반전선에 로우값 전위를 인가하기 위한 로우 프리차저; 및

상기 정상선과 반전선의 전압을 일치시키기 위한 이퀄라이저

를 포함하는 반도체 메모리 소자.

## 청구항 20.

제19항에 있어서, 상기 입/출력 라인은,

상기 입/출력 프리차지부에 연결되는 제1 입/출력 라인 및 상기 제1 입/출력 라인에서 분기되며 상기 복수개의 비트라인과 연결되는 제2 입/출력 라인

을 포함하는 반도체 메모리 소자.

## 청구항 21.

제19항에 있어서,

소자의 각 구성부분에 있어 테스트 모드 판단의 기준이 되는 테스트 명령 신호를 생성하기 위한 테스트 조정부

를 더 포함하는 반도체 메모리 소자.

## 청구항 22.

제19항에 있어서,

상기 비트라인을 상기 입/출력 라인에 연결시키기 위한 입/출력 스위치; 및

리드 또는 라이트 모드시에는 지정된 어드레스에 따라 상기 입/출력 스위치를 제어하며, 상기 테스트 명령 신호를 입력받으면 하나의 입/출력 라인에 관련된 모든 입/출력 스위치를 턴온시켜 연결가능한 모든 비트라인에 테스트 전압을 인가하거나 또는 연결가능한 모든 비트라인 중 일부에만 테스트 전압을 인가하도록 상기 입/출력 스위치를 제어하는 와이드코더

를 더 포함하는 반도체 메모리 소자.

**청구항 23.**

제19항 내지 제22항 중 어느 한 항에 있어서, 상기 입/출력 프리차지부는,  
반도체 기판상 페리영역에 형성되는 반도체 메모리 소자.

**청구항 24.**

메모리 셀들이 집합을 구성한 짝수열 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 짝수열 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 짝수열 입/출력 라인; 및

상기 짝수열 입/출력 라인에 짝수열 테스트 전압을 인가하기 위한 짝수열 테스트 전압 인가부를 포함하는 짝수열 테스트 경로와,

메모리 셀들이 집합을 구성한 홀수열 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 홀수열 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 홀수열 입/출력 라인; 및

상기 홀수열 입/출력 라인에 홀수열 테스트 전압을 인가하기 위한 홀수열 테스트 전압 인가부를 포함하는 홀수열 테스트 경로

를 포함하는 반도체 메모리 소자.

**청구항 25.**

제24항에 있어서, 상기 짝수열 테스트 전압 인가부는,

라이트 모드시에는 상기 짝수열 입/출력 라인에 입력 데이터값에 따른 전압을 인가하며, 테스트 모드시에는 상기 짝수열 입/출력 라인에 짝수열 테스트 전압을 인가하는 입력데이터 구동기인 반도체 메모리 소자.

**청구항 26.**

제24항에 있어서, 상기 홀수열 테스트 전압 인가부는,

라이트 모드시에는 상기 홀수열 입/출력 라인에 입력 데이터값에 따른 전압을 인가하며, 테스트 모드시에는 상기 홀수열 입/출력 라인에 홀수열 테스트 전압을 인가하는 입력데이터 구동기인 반도체 메모리 소자.

**청구항 27.**

제24항 내지 제26항 중 어느 한 항에 있어서,

상기 짝수열 입/출력 라인은 상기 짝수열 테스트 전압 인가부에 연결되는 짝수열 제1 입/출력 라인; 및 상기 짝수열 제1 입/출력 라인에서 분기되며 상기 복수개의 짝수열 비트라인과 연결되는 짝수열 제2 입/출력 라인을 포함하며,

상기 홀수열 입/출력 라인은 상기 홀수열 테스트 전압 인가부에 연결되는 홀수열 제1 입/출력 라인; 및 상기 홀수열 제1 입/출력 라인에서 분기되며 상기 복수개의 홀수열 비트라인과 연결되는 홀수열 제2 입/출력 라인을 포함하는 반도체 메모리 소자.

### 청구항 28.

제24항 내지 제26항 중 어느 한 항에 있어서,

소자의 각 구성부분에 있어 테스트 모드 판단의 기준이 되는 짝수열 테스트 명령 신호 및 홀수열 테스트 명령 신호를 생성하기 위한 테스트 조정부

를 더 포함하는 반도체 메모리 소자.

### 청구항 29.

제24항 내지 제26항 중 어느 한 항에 있어서, 상기 짝수열 입력데이터 구동기 및 홀수열 입력데이터 구동기는,

반도체 기판상 페리영역에 형성되는 반도체 메모리 소자.

### 청구항 30.

제24항 또는 제26항에 있어서, 상기 짝수열 입력데이터 구동기 및 홀수열 입력데이터 구동기는,

테스트 모드시 상기 입/출력 라인을 구성하는 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 반도체 메모리 소자.

### 청구항 31.

소자의 각 구성부분에 있어 테스트 모드 판단의 기준이 되는 짝수열 테스트 명령 신호 및 홀수열 테스트 명령 신호를 생성하기 위한 테스트 조정부를 포함하는 반도체 메모리 소자에 있어서,

메모리 셀들이 집합을 구성한 짝수열 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 짝수열 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 짝수열 입/출력 라인;

상기 짝수열 입/출력 라인에 데이터를 입력하는 짝수열 입력데이터 구동기; 및

상기 짝수열 테스트 명령 신호에 따라 상기 입/출력 라인에 테스트 전압을 인가하기 위한 짝수열 테스트 전압 인가 회로를 포함하는 짝수열 테스트 경로와,

메모리 셀들이 집합을 구성한 홀수열 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 홀수열 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 홀수열 입/출력 라인;

상기 홀수열 입/출력 라인에 데이터를 입력하는 홀수열 입력데이터 구동기; 및

상기 홀수열 테스트 명령 신호에 따라 상기 입/출력 라인에 테스트 전압을 인가하기 위한 홀수열 테스트 전압 인가 회로를 포함하는 홀수열 테스트 경로

를 포함하는 반도체 메모리 소자.

### 청구항 32.

제31항에 있어서,

상기 짝수열 입/출력 라인은 상기 짝수열 테스트 전압 인가 회로에 연결되는 짝수열 제1 입/출력 라인; 및 상기 짝수열 제1 입/출력 라인에서 분기되며 상기 복수개의 짝수열 비트라인과 연결되는 짝수열 제2 입/출력 라인을 포함하며,

상기 홀수열 입/출력 라인은 상기 홀수열 테스트 전압 인가 회로에 연결되는 홀수열 제1 입/출력 라인; 및 상기 홀수열 제1 입/출력 라인에서 분기되며 상기 복수개의 홀수열 비트라인과 연결되는 홀수열 제2 입/출력 라인을 포함하는 반도체 메모리 소자.

### 청구항 33.

제31항 또는 제32항에 있어서, 상기 짝수열 입력데이터 구동기 및 홀수열 입력데이터 구동기는,

반도체 기판상 페리영역에 형성되는 반도체 메모리 소자.

### 청구항 34.

제31항 또는 제32항에 있어서, 상기 짝수열 입력데이터 구동 회로 및 홀수열 입력데이터 구동 회로는,

테스트 모드시 상기 입/출력 라인을 구성하는 정상선과 반전선에 서로 다른 논리값의 테스트 전압을 인가할 수 있는 반도체 메모리 소자.

### 청구항 35.

메모리 셀들이 집합을 구성한 짝수열 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 짝수열 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 짝수열 입/출력 라인; 및

프리차지 모드에서 상기 짝수열 입/출력 라인에 프리차지 전압을 인가하며, 테스트 모드에서는 상기 짝수열 입/출력 라인에 짝수열 테스트 전압을 인가하기 위한 짝수열 입/출력 프리차지부를 포함하는 짝수열 테스트 경로와,

메모리 셀들이 집합을 구성한 홀수열 셀 어레이;

상기 각 메모리 셀과 연결되어 데이터의 이동경로가 되는 복수개의 홀수열 비트라인;

상기 비트라인 중 선택된 하나의 비트라인과 데이터 이동 경로를 형성하는 홀수열 입/출력 라인; 및

프리차지 모드에서 상기 홀수열 입/출력 라인에 프리차지 전압을 인가하며, 테스트 모드에서는 상기 홀수열 입/출력 라인에 홀수열 테스트 전압을 인가하기 위한 홀수열 입/출력 프리차지부를 포함하는 홀수열 테스트 경로

를 포함하는 반도체 메모리 소자.

### 청구항 36.

제35항에 있어서,

소자의 각 구성부분에 있어 테스트 모드 판단의 기준이 되는 짝수열 테스트 명령 신호 및 홀수열 테스트 명령 신호를 생성하기 위한 테스트 조정부

를 더 포함하는 반도체 메모리 소자.

### 청구항 37.

제35항 또는 제36항에 있어서,

상기 짝수열 입/출력 라인, 상기 짝수열 입/출력 프리차지부에 연결되는 짝수열 제1 입/출력 라인; 및 상기 짝수열 제1 입/출력 라인에서 분기되며 상기 복수개의 짝수열 비트라인과 연결되는 짝수열 제2 입/출력 라인을 포함하며,

상기 홀수열 입/출력 라인, 상기 홀수열 입/출력 프리차지부에 연결되는 홀수열 제1 입/출력 라인; 및 상기 홀수열 제1 입/출력 라인에서 분기되며 상기 복수개의 홀수열 비트라인과 연결되는 홀수열 제2 입/출력 라인을 포함하는 반도체 메모리 소자.

### 청구항 38.

제35항 또는 제36항에 있어서, 상기 짝수열 입/출력 프리차지부 및 홀수열 입/출력 프리차지부는,

반도체 기판상 페리영역에 형성되는 반도체 메모리 소자.

### 청구항 39.

반도체 소자내 입/출력 라인에 데이터를 출력하기 위한 입력데이터 구동기에 있어서,

외부에서 데이터 및 인에이블 신호, 리프레시 신호를 입력받는 입력단;

상기 입력단에서 입력받은 데이터 또는 초기 리프레시 상태값을 래치하기 위한 래치단; 및

리프레시시에는 상기 입/출력 라인과 격리되며, 상기 래치단에 저장된 값에 따라 데이터를 상기 입/출력 라인으로 출력하는 출력단을 포함하며,

상기 출력단은 테스트 모드시에는 래치단에 저장된 값과 무관하게 테스트 전압을 출력하는 입력데이터 구동기.

### 청구항 40.

제39항에 있어서,

상기 입/출력 라인은,

정상선과 반전선으로 구성되고,

상기 래치단은,

프리차지후에는 서로 동일한 논리값을 래치하며, 외부 입력 데이터에 따라 서로 다른 논리값을 래치하는 제1 래치 및 제2 래치로 구성되며,

상기 출력단은,

상기 제1래치 및 제2래치가 동일한 값을 래치하면 턴오프되고, 상기 래치값에 따라 상기 정상선에 하이값 전압을 인가하기 위한 정상선 하이 스위치;

상기 제1래치 및 제2래치가 동일한 값을 래치하면 턴오프되고, 상기 래치값에 따라 상기 정상선에 로우값 전압을 인가하기 위한 정상선 로우 스위치;

상기 제1래치 및 제2래치가 동일한 값을 래치하면 턴오프되고, 상기 래치값에 따라 상기 반전선에 하이값 전압을 인가하기 위한 반전선 하이 스위치; 및

상기 제1래치 및 제2래치가 동일한 값을 래치하면 턴오프되고, 상기 래치값에 따라 상기 반전선에 로우값 전압을 인가하기 위한 반전선 로우 스위치를 포함하는 입력 데이터 구동기.

#### 청구항 41.

제40항에 있어서,

상기 정상선 하이 스위치와 상기 반전선 하이 스위치는 외부에서 입력되는 하이값 테스트 명령에 따라 턴온되고,

상기 정상선 로우 스위치와 상기 반전선 로우 스위치에 외부에서 입력되는 로우값 테스트 명령에 따라 턴온되는 입력 데이터 구동기.

#### 청구항 42.

제40항에 있어서,

상기 정상선 하이 스위치는 외부에서 입력되는 정상선 하이값 테스트 명령에 따라 턴온되고,

상기 정상선 로우 스위치는 외부에서 입력되는 정상선 로우값 테스트 명령에 따라 턴온되며,

상기 반전선 하이 스위치는 외부에서 입력되는 반전선 하이값 테스트 명령에 따라 턴온되고,

상기 반전선 로우 스위치는 외부에서 입력되는 반전선 로우값 테스트 명령에 따라 턴온되는 입력 데이터 구동기.

#### 청구항 43.

반도체 소자내에서 데이터의 입/출력을 담당하며 다수개의 비트라인과 연결될 수 있는 정상선 및 반전선을 포함하는, 반도체 메모리 소자내의 페리 영역에 구현되며,

테스트 모드에 따라 상기 정상선에 하이값 전압을 인가하기 위한 정상선 하이 스위치;

테스트 모드에 따라 상기 정상선에 로우값 전압을 인가하기 위한 정상선 로우 스위치;

테스트 모드에 따라 상기 반전선에 하이값 전압을 인가하기 위한 반전선 하이 스위치; 및

테스트 모드에 따라 상기 반전선에 로우값 전압을 인가하기 위한 반전선 로우 스위치를 포함하는 테스트 전압 인가 회로.

#### 청구항 44.

제43항에 있어서,

상기 정상선 하이 스위치와 상기 반전선 하이 스위치에 하이값 테스트 명령이 스위칭신호로서 외부에서 입력되고,

상기 정상선 로우 스위치와 상기 반전선 로우 스위치에 로우값 테스트 명령이 스위칭신호로서 외부에서 입력되는 테스트 전압 인가 회로.

#### 청구항 45.

제43항에 있어서,

상기 정상선 하이 스위치에 정상선 하이값 테스트 명령이 스위칭신호로서 외부에서 입력되고,

상기 정상선 로우 스위치에 정상선 로우값 테스트 명령이 스위칭신호로서 외부에서 입력되고,

상기 반전선 하이 스위치에 반전선 하이값 테스트 명령이 스위칭신호로서 외부에서 입력되고,

상기 반전선 로우 스위치에 반전선 로우값 테스트 명령이 스위칭신호로서 외부에서 입력되는 테스트 전압 인가 회로.

#### 청구항 46.

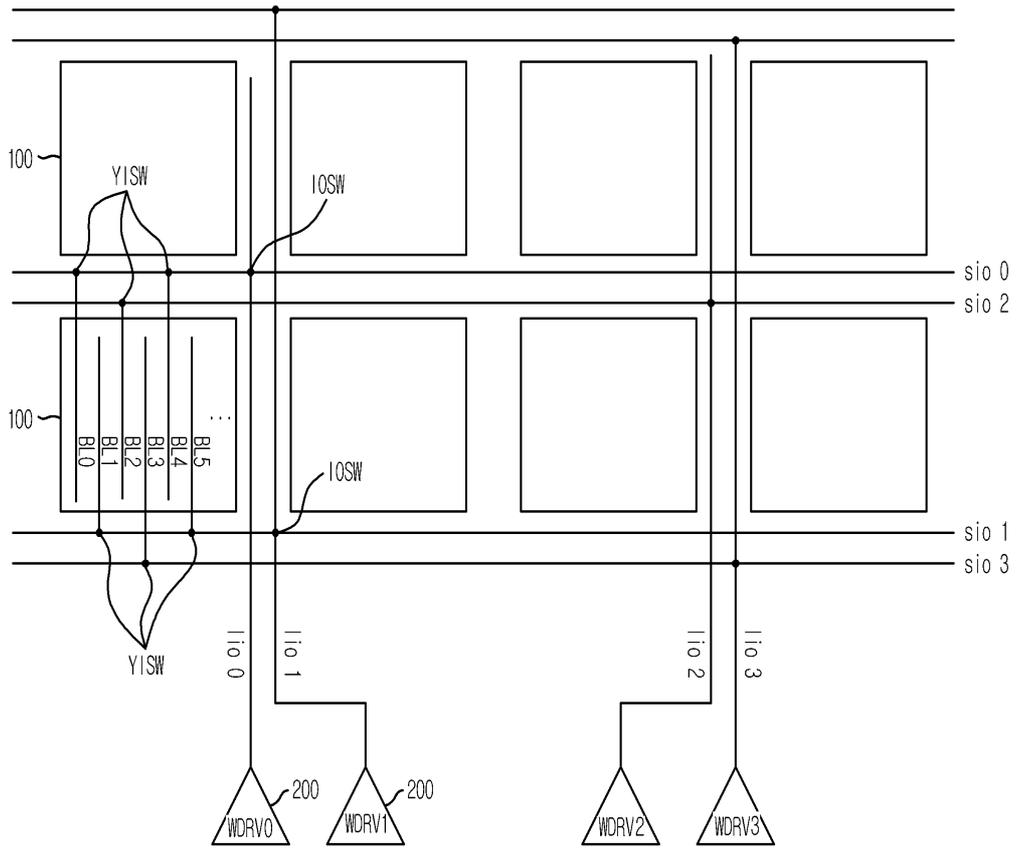
삭제

#### 청구항 47.

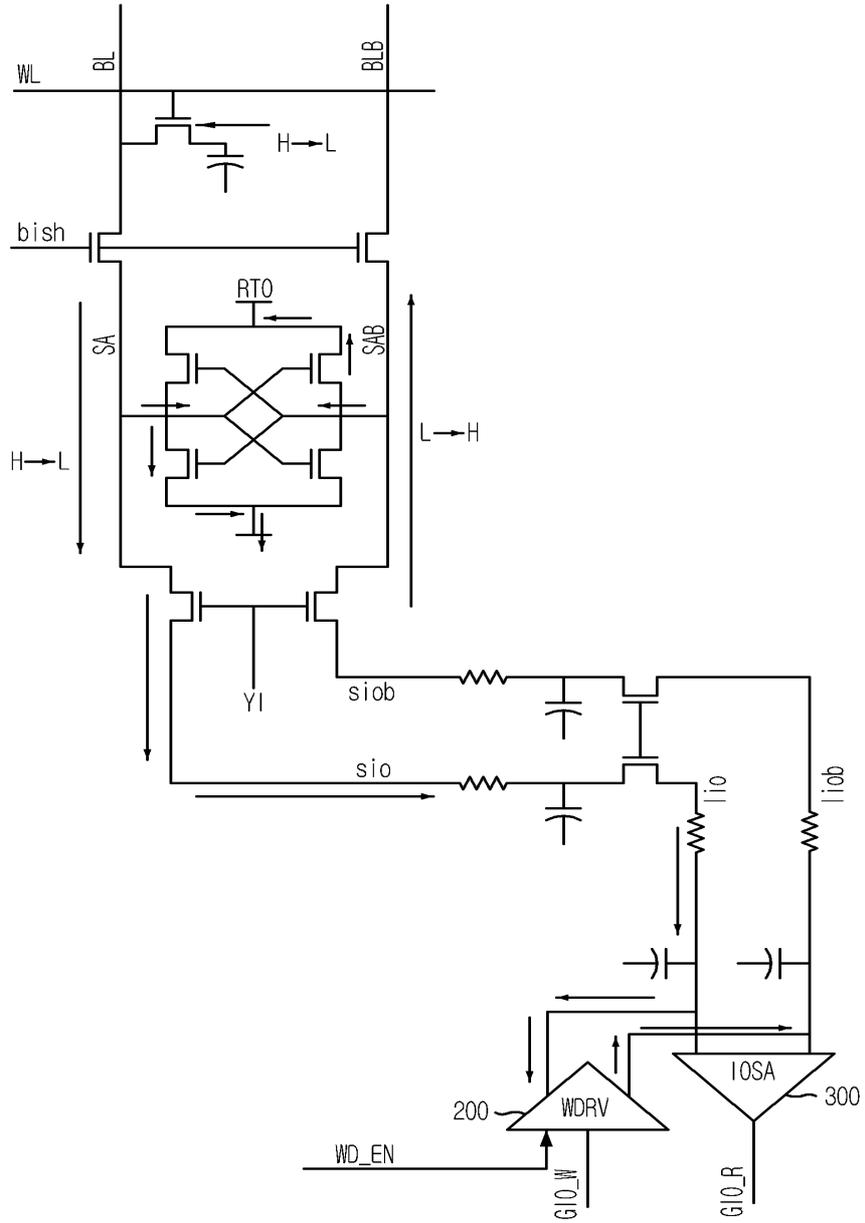
삭제

도면

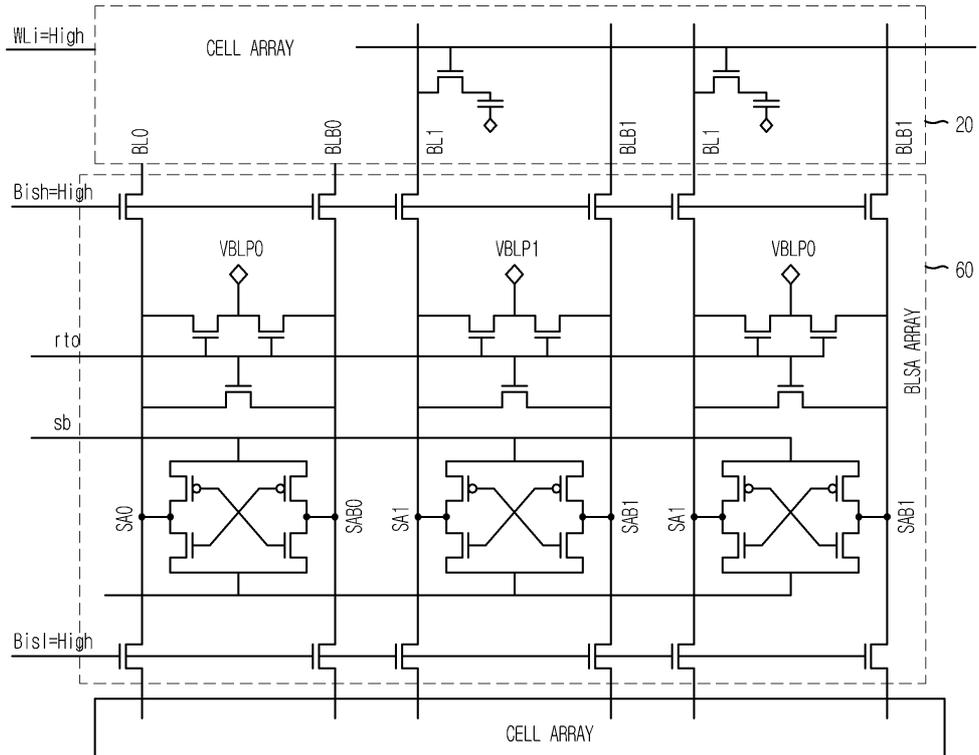
도면1



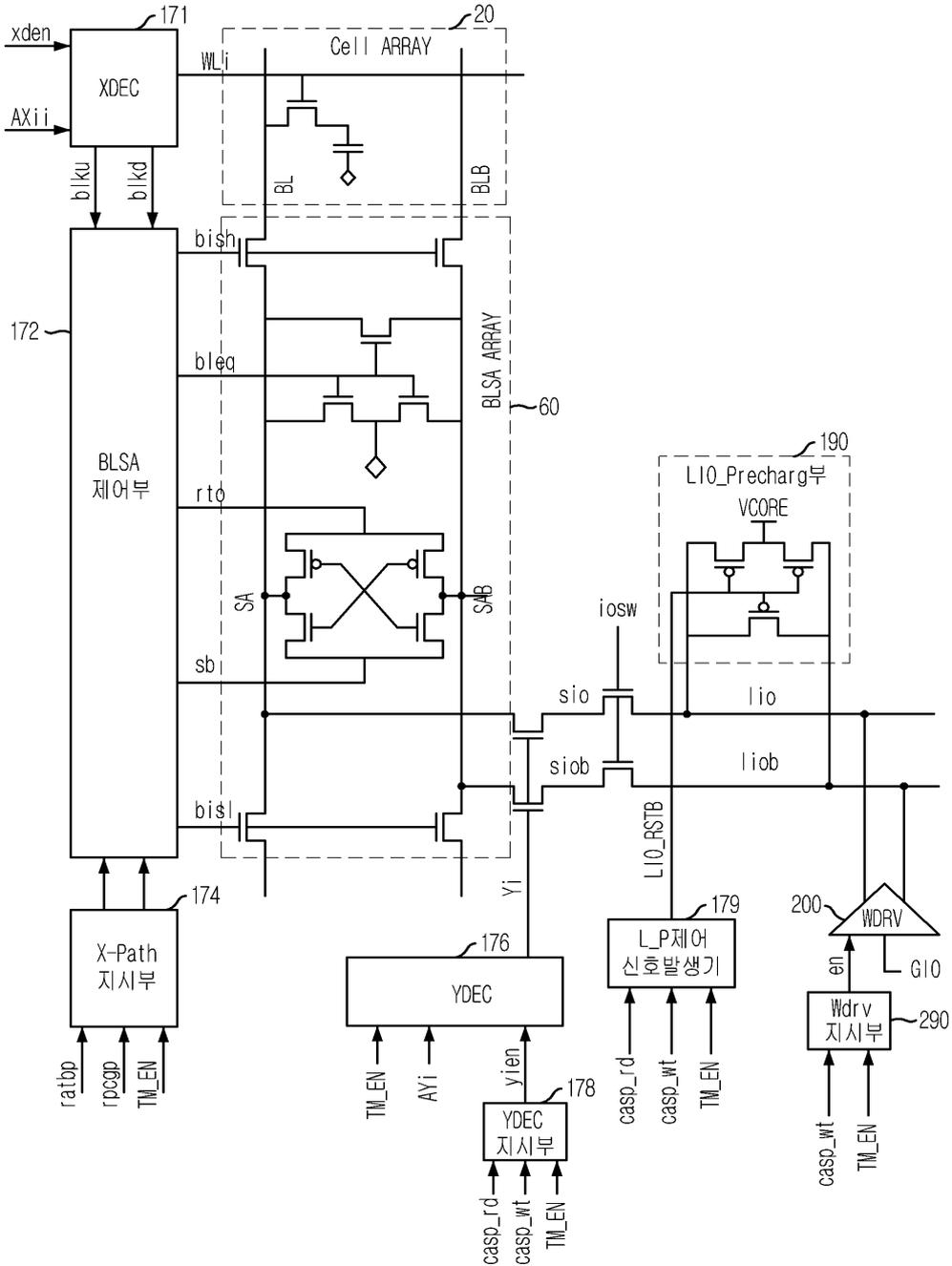
도면2



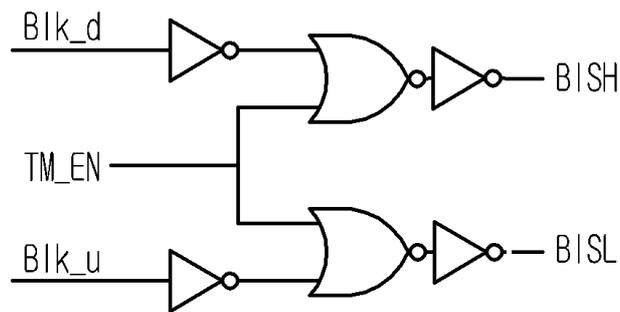
도면3



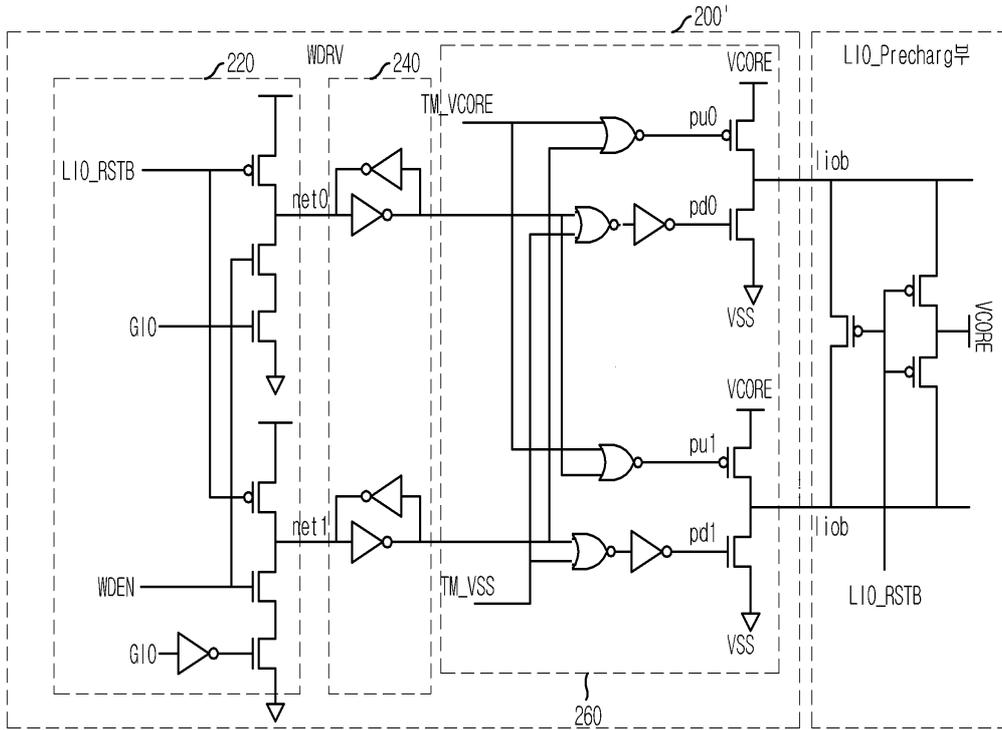
도면4



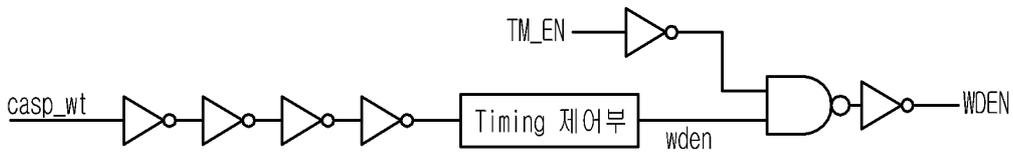
도면5



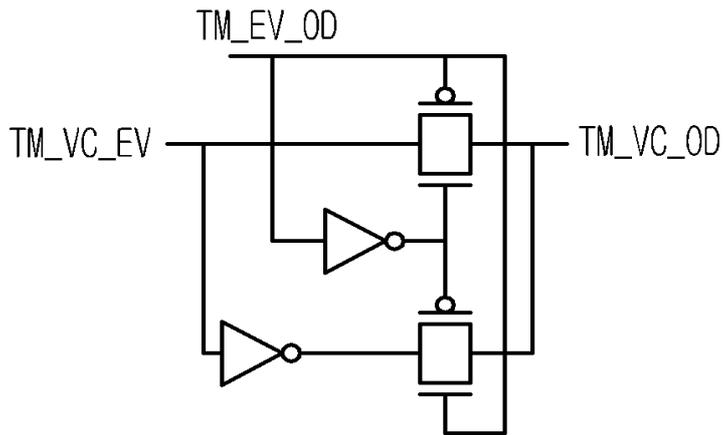
도면6



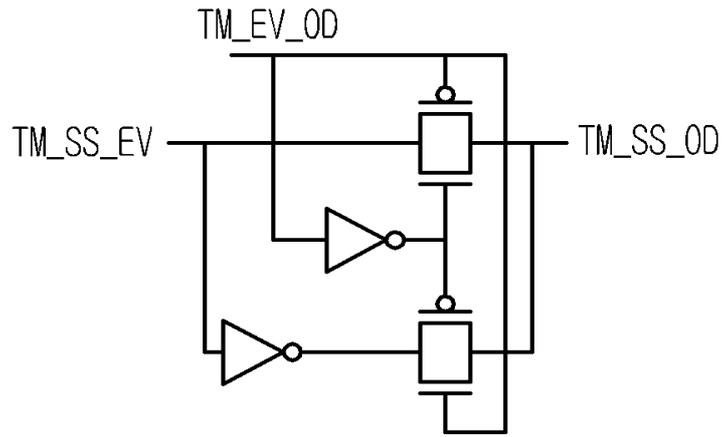
도면7



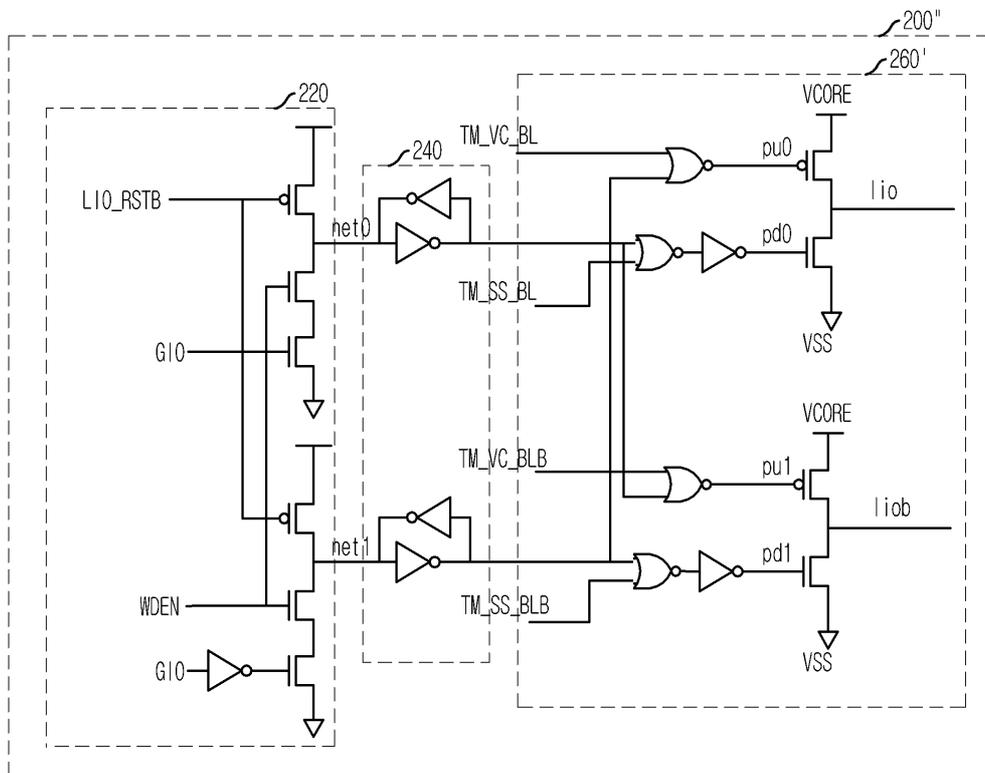
도면8a



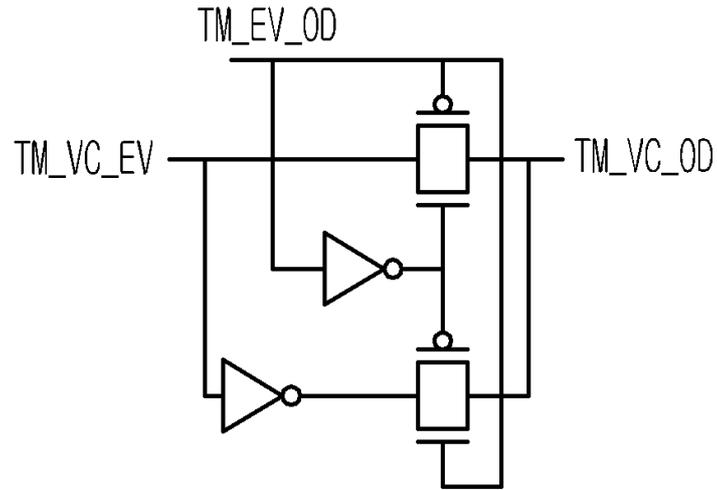
도면8b



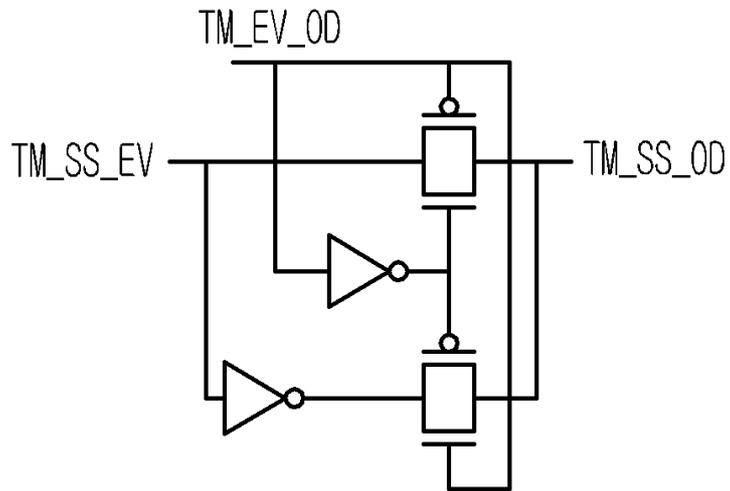
도면9



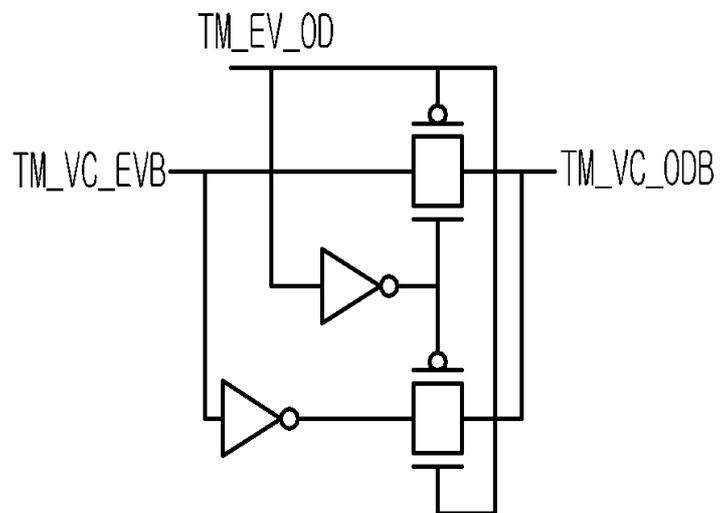
도면10a



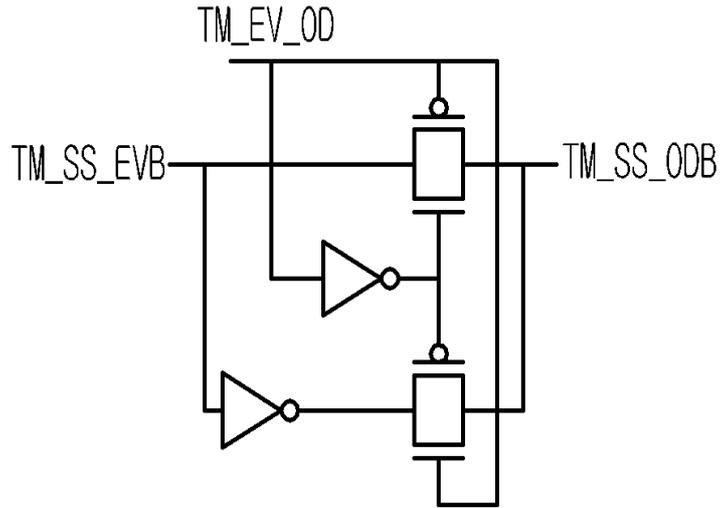
도면10b



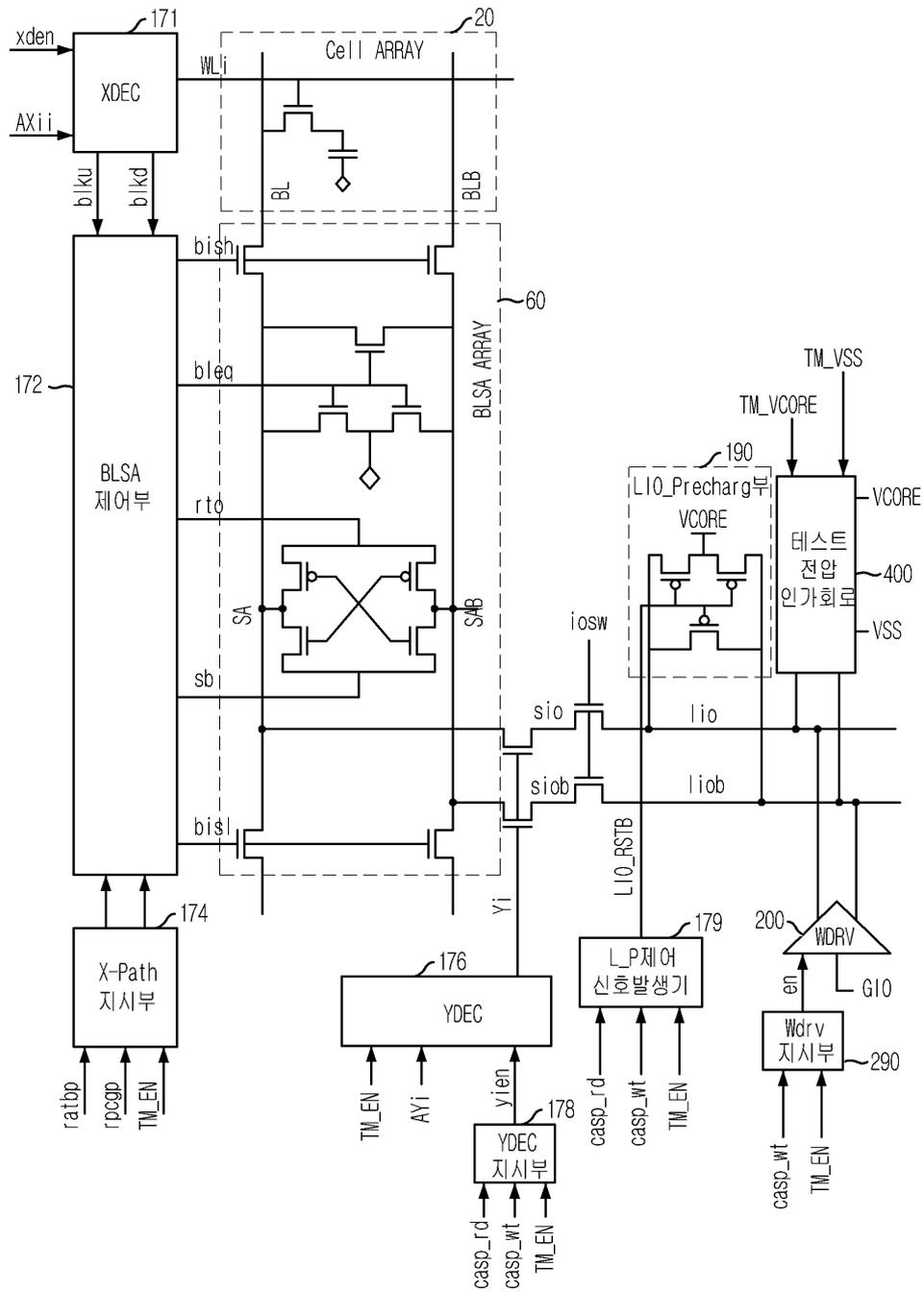
도면10c



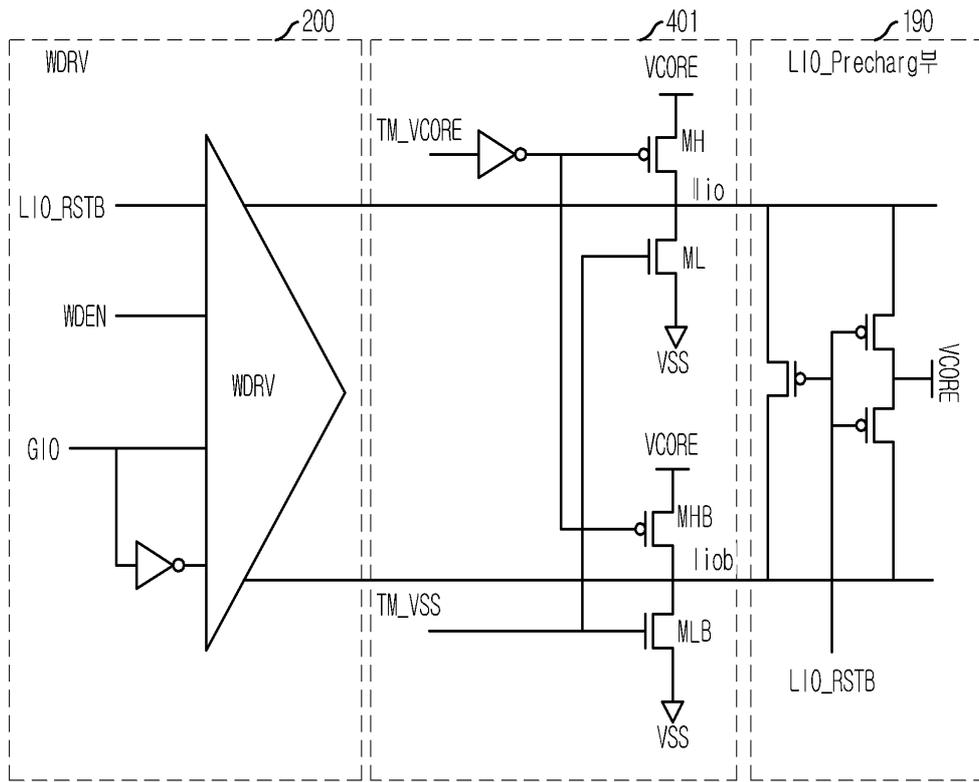
도면10d



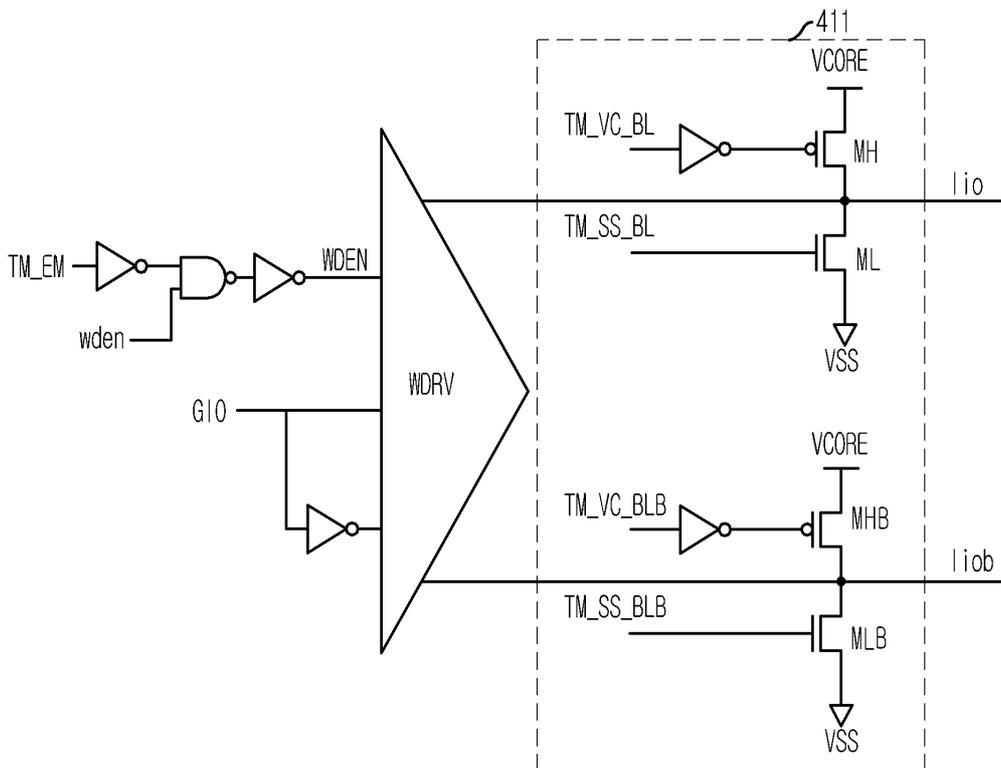
도면11



도면12



도면13





도면15

