



(12) 发明专利

(10) 授权公告号 CN 112002692 B

(45) 授权公告日 2022. 10. 25

(21) 申请号 202010783760.X

H01L 29/06 (2006.01)

(22) 申请日 2020.08.06

H01L 21/822 (2006.01)

(65) 同一申请的已公布的文献号

审查员 刘立平

申请公布号 CN 112002692 A

(43) 申请公布日 2020.11.27

(73) 专利权人 杰华特微电子股份有限公司

地址 310030 浙江省杭州市西湖区三墩镇
振华路298号西港发展中心西4幢9楼
901-23室

(72) 发明人 陆阳 王炜槐 韩广涛

(74) 专利代理机构 北京成创同维知识产权代理
有限公司 11449

专利代理师 蔡纯 李镇江

(51) Int. Cl.

H01L 27/02 (2006.01)

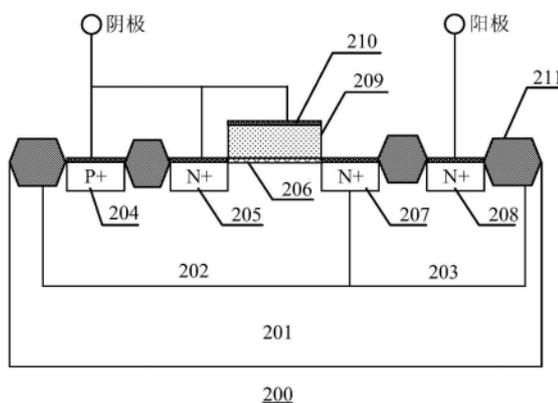
权利要求书1页 说明书6页 附图6页

(54) 发明名称

用于静电防护的晶体管及其制造方法

(57) 摘要

本发明涉及静电防护领域,提供了一种用于静电防护的晶体管及其制造方法,通过在衬底上形成P型阱区和与该P型阱区相连的N型阱区,利用间隔设置的多个场氧区和栅极结构进行离子注入以依次形成位于P型阱区的第一P型区和第一N型区,以及位于N型阱区的第二N型区和第三N型区,再通过分布在第一P型区、第一N型区和栅极结构上的金属硅化物层电连接引出作为该晶体管的阴极,以及将位于第三N型区上的金属硅化物层引出作为该晶体管的阳极。其相较于现有技术,将晶体管的漏端结构进行新的调整,省去金属硅化物阻挡层这一掩模版,节省了制造成本,并将尺寸有所减小,同时还能达到相同的ESD电流泄放能力。



1. 一种用于静电防护的晶体管,包括:

位于衬底中的P型阱区和N型阱区,且所述P型阱区与所述N型阱区连接;

所述P型阱区上依次间隔设置的第一P型区、第一N型区和栅极结构,所述栅极结构包括在所述衬底上依次堆叠的栅氧化层和多晶硅层;

所述N型阱区上依次间隔设置的第二N型区和第三N型区,所述第二N型区横跨在所述N型阱区与所述P型阱区的交界处,且所述第一N型区和所述第二N型区位于所述栅极结构的两侧;

金属硅化物层,位于所述衬底上,分布在所述第一P型区、第一N型区、栅极结构、第二N型区和第三N型区的上表面,

其中,位于所述第一P型区、第一N型区和栅极结构上的金属硅化物层电连接在一起并作为所述晶体管的阴极;

位于所述第三N型区上的金属硅化物层引出作为所述晶体管的阳极,

并且,所述阳极为静电进入端,所述阴极为对地端。

2. 根据权利要求1所述的晶体管,其中,还包括:

多个场氧区,间隔设置在所述衬底上,所述多个场氧区分布在所述第一P型区和所述第三N型区的两侧,并将所述第一P型区和第一N型区、所述第二N型区和第三N型区隔离开。

3. 根据权利要求2所述的晶体管,其中,所述晶体管具有从所述阳极经所述第三N型区由所述N型阱区到所述第二N型区的静电电流的泄放路径。

4. 根据权利要求1所述的晶体管,其中,所述衬底为P型衬底。

5. 根据权利要求1所述的晶体管,其中,所述的晶体管为场效应晶体管。

6. 一种用于静电防护的晶体管的制造方法,包括:

在衬底上依次进行离子注入形成P型阱区和N型阱区,且形成的所述P型阱区与所述N型阱区连接;

在所述衬底上形成多个间隔设置的场氧区,多个所述场氧区依次定义出位于所述P型阱区的源端区域和栅端区域,以及位于所述N型阱区的漏端区域;

在所述衬底上的栅端区域依次沉积栅氧化层和多晶硅层,形成栅极结构,并蚀刻该栅极结构的两侧定义出第一注入区和第二注入区,使所述第二注入区横跨在所述N型阱区与所述P型阱区的交界处;

在所述源端区域和所述第一注入区依次进行离子注入以形成第一P型区和第一N型区;

在所述第二注入区和所述漏端区域依次进行离子注入以形成第二N型区和第三N型区;

在所述衬底上形成金属硅化物层,形成的所述金属硅化物层分布在所述第一P型区、第一N型区、栅极结构、第二N型区和第三N型区的上表面。

7. 根据权利要求6所述的制造方法,其中,在所述衬底上形成金属硅化物层后还包括:

将位于所述第一P型区、第一N型区和栅极结构上的金属硅化物层电连接引出作为所述晶体管的阴极;

将位于所述第三N型区上的金属硅化物层引出作为所述晶体管的阳极。

8. 根据权利要求7所述的制造方法,其中,形成的所述晶体管为场效应晶体管。

9. 根据权利要求8所述的制造方法,其中,所述制造方法形成了静电电流从所述阳极经所述第三N型区由所述N型阱区到所述第二N型区的泄放路径。

用于静电防护的晶体管及其制造方法

技术领域

[0001] 本发明涉及静电防护领域,具体涉及一种用于静电防护的晶体管及其制造方法。

背景技术

[0002] 静电放电(Electro-Static discharge,ESD)是一种客观存在的自然现象,伴随着产品的整个周期。芯片的制造、封装、测试到应用阶段,其外部环境和内部结构都会积累一定的电荷,会随时受到静电的威胁。对集成电路进行静电保护的途径有二:一是控制和减少静电产生和放电的发生,例如使用静电防护服、防静电腕带等;二是在芯片外围设计静电泄放器件,为静电提供泄放通路。途径二中的静电泄放器件相当于芯片(integrated circuit,IC)内的“避雷针”,避免静电放电时电流流入IC内部电路而造成损伤,它是目前最直接和常见的一种保护措施。但是,随着器件的特征尺寸不断减小和集成度不断提高,ESD器件的设计窗口越来越小,难度越来越大,需要一种占用芯片面积小且泄放静电能力好的ESD保护器件,这成为了集成电路工程师所要面临的挑战。

[0003] 因此,在芯片设计中需要在各个引脚放置ESD防护器件,用于保护芯片断电及上电这两种状态。而在传统设计中,场效应管经常作为ESD防护器件来使用,这样可以兼容绝大部分互补金属氧化物半导体(Complementary Metal Oxide Semiconductor,CMOS)工艺。

[0004] 图1示出传统的用于ESD防护的场效应管的电路结构图,图2示出图1的等效电路图,参考图1,其阴极分别电连接在位于第一P型区103、第一N型区104和多晶硅层107上的金属硅化物层108,而第一P型区103、第一N型区104和多晶硅层107,以及第三N型区105上均位于衬底101上的P型阱区102内,在衬底101表面上依次堆叠的栅氧化层106和多晶硅层107形成栅极结构,阳极连接在第三N型区105上的金属硅化物层108上,而位于衬底101表面的场氧区109间隔设置,以对第一P型区103、第一N型区104和多晶硅层107,以及第三N型区105进行隔离,使用场效应管对引脚实现ESD防护时,需要将漏端区域(第三N型区105)拉开了一段距离,并且在制造过程中用金属硅化物阻挡层这块掩模版去除这一区域的部分金属硅化物层形成压舱电阻R0,如图2所示,该压舱电阻R0连接于阴极与晶体管T11的漏端,P阱电阻R11连接于晶体管T11的栅极与源极(阳极)之间,以此提高场效应管在ESD电流泄放时的均匀性。

[0005] 但上述方案中用于引脚ESD防护器件的场效应管在制作中还需利用金属硅化物掩模版,增加了生产成本,同时形成的漏端区域(第三N型区105)的宽度受限,使成型的器件尺寸难以减小,应用受限。

发明内容

[0006] 为了解决上述技术问题,本发明提供了一种用于静电防护的晶体管及其制造方法,在实现了ESD防护的同时节省了制造成本,也缩小了成型器件的尺寸。

[0007] 一方面,本发明提供了一种用于静电防护的晶体管,包括:

- [0008] 位于衬底中的P型阱区和N型阱区,且该P型阱区与N型阱区连接;
- [0009] 该P型阱区上依次间隔设置的第一P型区、第一N型区和栅极结构,该栅极结构包括在衬底上依次堆叠的栅氧化层和多晶硅层;
- [0010] 该N型阱区上依次间隔设置的第二N型区和第三N型区,该第二N型区横跨在前述N型阱区与P型阱区的交界处,且该第一N型区和第二N型区位于前述栅极结构的两侧;
- [0011] 金属硅化物层,位于衬底上,分布在前述第一P型区、第一N型区、栅极结构、第二N型区和第三N型区的上表面。
- [0012] 优选地,该晶体管还包括:
- [0013] 多个场氧区,间隔设置在衬底上,该多个场氧区分布在前述第一P型区和前述第三N型区的两侧,并将前述第一P型区和第一N型区、前述第二N型区和第三N型区隔离开。
- [0014] 优选地,位于前述第一P型区、第一N型区和栅极结构上的金属硅化物层电连接在一起并引出作为该晶体管的阴极;
- [0015] 位于前述第三N型区上的金属硅化物层引出作为该晶体管的阳极,
- [0016] 并且,该阳极为静电进入端,阴极为对地端。
- [0017] 优选地,从阳极经前述第三N型区由前述N型阱区到前述第二N型阱区作为静电电流的泄放路径。
- [0018] 优选地,衬底为P型衬底。
- [0019] 优选地,该晶体管为场效应晶体管。
- [0020] 另一方面,本发明还提供了一种用于静电防护的晶体管的制造方法,包括:
- [0021] 在衬底上依次进行离子注入形成P型阱区和N型阱区,且形成的该P型阱区与N型阱区连接;
- [0022] 在衬底上形成多个间隔设置的场氧区,该多个场氧区依次定义出位于P型阱区的源端区域和栅端区域,以及位于N型阱区的漏端区域;
- [0023] 在衬底上的栅端区域依次沉积栅氧化层和多晶硅层,形成栅极结构,并蚀刻该栅极结构的两侧定义出第一注入区和第二注入区,使该第二注入区横跨在前述N型阱区与前述P型阱区的交界处;
- [0024] 在前述源端区域和前述第一注入区依次进行离子注入以形成第一P型区和第一N型区;
- [0025] 在前述第二注入区和前述漏端区域依次进行离子注入以形成第二N型区和第三N型区;
- [0026] 在衬底上形成金属硅化物层,形成的该金属硅化物层分布在前述第一P型区、第一N型区、栅极结构、第二N型区和第三N型区的上表面。
- [0027] 优选地,该制造方法在衬底上形成金属硅化物层后还包括:
- [0028] 将位于前述第一P型区、第一N型区和栅极结构上的金属硅化物层电连接引出作为该晶体管的阴极;
- [0029] 将位于前述第三N型区上的金属硅化物层引出作为该晶体管的阳极。
- [0030] 优选地,形成的该晶体管为场效应晶体管。
- [0031] 优选地,该制造方法形成了静电电流从阳极经前述第三N型区由前述N型阱区到前述第二N型阱区的泄放路径。

[0032] 本发明的有益效果是：本发明实施例提供的用于静电防护的晶体管的制造方法，通过在衬底上依次形成P型阱区和与该P型阱区相连的N型阱区，利用间隔设置在衬底表面的多个场氧区和栅极结构进行离子注入以依次形成位于P型阱区的第一P型区和第一N型区，以及位于N型阱区的第二N型区和第三N型区，再通过分布在第一P型区、第一N型区和栅极结构上的金属硅化物层电连接引出作为该晶体管的阴极，将位于第三N型区上的金属硅化物层引出作为该晶体管的阳极，由此形成用于静电防护的晶体管，其相较于现有技术，将晶体管的漏端结构进行新的调整，省去金属硅化物阻挡层这一掩模版，节省了制造成本，并将尺寸有所减小，同时还能达到相同的ESD电流泄放能力。

[0033] 本发明实施例提供的用于静电防护的晶体管，第二N型区-N型阱区-第三N型区在该晶体管的等效电路中作为一个N阱电阻，连接在阳极和漏端之间，因第二N型区横跨在N型阱区与P型阱区的交界处，其一方面作为晶体管的漏端，另一方面还作为N阱电阻的一个连接端，使形成了静电电流从阳极经前述第三N型区由前述N型阱区到前述第二N型阱区的泄放路径，将现有技术中通过金属硅化物阻挡层作为掩模版去除部分金属硅化物形成压舱电阻改为形成N阱电阻，节省了掩模版并缩减了尺寸。

附图说明

[0034] 通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚。

[0035] 图1示出传统的用于ESD防护的场效应管的电路结构图；

[0036] 图2示出图1中场效应管的等效电路图；

[0037] 图3示出本发明实施例提供的用于ESD防护的场效应管的电路结构图；

[0038] 图4示出图3中场效应管的等效电路图；

[0039] 图5示出本发明实施例提供的用于ESD防护的场效应管的制造方法的流程示意图；

[0040] 图6a~图6f分别示出图5中场效应管的制造方法在各个阶段形成结构的截面示意图。

具体实施方式

[0041] 以下将参照附图更详细地描述本发明的各种实施例。在各个附图中，相同的元件采用相同或类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

[0042] 在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上方，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。

[0043] 如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“A直接在B上面”或“A在B上面并与之邻接”的表述方式。在本申请中，“A直接位于B中”表示A位于B中，并且A与B直接邻接，而非A位于B中形成的掺杂区中。

[0044] 除非在下文中特别指出,半导体器件的各个层或者区域可以由本领域的技术人员公知的材料构成。半导体材料例如包括III-V族半导体,如GaAs、InP、GaN、SiC,以及IV族半导体,如Si、Ge。栅极导体、电极层可以由导电的各种材料形成,例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅极导体或者是其他导电材料,例如为TaC、TiN、TaSiN、HfSiN、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、W、和所述各种导电材料的组合。

[0045] 在本申请中,术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称,包括已经形成的所有层或区域。术语“横向延伸”是指沿着大致垂直于沟槽深度方向的方向延伸。

[0046] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细描述。

[0047] 图3示出本发明实施例提供的用于ESD防护的场效应管的电路结构图,图4示出图3中场效应管的等效电路图。

[0048] 参考图3,本发明实施例提供的用于ESD防护的场效应管200包括:P型衬底201、P型阱区202、N型阱区203、第一P型区204、第一N型区205、栅极结构、第二N型区207、第三N型区208、金属硅化物层210和多个场氧区211,具体的,位于衬底中的P型阱区202和N型阱区203相连接,该P型阱区202上依次间隔设置的第一P型区204、第一N型区205和栅极结构,该栅极结构包括在P型衬底201上依次堆叠的栅氧化层206和多晶硅层209,该N型阱区203上依次间隔设置该第二N型区207和第三N型区208,且该第二N型区207横跨在N型阱区203与P型阱区202的交界处,而第一N型区205和第二N型区207位于该栅极结构的两侧,金属硅化物层210位于P型衬底201上,分布在第一P型区204、第一N型区205、栅极结构、第二N型区207和第三N型区208的上表面,多个场氧区211则间隔设置在P型衬底201上,该多个场氧区211分布在前述第一P型区204和前述第三N型区208的两侧,并将前述第一P型区204和第一N型区205、前述第二N型区207和第三N型区208隔离开。

[0049] 进一步的,位于前述第一P型区204、第一N型区205和栅极结构上的金属硅化物层210电连接在一起并引出作为该场效应管200的阴极,位于前述第三N型区208上的金属硅化物层211引出作为该场效应管200的阳极,并且,该阳极为静电进入端,阴极为对地端。

[0050] 在本实施例中,第二N型区207-N型阱区203-第三N型区208在该场效应管200的等效电路中作为一个N阱电阻R22,如图4所示,该N阱电阻R22连接在阴极和场效应晶体管T21的漏端之间,P阱电阻R21连接于场效应晶体管T21的栅极与源极(阳极)之间。

[0051] 在本实施例中,该第二N型区207横跨在N型阱区203与P型阱区202的交界处,其一方面作为场效应管200的漏端,另一方面还作为N阱电阻R22的一个连接端,使形成了静电电流从阳极经前述第三N型区208由前述N型阱区203到前述第二N型阱区207的泄放路径,将现有技术中通过金属硅化物阻挡层作为掩模版去除部分金属硅化物形成压舱电阻改为形成N阱电阻,节省了掩模版,同时由于N阱电阻相对于N⁺电阻更大,并且无需限制该器件的漏端区域的成型宽度,能使成型器件尺寸有所减小,也能形成相同的压舱电阻,进而达到相同的ESD电流泄放能力。

[0052] 在应用于静电防护的该场效应晶体管的集成电路(芯片)中,阳极和阴极以连接引脚接入集成电路(芯片)中时,以位于引脚前端N阱电阻通过电压钳位来改变漏电流的大小,实现了ESD防护,避免了静电电流对器件内部的损坏。

[0053] 图5示出本发明实施例提供的用于ESD防护的场效应管的制造方法的流程示意图,图6a~图6f分别示出图5中场效应管的制造方法在各个阶段形成结构的截面示意图。

[0054] 以下实施例同样以用于ESD防护的场效应管为例,结合图6a~图6f介绍图5所示本发明实施例提供的用于ESD防护的场效应管的制造工艺。

[0055] 步骤S110:在衬底上形成彼此相连的P型阱区和N型阱区。

[0056] 在步骤S110中,通过在P型衬底201上依次进行离子注入形成P型阱区202和与该P型阱区202边缘区域相接触的N型阱区203,其形成结构的截面如图6a所示。

[0057] 步骤S120:在衬底上形成多个间隔设置的场氧区。

[0058] 在步骤S120中,在P型衬底201表面依次进行氧化硅的生长和利用低压化学气相沉积(Low Pressure Chemical Vapor Deposition, LPCVD)工艺进行氮化硅的沉积,再通过光刻掩膜阻挡,通过控制化学反应以在对应区域形成多个场氧区211,该多个场氧区依次定义出位于P型阱区的源端区域和栅端区域,以及位于N型阱区的漏端区域,其形成结构的截面如图6b所示。

[0059] 步骤S130:在衬底上的栅端区域依次沉积栅氧化层和多晶硅层,形成栅极结构。

[0060] 在步骤S130中,通过在P型衬底201上的栅端区域依次沉积栅氧化层206和多晶硅层209,形成栅极结构,而后通过依次蚀刻该栅氧化层206和多晶硅层209,控制该栅极结构的两侧宽度,定义出第一注入区和第二注入区,并且通过蚀刻工艺的控制使该第二注入区横跨在N型阱区与前述P型阱区的交界处,其形成结构的截面如图6c所示。

[0061] 步骤S140:在源端区域和第一注入区依次进行离子注入以形成第一P型区和第一N型区,以及在第二注入区和漏端区域依次进行离子注入以形成第二N型区和第三N型区。

[0062] 在步骤S140中,利用场氧区211和栅极结构通过自对准工艺在源端区域和前述第一注入区依次进行离子注入以形成第一P型区204和第一N型区205,以及在第二注入区和漏端区域依次进行离子注入以形成第二N型区207和第三N型区208,其形成结构的截面如图6d所示。

[0063] 步骤S150:在衬底上形成金属硅化物层。

[0064] 在步骤S150中,在P型衬底201上形成的金属硅化物(silicide),一般为TiSi₂(硅化钛)薄膜,其形成是在P型衬底201表面先沉积多晶硅层,通过溅射的方式在该多晶硅层和栅极结构(多晶硅层212)的表面淀积一层金属层(一般为Ti,Co或Ni),然后进行快速升温退火处理(RTA),使多晶硅表面和淀积的金属发生反应,形成金属硅化物层210,形成的该金属硅化物层210分布在第一P型区204、第一N型区205、栅极结构、第二N型区207和第三N型区208的上表面,其形成结构的截面如图6e所示。

[0065] 步骤S160:引出形成该场效应晶体管的阴极和阳极。

[0066] 在步骤S160中,将位于第一P型区204、第一N型区205和栅极结构上的金属硅化物层210电连接引出作为该场效应晶体管的阴极,以及将位于第三N型区208上的金属硅化物层210引出作为该场效应晶体管的阳极,其形成结构的截面如图6f所示。

[0067] 并且,引出的该场效应晶体管的阳极为静电进入端,阴极为对地端。

[0068] 综上所述,本发明实施例提供的用于静电防护的场效应晶体管的制造方法,通过在P型衬底201上依次形成P型阱区202和与该P型阱区202相连的N型阱区203,利用间隔设置在P型衬底201表面的多个场氧区211和栅极结构通过自对准注入工艺进行离子注入以

依次形成位于P型阱区202的第一P型区204和第一N型区205,以及位于N型阱区203的第二N型区207和第三N型区208,再通过分布在第一P型区204、第一N型区205和栅极结构上的金属硅化物层210电连接引出作为形成的该场效应晶体管的阴极,将位于第三N型区208上的金属硅化物层210引出作为形成的该场效应晶体管的阳极,由此形成用于静电防护的场效应晶体管200,其相较于现有技术,将场效应晶体管200的漏端结构进行新的调整,省去金属硅化物阻挡层这一掩模版,节省了制造成本,并且无需限制该器件的漏端区域的成型宽度,能使成型器件尺寸有所减小,同时还能达到相同的ESD电流泄放能力。

[0069] 此外,本实施例中是以局部氧化隔离(Local Oxidation of Silicon, LOCOS)工艺为例,但对于其他工艺如浅沟槽隔离(Shallow trench isolation, STI)工艺形成场氧区的场效应管器件在制造过程同样可应用上述实施例提供的制造方法中的部分或全部步骤,在此不作限制。相较于现有技术的制造方法基础上,旨在将原有通过金属硅化物阻挡层去除部分金属硅化物形成的压舱电阻改成N阱电阻,节省了掩模版降低了生产成本,并且无需限制该器件的漏端区域的成型宽度,能使成型器件尺寸有所减小,同时还能达到相同的ESD电流泄放能力。

[0070] 虽然以上将实施例分开说明和阐述,但涉及部分共通之技术,在本领域普通技术人员看来,可以在实施例之间进行替换和整合,涉及其中一个实施例未明确记载的内容,则可参考有记载的另一个实施例。

[0071] 应当说明的是,在本文中,所含术语“包括”、“包含”或者其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0072] 最后应说明的是:显然,上述实施例仅仅是为清楚地说明本发明所作的举例,而并非对实施方式的限定。对于所属领域的普通技术人员来说,在上述说明的基础上还可以做出其它不同形式的变化或变动。这里无需也无法对所有的实施方式予以穷举。而由此所引申出的显而易见的变化或变动仍处于本发明的保护范围之内。

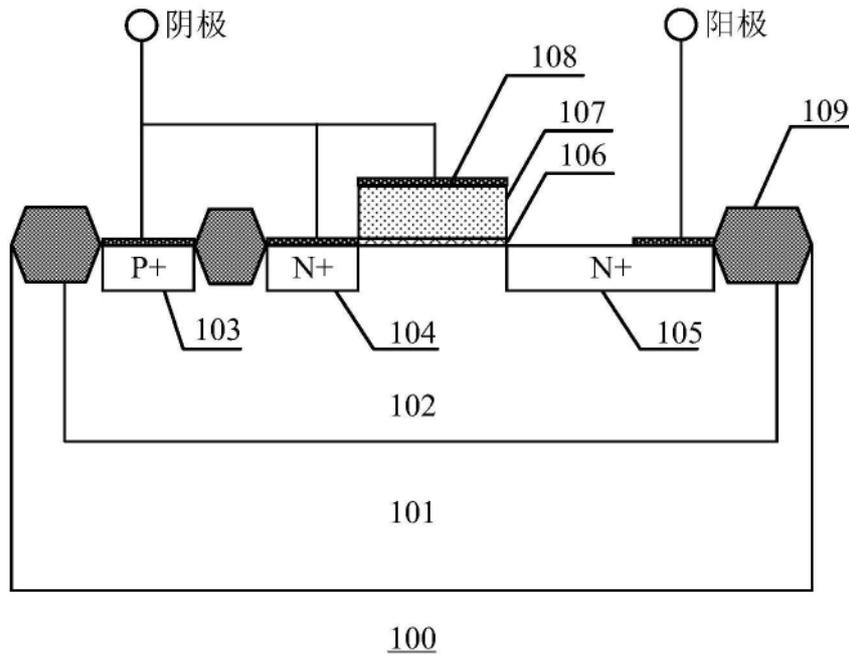


图1

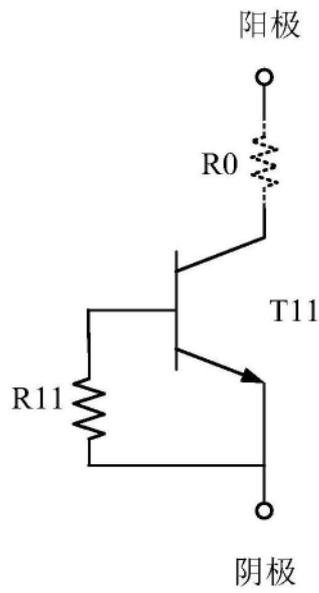


图2

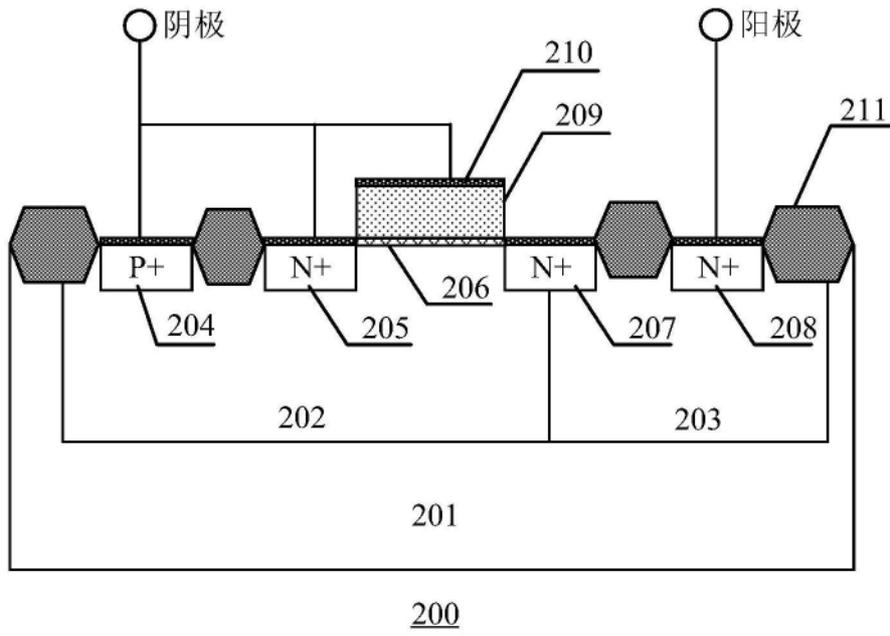


图3

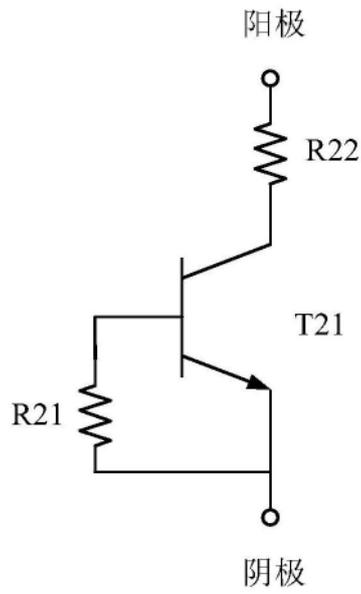


图4

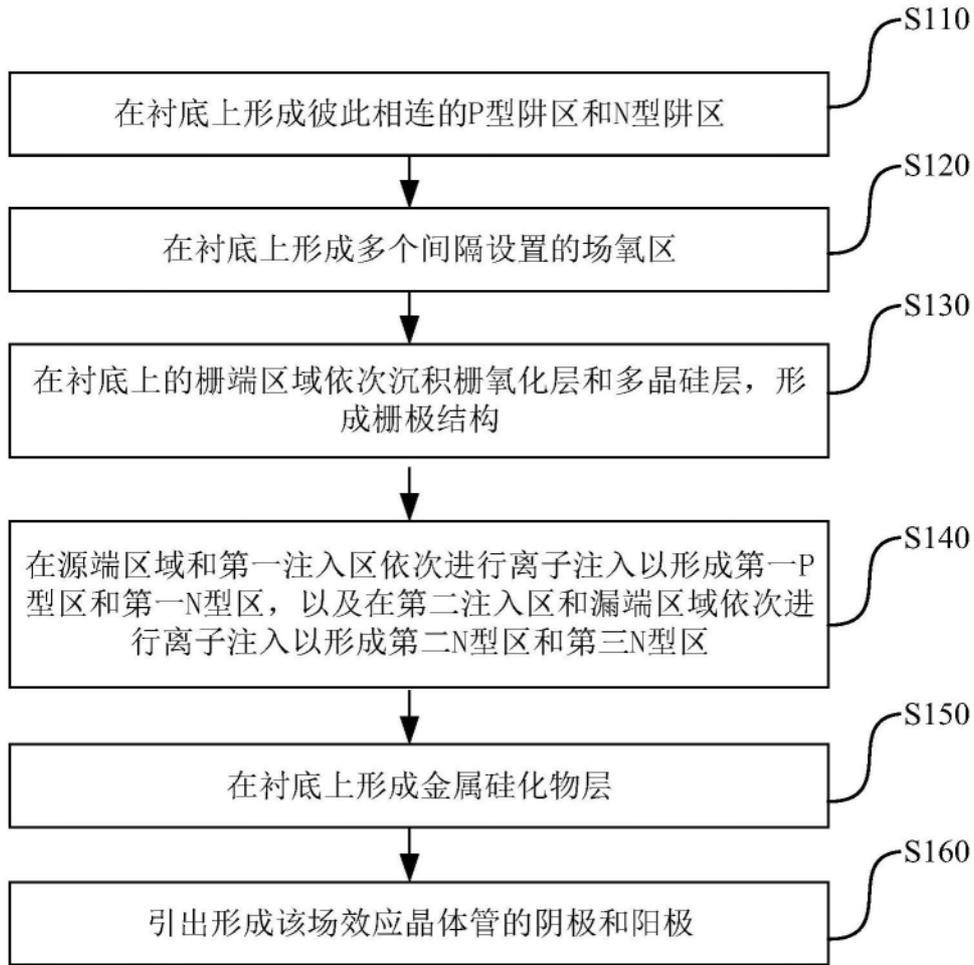


图5

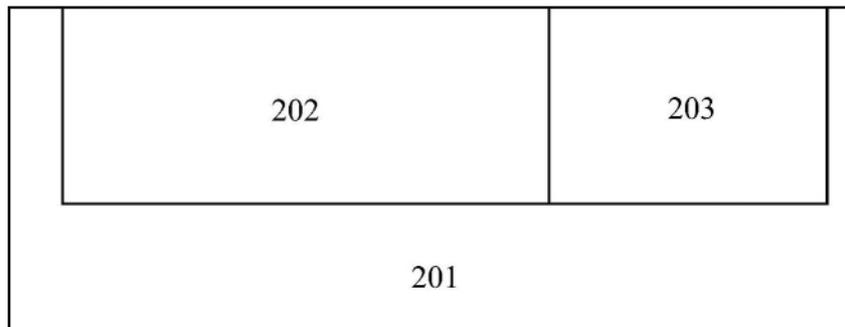


图6a

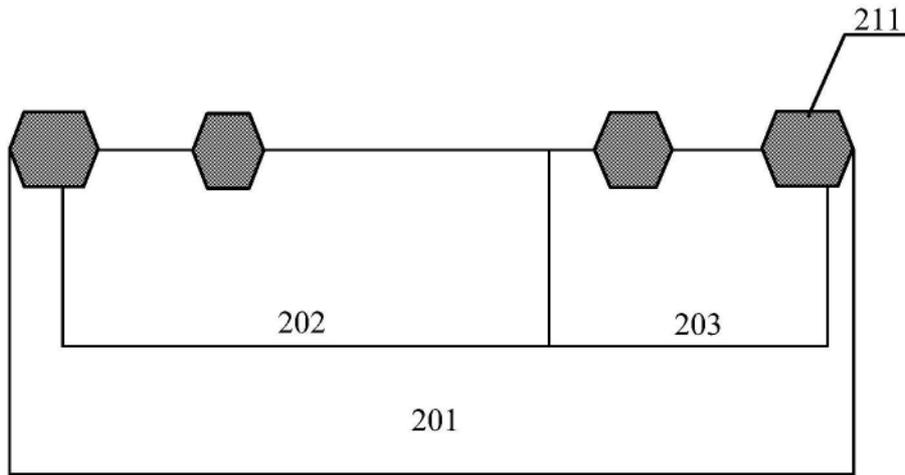


图6b

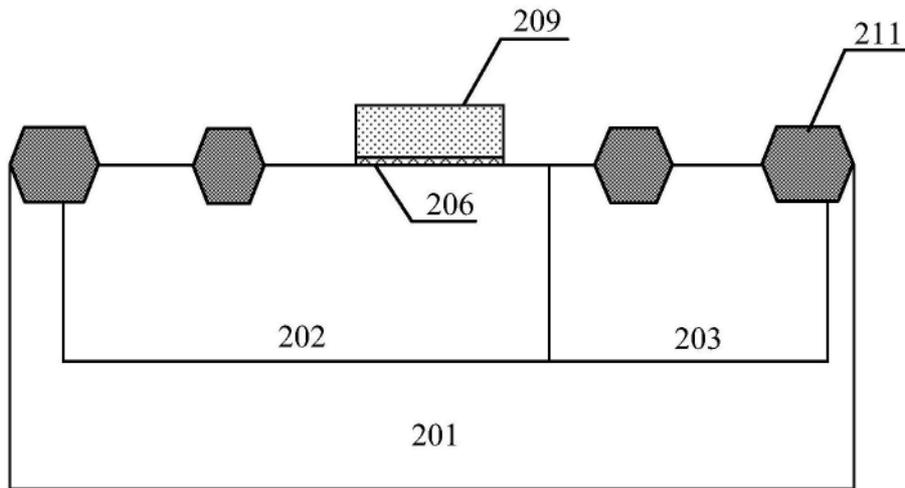


图6c

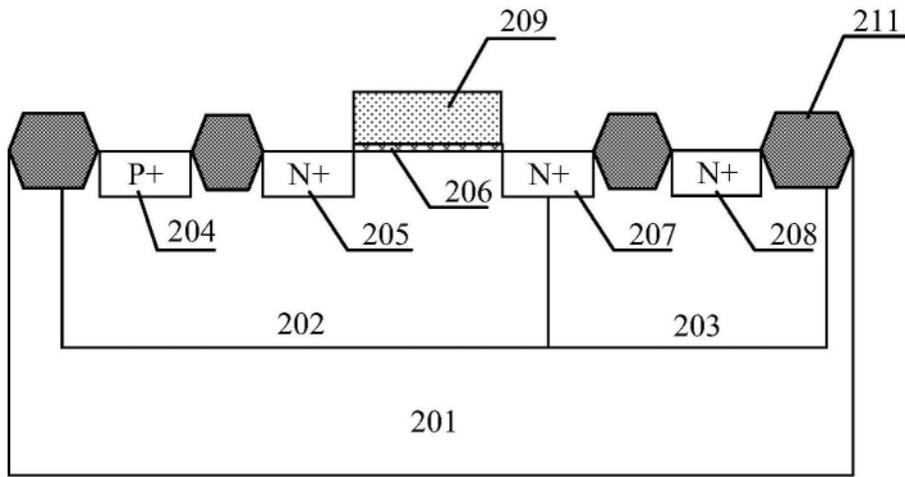


图6d

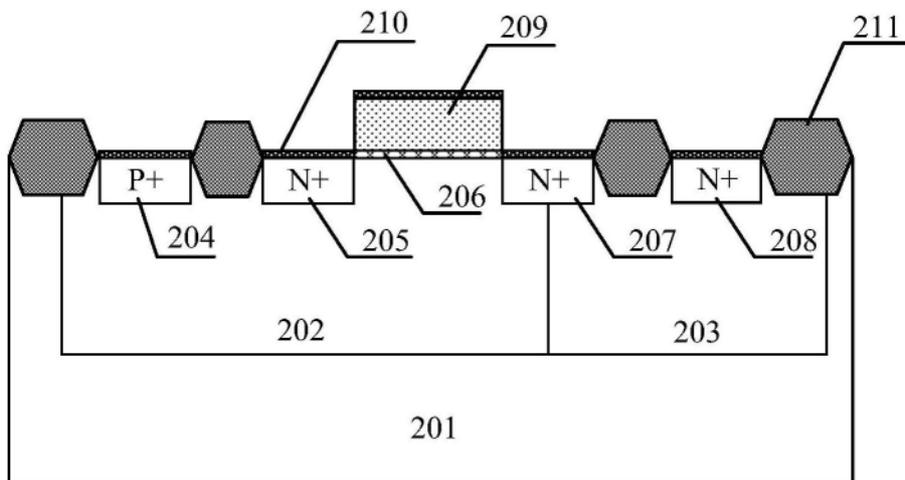


图6e

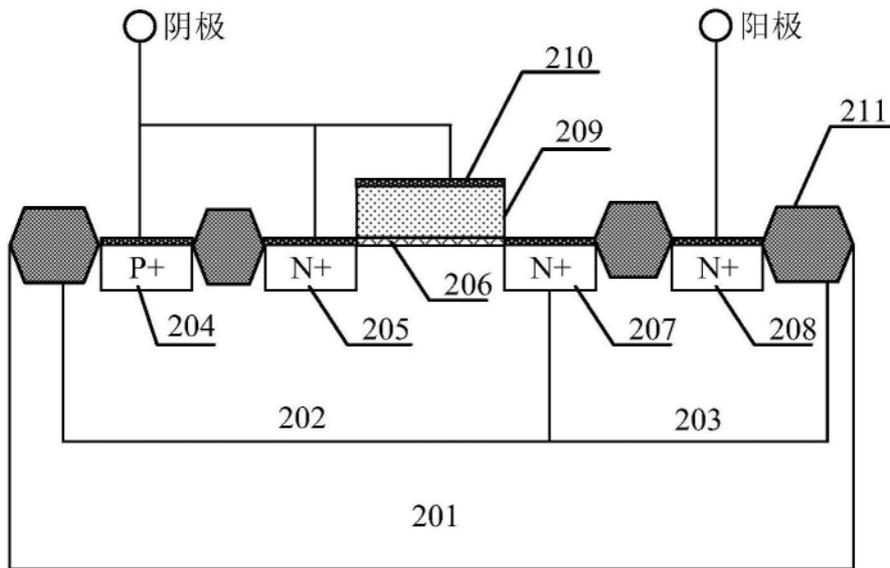


图6f