

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G06F 12/08 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200910171280.1

[43] 公开日 2010年1月27日

[11] 公开号 CN 101634971A

[22] 申请日 2009.9.1

[21] 申请号 200910171280.1

[71] 申请人 威盛电子股份有限公司

地址 中国台湾台北县

[72] 发明人 何宽瑞

[74] 专利代理机构 北京林达刘知识产权代理事务所

代理人 刘新宇 王璐

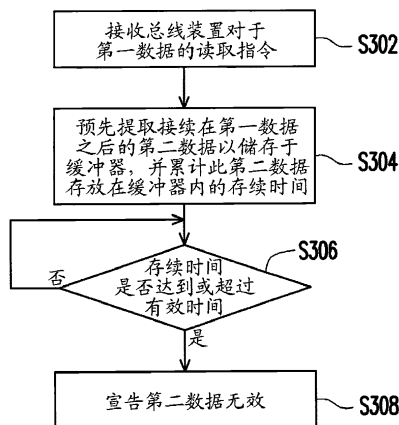
权利要求书 3 页 说明书 10 页 附图 3 页

## [54] 发明名称

数据预先提取方法及装置、计算机系统

## [57] 摘要

本发明提供一种数据预先提取方法及装置、计算机系统。该数据预先提取方法包括在接收到总线装置对于第一数据的读取指令时，预先提取接续在第一数据之后的第二数据并将该第二数据储存于缓冲器中。同时累计该第二数据存放在缓冲器内的存续时间，并判断所累计的存续时间是否达到或超过一有效时间。而当存续时间达到或超过有效时间时，将此预先提取的第二数据宣告无效，借以避免可能的读取错误。



1. 一种数据预先提取方法，其特征在于，适用于一芯片组，该数据预先提取方法包括下列步骤：

接收一总线装置对于一第一数据的一读取指令；

预先提取接续在该第一数据之后的一第二数据以将该第二数据储存于一缓冲器，并累计该第二数据存放在该缓冲器内的一存续时间；

判断所累计的该存续时间是否达到或超过一有效时间；以及

当该存续时间达到或超过该有效时间时，宣告该第二数据无效。

2. 根据权利要求1所述的数据预先提取方法，其特征在于，在接收该总线装置对于该第一数据的该读取指令的步骤之后，还包括：

提取该第一数据以将该第一数据储存于该缓冲器；以及

在预先提取接续在该第一数据之后的该第二数据之后，回应该缓冲器内的该第一数据给该总线装置。

3. 根据权利要求1所述的数据预先提取方法，其特征在于，该第一数据储存于一存储器的一第一区域，而该第二数据储存于该存储器中接续在该第一区域之后的一第二区域。

4. 根据权利要求3所述的数据预先提取方法，其特征在于，该存储器包括与该芯片组连接的一系统存储器及一处理器中的一快取存储器其中之一。

5. 根据权利要求4所述的数据预先提取方法，其特征在于，预先提取该第二数据以将该第二数据储存于该缓冲器的步骤包括：

检视该系统存储器及该处理器的该快取存储器中是否包含该第二数据；以及

预先提取该系统存储器及该处理器的该快取存储器中最新的该第二数据以将该第二数据储存于该缓冲器。

6. 根据权利要求1所述的数据预先提取方法，其特征在于，该数据包括视频数据及音频数据其中之一。

7. 一种数据预先提取装置，其特征在于，包括：

一缓冲器，储存所提取的数据；

一计时器，累计该数据存放在该缓冲器内的一存续时间；

以及

一控制器，耦接至该缓冲器及该计时器，当接收到一总线装置对于一第一数据的一读取指令时，预先提取接续在该第一数据之后的一第二数据以将该第二数据储存于该缓冲器，并利用该计时器累计该第二数据存放在该缓冲器内的该存续时间，而当该计时器累计的该存续时间达到或超过一有效时间时，宣告该缓冲器所储存的该第二数据无效。

8. 根据权利要求7所述的数据预先提取装置，其特征在于，还包括：

一暂存器，耦接至该控制器，该暂存器储存用以判断该第二数据是否无效的该有效时间。

9. 根据权利要求7所述的数据预先提取装置，其特征在于，该计时器依据该有效时间被编程，当该计时器累计的该存续时间达到该有效时间时，该计时器发出一中断控制信号至该控制器，该控制器依据该中断控制信号宣告该第二数据无效。

10. 根据权利要求7所述的数据预先提取装置，其特征在于，该控制器在接收该总线装置对于该第一数据的该读取指令时，还提取该第一数据以将该第一数据储存于该缓冲器，并在预先提取该第二数据之后，回应该缓冲器内的该第一数据给该总线装置。

11. 根据权利要求7所述的数据预先提取装置,其特征在於,该控制器还包括:

依据该总线装置对于该数据的一存取周期,判断该第二数据的一更新时间,该更新时间用以作为判断预先提取的该第二数据是否无效的该有效时间。

12. 根据权利要求7所述的数据预先提取装置,其特征在於,该数据预先提取装置配置于一芯片组中。

13. 根据权利要求7所述的数据预先提取装置,其特征在於,该总线装置包括一直接存储器存取引擎。

14. 一种计算机系统,其特征在於,包括:

一存储器,储存一第一数据以及接续在该第一数据之后的一第二数据;

一芯片组,耦接至该存储器;以及

一总线装置,耦接至该芯片组,

其中,该芯片组包括:

一缓冲器,储存从该存储器所提取的数据;

一计时器,累计该数据存放在该缓冲器内的一存续时间;

以及

一控制器,耦接至该缓冲器及该计时器,当该控制器接收到该总线装置对于该第一数据的一读取指令时,预先提取该第二数据以将该第二数据储存于该缓冲器,并利用该计时器累计该第二数据存放在该缓冲器内的该存续时间,而当该计时器累计的该存续时间达到或超过一有效时间时,宣告该缓冲器所储存的该第二数据无效。

## 数据预先提取方法及装置、计算机系统

### 技术领域

本发明有关于一种数据提取方法及装置，且特别有关于一种可确保数据有效性的数据预先提取方法及装置。

### 背景技术

一般总线装置要读取存储器中的数据时，会通过总线传送一个存储器存取请求给芯片组。此时，芯片组除了会到处理器或存储器中提取装置所请求的数据外，为了保证读取速度，还会预先提取（Pre-fetch）一部分数据并存放于一个预先提取缓冲器中，借以在总线装置提出下一个存储器存取请求时，能够直接以预先提取的数据作回应，进而缩短总线装置读取数据的时间。

以外围设备互连（Peripheral Component Interconnect, PCI）总线上的直接存储器存取（Direct Memory Access, DMA）引擎为例，当其要读取存储器中4个字节（Byte）的数据时，若数据的地址是在存储器的buffer[0]，则芯片组除了会将buffer[0]的数据回应给DMA引擎外，还可预先提取64个字节的数据（除了会取到buffer[0]，还可能会取到buffer[1]中的数据），并将该数据储存于预先提取缓冲器中。据此，不仅可提供DMA引擎所需的数据，存放在预先提取缓冲器中的数据也可在DMA引擎提出下一个存储器存取请求时，直接提供给DMA引擎。

然而，若在DMA引擎提出下一个存储器存取请求之前，系统更新了存储器中的数据，则原先由芯片组预先提取并存放在预先提取缓冲器中的数据就会失效。若此时芯片组仍然使用预先提取缓冲器中的失效数据来回应DMA引擎，势必会造成DMA

引擎读取到错误的数数据。

对于上述预先提取数据可能存在错误的情形，已知技术提供了许多对应的解决方案。举例来说，当系统芯片组接收到处理器对于存储器的写出周期(CPU to memory write cycle)时，抑或是侦测到有中断 (Interrupt) 发生时，即可推断存储器的数据已被更新，此时可通过将预先提取缓冲器中的数据宣告无效，从而避免读取到错误的数数据。

然而，即便已知技术能够因应上述系统状态的改变，适时地将预先提取数据宣告无效以避免读取错误，但仍有许多情况是芯片组无法侦测或判断的，例如处理器本身自我更新内部的快取存储器 (Cache) 时，芯片组即无法得知，结果仍有可能造成数据读取错误。

## 发明内容

本发明提供一种数据预先提取方法，针对更新周期可预测的数据，设定预先提取数据的有效时间，可确保预先提取数据的有效性。

本发明提供一种数据预先提取装置，利用计时器累计预先提取数据的存续时间，并在其存续超过有效时间时，立即宣告其失效，从而避免可能的读取错误。

本发明提出一种数据预先提取方法，适用于芯片组。该数据预先提取方法包括在接收到总线装置对于第一数据的读取指令时，预先提取接续在第一数据之后的第二数据并将该第二数据储存于缓冲器。同时也累计该第二数据存放在缓冲器内的存续时间，并判断累计的上述存续时间是否达到或超过一有效时间。而当存续时间达到或超过有效时间时，即宣告预先提取的第二数据无效。

本发明提出一种数据预先提取装置，其包括缓冲器、计时器及控制器。其中，缓冲器用以储存由数据预先提取装置所提取的数据。计时器用以累计数据存放在缓冲器内的存续时间。控制器耦接至缓冲器及计时器，用以在接收到总线装置对于第一数据的读取指令时，预先提取接续在第一数据之后的第二数据以将该第二数据储存于缓冲器，并利用计时器累计第二数据存放在缓冲器内的存续时间，而当计时器所累计的存续时间达到或超过有效时间时，即将缓冲器所储存的第二数据宣告无效。

本发明还提出一种计算机系统，其包括存储器、芯片组及总线装置。其中存储器储存第一数据以及接续在第一数据之后的第二数据。芯片组耦接至存储器。总线装置耦接至芯片组。其中芯片组包括缓冲器、计时器及控制器。其中缓冲器储存从存储器所提取的数据。计时器累计数据存放在缓冲器内的存续时间。控制器耦接至缓冲器及计时器，当控制器接收到总线装置对于第一数据的读取指令时，预先提取第二数据以将该第二数据储存于缓冲器，并利用计时器累计第二数据存放在缓冲器内的存续时间，而当计时器累计的存续时间达到或超过有效时间时，宣告缓冲器所储存的第二数据无效。

本发明的数据预先提取方法及装置根据数据的更新周期设定芯片组预先提取数据存续的安全期间，并在预先提取数据有可能因为存储器更新而发生错误之前令其失效，从而避免总线装置读取到错误数据。

## 附图说明

图1是依照本发明一实施例所绘示的数据预先提取装置方块图。

图2则是依照本发明一实施例所绘示的计算机系统的方块

图。

图3是依照本发明一实施例所绘示的数据预先提取方法的流程图。

图4是依照本发明一实施例所绘示的数据预先提取方法的流程图。

### 具体实施方式

为了让本发明的上述特征和优点能更明显易懂，下文特举实施例，并配合所附图式作详细说明如下。

本发明针对更新周期可以预测的数据设定一个可确保其有效的期间，并在芯片组中设置一个计时器以累计预先提取数据的存续时间，而当预先提取数据的存续时间超过有效时间而有可能被更新时，即刻令该预先提取数据失效，从而避免总线装置读取到错误的数据库。

图1是依照本发明一实施例所绘示的数据预先提取装置方块图，图2则是依照本发明一实施例所绘示的计算机系统的方块图。请同时参照图1及图2，本实施例的数据预先提取装置100例如是配置在计算机系统200的芯片组220中，而与计算机系统200的处理器210中的快取存储器212以及系统存储器230相连接，并通过总线与总线装置240相连接。

其中，所述的芯片组例如是北桥芯片、南桥芯片或是结合南北桥的芯片组；所述的总线例如是外围设备互连（Peripheral Component Interconnect, PCI）总线；所述的总线装置例如是直接存储器存取（Direct Memory Access, DMA）引擎，本实施例不限定其范围。

数据预先提取装置100在总线装置240提出存储器存取请求时，由处理器210的快取存储器212中，或是由系统存储器230



中预先提取数据,以供总线装置240读取。数据预先提取装置100包括暂存器110、缓冲器120、计时器130及控制器140,其功能分述如下:

暂存器110储存用以判断数据是否无效的有效时间。具体而言,针对更新周期固定的数据(例如视频数据或音频数据),可归纳出一个数据的有效时间。意即,每次总线装置读取此类数据之后的这一段有效时间内可保证计算机系统200不会再对数据进行更新,因此可确保数据预先提取装置100所预先提取的数据是有效的。该有效时间,举例而言,可以由系统厂商在整合计算机系统200时,依据计算机系统200中的音频/视频设备(audio/video device)(未绘示)的视频/音频驱动程序(video/audio driver)(未绘示)可得到该音频/视频设备所要求的对视频/音频数据的一更新周期,该更新周期一般相对固定,因此在本发明一实施例中,可直接以该更新周期作为判断数据是否无效的有效时间,并储存在暂存器110中。在本发明一实施例中,当计算机系统200运作时,计算机系统200的基本输入输出系统(Basic input output system, BIOS)(未绘示)或操作系统(Operation system)等软件根据暂存器110中所储存的有效时间来编程计时器130。

缓冲器120用以储存由数据预先提取装置100预先提取的数据。该数据例如是根据总线装置240所发送的存储器存取请求,而由系统存储器230或处理器210的快取存储器212中取得的数据。

计时器130用以累计上述预先提取数据存放在缓冲器120内的存续时间。该计时器130例如是在数据存入缓冲器120的同时即开始累计,而累计的存续时间即可用以作为预先提取数据是否有效的判断依据。

控制器140分别耦接至暂存器110、缓冲器120及计时器130，并与总线装置240连接，而可接收总线装置240所发出的读取指令，并预先提取系统存储器230或处理器210的快取存储器212中的数据，以供总线装置240读取。

详细地说，图3是依照本发明一实施例所绘示的数据预先提取方法的流程图。请同时参照图1、图2及图3，本实施例的数据预先提取方法适用于上述的数据预先提取装置100，其步骤如下：

首先，由控制器140接收总线装置240对于第一数据的读取指令（步骤S302）。其中，控制器140例如会根据读取指令中记录的数据地址，到处理器210的快取存储器212或是系统存储器230中找寻总线装置240所请求的第一数据，以回应给总线装置240。

此外，为了增加总线装置240读取数据的速度，控制器140还包括预先提取接续在上述第一数据之后的一笔第二数据以储存于缓冲器120中，并同时启动计时器130开始累计该第二数据存放在缓冲器120内的存续时间（步骤S304）。详细地说，上述的第一数据例如是储存在存储器的第一区域，而控制器140预先提取的第二数据则是在存储器中接续在该第一区域之后的第二区域中储存的数据。

值得注意的是，上述控制器140在提取数据时，例如会同时检视系统存储器230及处理器210的快取存储器212中是否有所需的数据，若系统存储器230及处理器210的快取存储器212两者之中都有所需的数据，则选择提取其中最新的数据，并储存于缓冲器120，以确保所提取数据的有效性。

而在计时器130累计第二数据的存续时间的同时，控制器140会将该存续时间与暂存器110中记录的有效时间相比较，据

以判断该存续时间是否达到或超过有效时间（步骤S306）。

其中，控制器140例如会依据总线装置对于数据的存取周期，判断第二数据的更新时间，该更新时间用以作为判断预先提取的第二数据是否无效的有效时间。而当计时器130累计的存续时间达到或超过该有效时间时，即代表原先储存在系统存储器230或处理器210的快取存储器212中的第二数据可能会被更新，因此由控制器140预先提取的第二数据就有可能是错误的。此时控制器140必需将储存在缓冲器120中的第二数据宣告无效（步骤S308），以避免可能的读取错误。

在本发明另一实施例中，计时器130可采用定时的方式，计时器130依据暂存器110中记录的有效时间而被编程。即是说在步骤S306中，当计时器130累计该存续时间达到该有效时间时，计时器130会计数溢出，则发出一中断控制信号至控制器140。当控制器140接收到该中断控制信号时，即代表原先储存在系统存储器230或处理器210的快取存储器212中的第二数据可能会被更新。因此在步骤S308，控制器140将储存在缓冲器120中的第二数据宣告无效。

通过上述方法，数据预先提取装置100即可在预先提取数据的情况下，确保所提取数据的有效性。而在总线装置240向芯片组220提出下一个存储器存取请求时，数据预先提取装置100则可直接以储存在缓冲器120中的预先提取数据作回应，借以增加总线装置240读取数据的速度，以下则再举一实施例详细说明。

图4是依照本发明一实施例所绘示的数据预先提取方法的流程图。请同时参照图1、图2及图4，本实施例的数据预先提取方法同样适用于上述的数据预先提取装置100，其步骤如下：

首先，由控制器140接收总线装置240对于第一数据的读取指令（步骤S402）。其中，控制器140例如会根据读取指令中记

录的数据地址，到处理器210的快取存储器212或是系统存储器230中找寻总线装置240所请求的第一数据，以储存于缓冲器120（步骤S404），除了提取第一数据之外，控制器140还包括预先提取接续在第一数据之后的一笔第二数据，以储存于缓冲器120中（步骤S406），然后以缓冲器120内的第一数据回应给总线装置240（步骤S408）。

其中，如同先前实施例所述，控制器140在将第二数据存入缓冲器120后，即会启动计时器130开始累计该第二数据存放在缓冲器120内的存续时间，据以判断该第二数据是否仍然有效，并适时将第二数据宣告无效，以避免总线装置读取到错误的数

据。值得注意的是，在本实施例中，控制器140在预先提取并储存第二数据之后，可再接收总线装置240对于第二数据的读取指令（步骤S410），而选择以先前储存在缓冲器120内的第二数据来回应。

然而，储存在缓冲器120内的第二数据有可能会因为其存续时间超过有效时间而被控制器140宣告失效，因此控制器140在回应总线装置240的请求之前，必需先判断储存于缓冲器120内的第二数据是否有效（步骤S412）。

其中，若判断第二数据仍然有效，即可以缓冲器内的第二数据直接回应给总线装置（步骤S414）。然而，若判断第二数据无效，则需重新到处理器210的快取存储器212或是系统存储器230中找寻总线装置240所请求的第二数据，并用以更新缓冲器120内储存的第二数据（步骤S416），而能够以更新后的第二数据回应给总线装置240（步骤S418）。

通过上述方法，数据预先提取装置100可在提取存储器数据的同时，预先提取接续的数据，以便回应总线装置240后续的存

存储器存取请求，而在以预先提取的数据回应后续的存储器存取请求时，本发明会先判断预先提取的数据是否有效，从而提高了总线装置240读取数据的准确性。而当预先提取的数据过了有效时间时，仍可通过再次提取数据来作回应，而可保有提取数据的弹性。

综上所述，本发明的数据预先提取方法及装置根据总线装置对于数据的存取周期来判断数据可能被更新的期间，并通过程序化计时器，以在预先提取数据的存续时间达到或超过其有效时间时，将预先提取数据缓冲器中的数据宣告失效，因此可在预先提取数据以增加读取速度的同时，确保预先提取数据的有效性，而避免总线装置读取到错误数据。

以上所述仅为本发明较佳实施例，然其并非用以限定本发明的范围，任何熟悉本项技术的人员，在不脱离本发明的精神和范围内，可在此基础上做进一步的改进和变化，因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

附图中符号的简单说明如下：

100: 数据预先提取装置

110: 暂存器

120: 缓冲器

130: 计时器

140: 控制器

200: 计算机系统

210: 处理器

212: 快取存储器

220: 芯片组

230: 系统存储器

240: 总线装置

S302~S308: 本发明的数据预先提取方法的各步骤

S402~S418: 本发明的数据预先提取方法的各步骤。

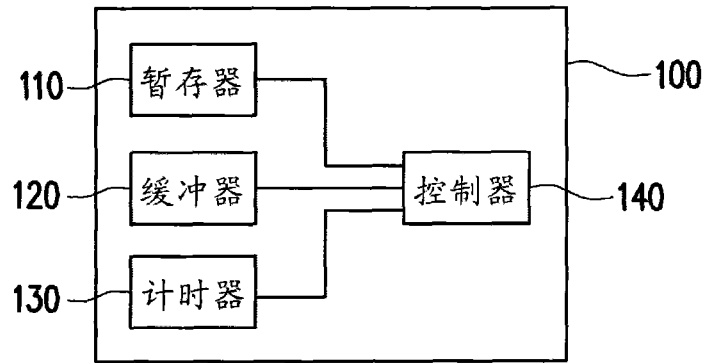


图 1

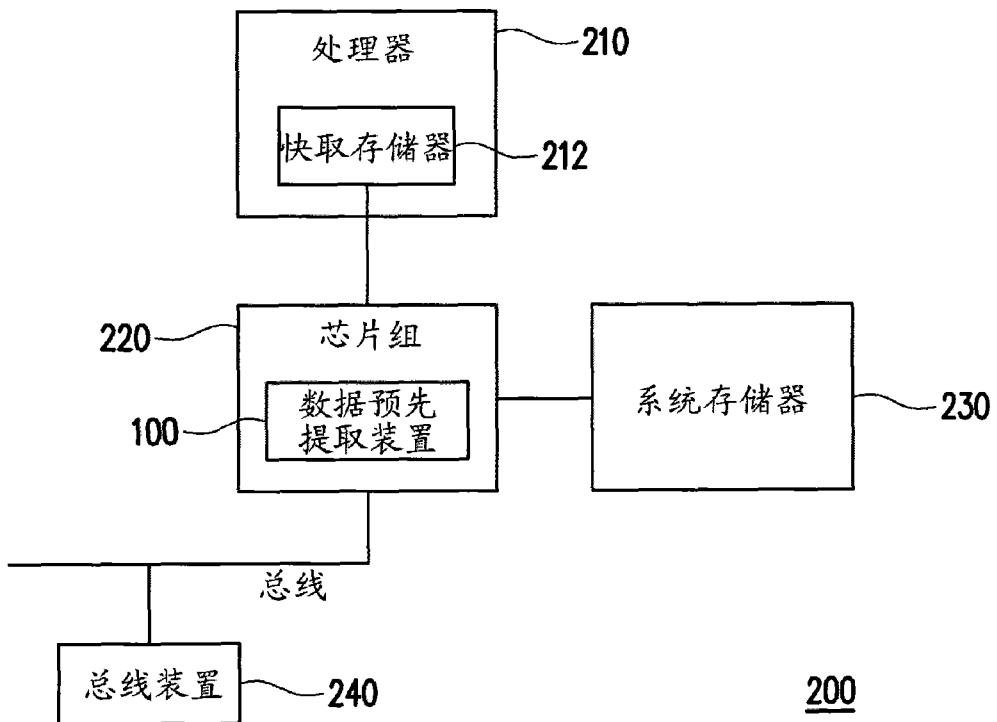


图 2

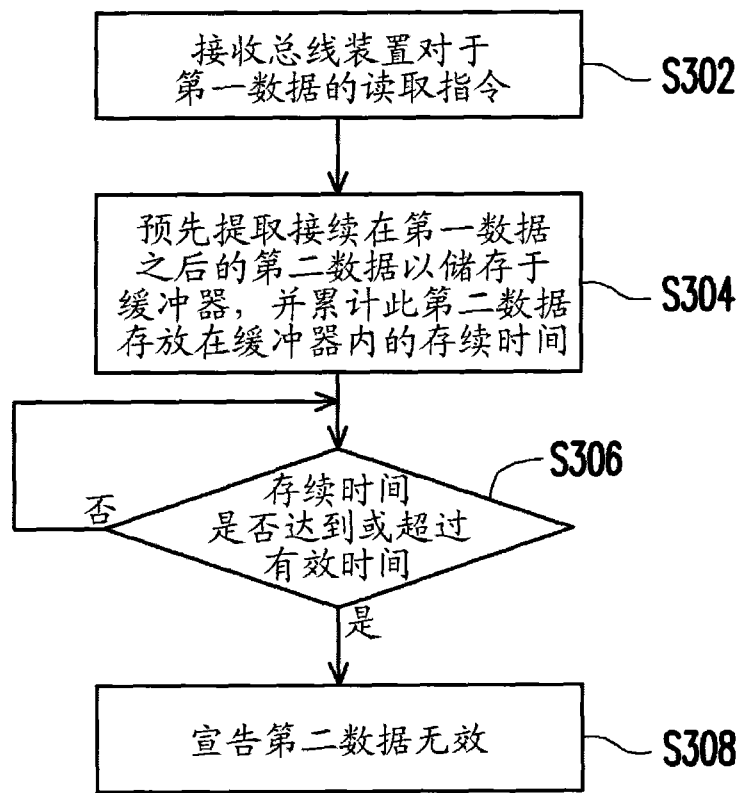


图 3



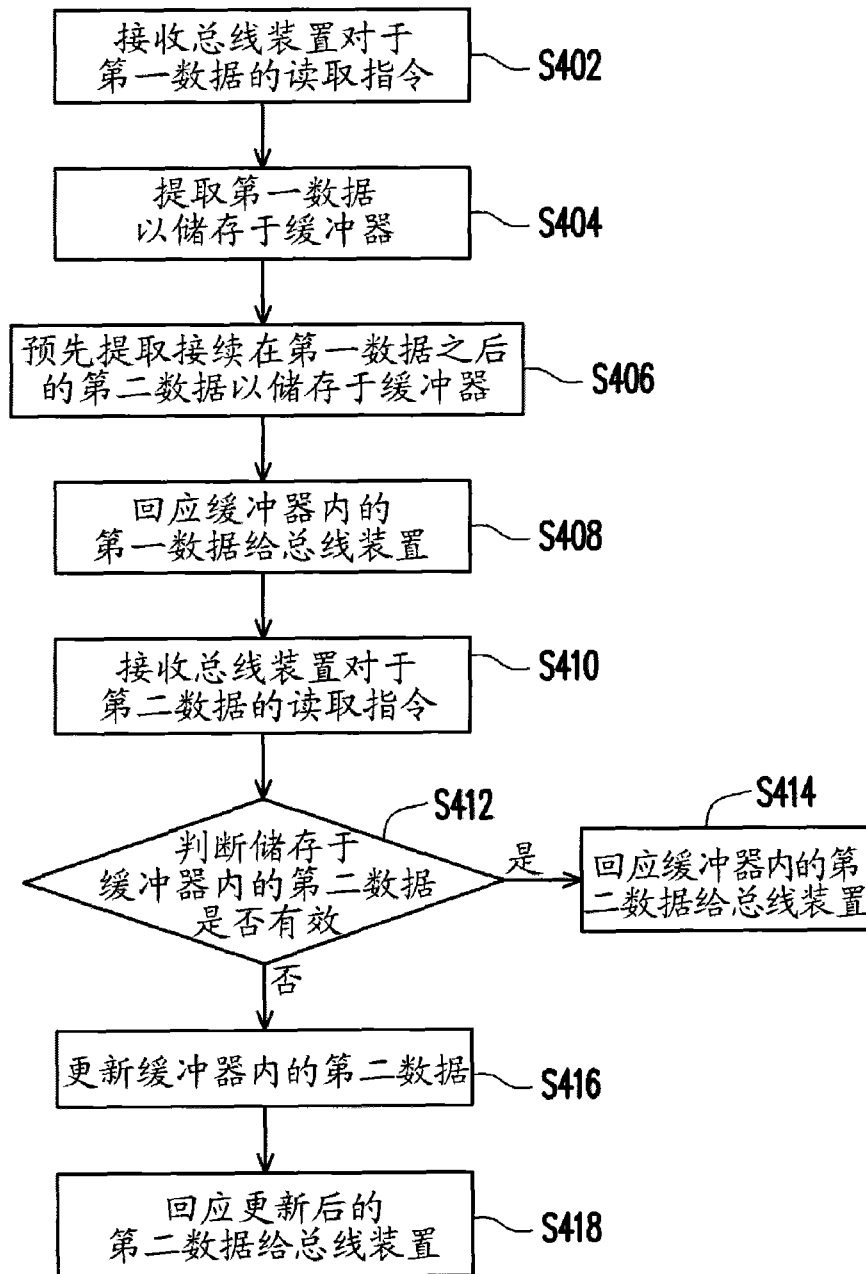


图 4