



(12)发明专利

(10)授权公告号 CN 104992723 B

(45)授权公告日 2017.12.01

(21)申请号 201510320613.8

(22)申请日 2015.06.11

(65)同一申请的已公布的文献号

申请公布号 CN 104992723 A

(43)申请公布日 2015.10.21

(73)专利权人 北京时代民芯科技有限公司

地址 100076 北京市丰台区东高地四营门北路2号

专利权人 北京微电子技术研究所

(72)发明人 李鹏 李阳 陆时进 李建成

(74)专利代理机构 中国航天科技专利中心

11009

代理人 庞静

(51)Int.Cl.

G11C 11/413(2006.01)

(56)对比文件

CN 2376655 Y,2000.05.03,

CN 1516195 A,2004.07.28,

US 6282137 B1,2001.08.28,

审查员 邢丽超

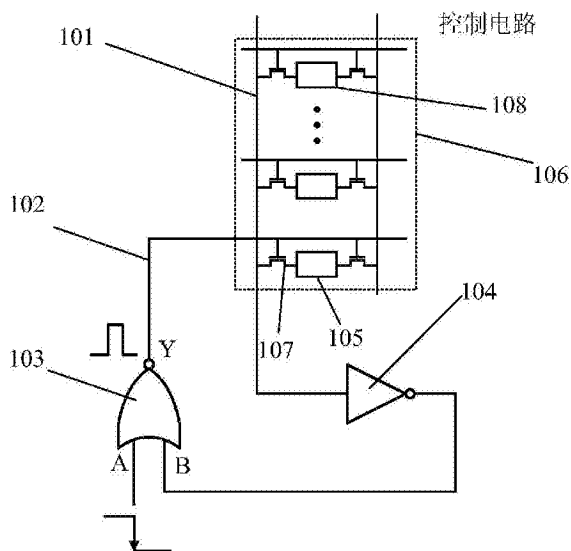
权利要求书3页 说明书9页 附图7页

(54)发明名称

一种高可靠SRAM编译器控制电路

(57)摘要

本发明提供一种高可靠SRAM编译器控制电路,包括存储阵列、控制电路、灵敏放大器,该SRAM编译器控制电路结构相对固定,其组成在不同容量、位宽等条件下可以重用,在这些可复用单元的基础上,通过一定的拼接得到不同配置的SRAM电路,这就是SRAM的编译,在拼接基本单元时,SRAM的可靠性会随着SRAM容量的增大而下降,主要是因为随着容量的变大,SRAM在读操作时,经过相同的放电时间,被读取单元的两条位线之间的电压差不断缩小,本发明能够消除不同配置对于SRAM读出时位线之间电压差的影响,实现高可靠性。



1. 一种高可靠SRAM编译器控制电路,其特征在于:包括存储阵列(61)、控制电路(62)、灵敏放大器(63),控制电路(62)包括一个或非门和反向器;

存储阵列(61)包括多个存储单元,每个存储单元包括字线WordLine——缩写WL(11)、位线BitLine——缩写BL(12)、位线BLB(13)、第一晶体管、第二晶体管、内部存储模块(14);内部存储模块(14)存储逻辑0和逻辑1;第一晶体管、第二晶体管包括源极、栅极、漏极;字线WL(11)连接第一晶体管和第二晶体管的栅极,第一晶体管的源极连接位线BL(12),第一晶体管的漏极连接内部存储模块(14),第二晶体管的源极连接位线BLB(13),第二晶体管的漏极连接内部存储模块(14);多个存储单元排成多行多列的阵列,每行的存储单元通过字线WL(11)相连,每列存储单元的位线BL(12)连接在一起,每列存储单元的位线BLB(13)连接在一起;

根据控制电路(62)中的或非门的输出端Y产生的脉冲宽度为 $2\text{ns}\sim 5\text{ns}$ 的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲和灵敏放大器(63)的脉冲,再根据外部输入的地址和读信号,将控制存储阵列(61)的脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的读操作,即根据内部存储模块(14)存储的逻辑,使位线BL(12)或位线BLB(13)进行放电,产生位线BL(12)和位线BLB(13)的电压,位线BL(12)和位线BLB(13)分别连接灵敏放大器的两路输入;在灵敏放大器(63)的脉冲控制下,位线BL(12)和位线BLB(13)的电压输送到灵敏放大器的两路输入上,当位线BL(12)的电压小于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑1,当位线BL(12)的电压大于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑0;

根据控制电路(62)中的或非门的输出端Y产生的脉冲宽度为 $2\text{ns}\sim 5\text{ns}$ 的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲,再根据外部输入的地址和写信号,将这个脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的写操作,此时位线BL(12)和位线BLB(13)的一条设置为逻辑1,另一条强制设置为逻辑0,第一晶体管将位线BL(12)的电压传送至内部存储模块(14),第二晶体管将位线BLB(13)的电压传送至内部存储模块(14),位线BL(12)的电压小于位线BLB(13)的电压,内部存储模块(14)置为逻辑1,位线BL(12)的电压大于位线BLB(13)的电压,内部存储模块(14)置为逻辑0;

或非门的两个输入端的第一输入端A连接外部输入,将或非门的两个输入端的第二输入端B连接反向器的输出,反向器的输入连接位线BL(12),或非门的输出端Y连接存储阵列(61)的字线WL(11);

将或非门的两个输入端的第一输入端A的初值置为逻辑1,将或非门的两个输入端的第二输入端B的初值置为逻辑0,或非门的输出端Y的初始值为逻辑0;

给或非门的第一输入端A输入下降沿,或非门的第一输入端A由1变为逻辑0,此时或非门的输出端Y由0变为逻辑1,此时连接或非门的输出端Y的存储阵列(61)的字线WL(11)为逻辑1,即字线WL打开,使第一晶体管导通;

内部存储模块(14)通过第一晶体管对位线BL(12)放电,即位线BL(12)电压置为逻辑0,输入到反向器的输入端;

反向器将输入的逻辑0反向,输出逻辑1,送至或非门的第二输入端B;

或非门将第二输入端B输入的的逻辑1和或非门的第一输入端A变后得到的逻辑0进行或非运算,或非门的输出端Y由1变为0,形成脉冲;

根据需要的存储容量,调整存储阵列(61)中每列的存储单元的数量,每列的存储阵列的位线BL(12)的长度,即每列的存储单元的位线BL(12)的长度之和,位线BL(12)上连接的存储单元的数量增多,或非门的输出端Y的脉冲宽度变宽,同时,调整存储阵列(61)中的列数,将存储阵列(61)中的排成多列的存储单元的位线BL(12)连接在一起,存储阵列(61)中的列数增多,或非门的输出端Y的脉冲宽度变窄,最终将或非门的输出端Y的脉冲宽度调整与 $2ns\sim 5ns$ 。

2. 一种高可靠SRAM编译器控制方法,其特征在于包括步骤如下:

(1) 将或非门的两个输入端的第一输入端A的初值置为逻辑1,将非门的两个输入端的第二输入端B的初值置为逻辑0,或非门的输出端Y的初始值为逻辑0,进行步骤(2);

(2) 给或非门的第一输入端A输入下降沿,或非门的第一输入端A由1变为逻辑0,此时或非门的输出端Y由0变为逻辑1,此时连接或非门的输出端Y的存储阵列(61)的字线WL(11)为逻辑1,即字线WL打开,进行步骤(3);

(3) 内部存储模块(14)通过第一晶体管对位线BL(12)放电,即位线BL(12)电压置为逻辑0,输入到反向器的输入端,进行步骤(4);

(4) 反向器将步骤(3)输入的逻辑0反向,输出逻辑1,送至或非门的第二输入端B;

(5) 或非门将步骤(4)第二输入端B输入的的逻辑1和步骤(2)或非门的第一输入端A变后得到的逻辑0进行异或运算,或非门的输出端Y由1变为0,形成脉冲;

(6) 根据需要的存储容量,调整存储阵列(61)中每列的存储单元的数量,每列的存储阵列的位线BL(12)的长度,即每列的存储单元的位线BL(12)的长度之和,位线BL(12)上连接的存储单元的数量增多,或非门的输出端Y的脉冲宽度变宽,同时,调整存储阵列(61)中的列数,将存储阵列(61)中的排成多列的存储单元的位线BL(12)连接在一起,存储阵列(61)中的列数增多,或非门的输出端Y的脉冲宽度变窄,最终使调整的或非门的输出端Y的脉冲宽度为 $2ns\sim 5ns$;

(7) 根据步骤(6)调整后的或非门的输出端Y产生的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲和灵敏放大器(63)的脉冲,再根据外部输入的地址和读信号,将控制存储阵列(61)的脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的读操作,即根据内部存储模块(14)存储的逻辑,使位线BL(12)或位线BLB(13)进行放电,产生位线BL(12)和位线BLB(13)的电压,位线BL(12)和位线BLB(13)分别连接灵敏放大器的两路输入;在灵敏放大器(63)的脉冲控制下,位线BL(12)和位线BLB(13)的电压输送到灵敏放大器的两路输入上,当位线BL(12)的电压小于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑1,当位线BL(12)的电压大于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑0;

(8) 根据步骤(6)调整后的或非门的输出端Y产生的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲,再根据外部输入的地址和写信号,将这个脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的写操作,此时位线BL(12)和位线BLB(13)的一条设置为逻辑1,另一条强制设置为逻辑0,

第一晶体管将位线BL (12) 的电压传送至内部存储模块 (14), 第二晶体管将位线BLB (13) 的电压传送至内部存储模块 (14), 位线BL (12) 的电压小于位线BLB (13) 的电压, 内部存储模块 (14) 置为逻辑1, 位线BL (12) 的电压大于位线BLB (13) 的电压, 内部存储模块 (14) 置为逻辑0。

一种高可靠SRAM编译器控制电路

技术领域

[0001] 本发明涉及一种电路,尤其是一种高可靠SRAM编译器控制电路,SRAM全称为Static Random Access Memory(静态随机存储器),属于控制电路领域。

背景技术

[0002] 全定制的SRAM设计周期长,而且需要耗费大量的人力、物力。SRAM的电路结构相对固定,是由某些固定的组成部分组成的,是一种规整电路。而这些部分在不同容量、位宽等条件的SRAM中是可以重用的,可以用这些部分组成基本单元库。我们完全可以在这些可复用单元的基础上,以软件的方式,通过一定的拼接方式得到不同配置的SRAM电路,这就是SRAM的编译技术。这里的配置即SRAM的地址位宽度,数据位宽度等信息。但是在拼接基本单元时,SRAM的可靠性会随着SRAM的容量的增大而下降。这主要是因为随着容量的变大,SRAM在读操作时,经过相同的放电时间,被读取的单元的两条位线BL(12)和BLB(13)之间的电压差不断缩小。

[0003] 如图3所示,未加入所述控制电路的情况下,SRAM读操作灵敏放大器对位线BL(12)、BLB(13)的电压差进行采样时,被读取SRAM单元位线BL(12)的电压(39)和BLB(13)的电压(35)的电压差(32)与SRAM配置之间的关系。图中,横坐标为SRAM的容量。SRAM的容量是SRAM的地址空间和数据位宽的积。假设地址位宽为 n ,则 2^n 被称为地址空间。图中 2^x 与 2^{x+1} 之间的曲线表示地址空间为 2^x ,电压与数据位宽的关系(x 可以等于图中的 $k, k+1, k+2, \dots$), k, m 都是整数。

[0004] 图3中31表示灵敏放大器可识别的最小电压,低于此值,灵敏放大器将不能正确的读出。32表示灵敏放大器对位线BL(12)、BLB(13)的电压差进行采样时,位线BL(12)、BLB(13)间的电压差。33表示灵敏放大器对位线BL(12)、BLB(13)的电压差进行采样时,位线BL(12)、BLB(13)间的电压差最大值。34表示灵敏放大器对位线BL(12)、BLB(13)的电压差进行采样时,位线BL(12)、BLB(13)间的电压差最小值。35表示36表示在可配置范围内,灵敏放大器对位线BL(12)、BLB(13)的电压差进行采样时位线BL(12)电压的最大值。37、38分别表示可配置范围的最小、最大值。

[0005] 从图3中我们可以看出,随着地址和位宽的增加,SRAM读操作时BL(12)的电压(39)和BLB(13)的电压(35)之间的电压差(32)不断缩小。其中随着地址位宽的变化,这种趋势更加明显。

[0006] 如图2所示,这是因为当SRAM的地址位和数据位增大时,其阵列高度增大,导致阵列位线BL(21),BLB(22)上的电容增大,而且关键信号路径也会变长,导致关键信号延时变大。这些因素都会导致位线BL(12)放电速度变慢,进而导致经过相同的放电时间,配置较高的SRAM读操作时位线电压差(32)下降。如图4所示,图中41,42,43三条曲线分别表示三种不同容量的SRAM,在读操作过程中位线BL(12)和BLB(13)之间的电压差与BL(12)放电时间的关系。图中曲线43所代表的SRAM的容量最大,曲线42所代表的SRAM次之,曲线41所代表的SRAM的容量最小。从图中可以看出,读操作时,容量越大的SRAM单元位线BL(12)放电较慢

(表现为曲线更加平缓),而且在经过时间 t_q 时,BL(12)与BLB(13)之间的电压差也越小。如果不中止放电过程,经过一段时间,所有的SRAM位线都放电到地电平。图中 t_1 、 t_2 、 t_3 分别表示三种不同配置的SRAM电路放电终止的时间。容量小的SRAM由于位线BL(12)放电较快,会在更短的时间内放至地电平。

[0007] 当配置比较高时,SRAM读操作时位线BL(12)和BLB(13)之间的电压差(32)的下降,会导致抗干扰能力的下降。例如电源电压抖动,环境的变化等,都可能使BL和BLB之间无法建立充分的电压差,从而使SRAM读出错误的的数据。另外,这种现象也会导致SRAM可配置范围的减小。

发明内容

[0008] 本发明解决的技术问题是:克服现有技术的不足,提供一种高可靠SRAM编译器控制电路,该电路为带反馈的脉冲产生电路,可以消除不同的配置对于SRAM读出时位线BL(12)和BLB(13)之间电压差的影响,实现高可靠性。

[0009] 本发明的技术解决方案是:一种高可靠SRAM编译器控制电路,包括存储阵列(61)、控制电路(62)、灵敏放大器(63)。控制电路(62)包含由或非门、反向器和存储单元组成的脉冲产生电路;

[0010] 存储阵列(61)包括多个存储单元,每个存储单元包括字线WL(11)、位线BL(12)、位线BLB(13)、第一晶体管、第二晶体管、内部存储模块(14);内部存储模块(14)存储逻辑0和逻辑1;第一晶体管、第二晶体管包括源极、栅极、漏极;字线WL(11)连接第一晶体管和第二晶体管的栅极,第一晶体管的源极连接位线BL(12),第一晶体管的漏极连接内部存储模块(14),第二晶体管的源极连接位线BLB(13),第二晶体管的漏极连接内部存储模块(14);多个存储单元排成多行多列的阵列,每行的存储单元通过字线WL(11)相连,每列存储单元的位线BL(12)连接在一起,每列存储单元的位线BLB(13)连接在一起;

[0011] 根据控制电路(62)中的或非门的输出端Y产生的脉冲宽度为 $2\text{ns}\sim 5\text{ns}$ 的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲和灵敏放大器(63)的脉冲,再根据外部输入的地址和读信号,将控制存储阵列(61)的脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的读操作,即根据内部存储模块(14)存储的逻辑,使位线BL(12)或位线BLB(13)进行放电,产生位线BL(12)和位线BLB(13)的电压,位线BL(12)和位线BLB(13)分别连接灵敏放大器的两路输入;在灵敏放大器(63)的脉冲控制下,位线BL(12)和位线BLB(13)的电压输送到灵敏放大器的两路输入上,当位线BL(12)的电压小于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑1,当位线BL(12)的电压大于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑0;

[0012] 根据控制电路(62)中的或非门的输出端Y产生的脉冲宽度为 $2\text{ns}\sim 5\text{ns}$ 的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲,再根据外部输入的地址和写信号,将这个脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的写操作,此时位线BL(12)和位线BLB(13)的一条设置为逻辑1,另一条强制设置为逻辑0,第一晶体管将位线BL(12)的电压传送至内部存储模块(14),第二晶体管将位线BLB(13)的电压传送至内部存储模块(14),位线BL(12)的电压小于位线BLB

(13) 的电压,内部存储模块(14)置为逻辑1,位线BL(12)的电压大于位线BLB(13)的电压,内部存储模块(14)置为逻辑0;

[0013] 或非门的两个输入端的第一输入端A连接外部输入,将或非门的两个输入端的第二输入端B连接反向器的输出,反向器的输入连接位线BL(12),或非门的输出端Y连接存储阵列(61)的字线WL(11);

[0014] 将或非门的两个输入端的第一输入端A的初值置为逻辑1,将非门的两个输入端的第二输入端B的初值置为逻辑0,或非门的输出端Y的初始值为逻辑0;

[0015] 给或非门的第一输入端A输入下降沿,或非门的第一输入端A由1变为逻辑0,此时或非门的输出端Y由0变为逻辑1,此时连接或非门的输出端Y的存储阵列(61)的字线WL(11)为逻辑1,即字线WL打开,使第一晶体管导通;

[0016] 内部存储模块(14)通过第一晶体管对位线BL(12)放电,即位线BL(12)电压置为逻辑0,输入到反向器的输入端;

[0017] 反向器将输入的逻辑0反向,输出逻辑1,送至或非门的第二输入端B;

[0018] 或非门将第二输入端B输入的逻辑1和或非门的第一输入端A变后得到的逻辑0进行或非运算,或非门的输出端Y由1变为0,形成脉冲;

[0019] 根据需要的存储容量,调整存储阵列(61)中每列的存储单元的数量,每列的存储阵列的位线BL(12)的长度,即每列的存储单元的位线BL(12)的长度之和,位线BL(12)上连接的存储单元的数量增多,或非门的输出端Y的脉冲宽度变宽,同时,调整存储阵列(61)中的列数,将存储阵列(61)中的排成多列的存储单元的位线BL(12)连接在一起,存储阵列(61)中的列数增多,或非门的输出端Y的脉冲宽度变窄,最终将或非门的输出端Y的脉冲宽度调整与 $2\text{ns} \sim 5\text{ns}$ 。

[0020] 一种高可靠SRAM编译器控制方法,包括步骤如下:

[0021] (1) 将或非门的两个输入端的第一输入端A的初值置为逻辑1,将非门的两个输入端的第二输入端B的初值置为逻辑0,或非门的输出端Y的初始值为逻辑0,进行步骤(2);

[0022] (2) 给或非门的第一输入端A输入下降沿,或非门的第一输入端A由1变为逻辑0,此时或非门的输出端Y由0变为逻辑1,此时连接或非门的输出端Y的存储阵列(61)的字线WL(11)为逻辑1,即字线WL打开,进行步骤(3);

[0023] (3) 内部存储模块(14)通过第一晶体管对位线BL(12)放电,即位线BL(12)电压置为逻辑0,输入到反向器的输入端,进行步骤(4);

[0024] (4) 反向器将步骤(3)输入的逻辑0反向,输出逻辑1,送至或非门的第二输入端B;

[0025] (5) 或非门将步骤(4)第二输入端B输入的逻辑1和步骤(2)或非门的第一输入端A变后得到的逻辑0进行异或运算,或非门的输出端Y由1变为0,形成脉冲;

[0026] (6) 根据需要的存储容量,调整存储阵列(61)中每列的存储单元的数量,每列的存储阵列的位线BL(12)的长度,即每列的存储单元的位线BL(12)的长度之和,位线BL(12)上连接的存储单元的数量增多,或非门的输出端Y的脉冲宽度变宽,同时,调整存储阵列(61)中的列数,将存储阵列(61)中的排成多列的存储单元的位线BL(12)连接在一起,存储阵列(61)中的列数增多,或非门的输出端Y的脉冲宽度变窄,最终使调整的或非门的输出端Y的脉冲宽度为 $2\text{ns} \sim 5\text{ns}$;

[0027] (7) 根据步骤(6)调整后的或非门的输出端Y产生的脉冲,此脉冲作为原始脉冲,经

过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲和灵敏放大器(63)的脉冲,再根据外部输入的地址和读信号,将控制存储阵列(61)的脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的读操作,即根据内部存储模块(14)存储的逻辑,使位线BL(12)或位线BLB(13)进行放电,产生位线BL(12)和位线BLB(13)的电压,位线BL(12)和位线BLB(13)分别连接灵敏放大器的两路输入;在灵敏放大器(63)的脉冲控制下,位线BL(12)和位线BLB(13)的电压输送到灵敏放大器的两路输入上,当位线BL(12)的电压小于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑1,当位线BL(12)的电压大于位线BLB(13)的电压,灵敏放大器将位线BL(12)和位线BLB(13)的电压的电压差转换为逻辑0;

[0028] (8)根据步骤(6)调整后的或非门的输出端Y产生的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列(61)的脉冲,再根据外部输入的地址和写信号,将这个脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的写操作,此时位线BL(12)和位线BLB(13)的一条设置为逻辑1,另一条强制设置为逻辑0,第一晶体管将位线BL(12)的电压传送至内部存储模块(14),第二晶体管将位线BLB(13)的电压传送至内部存储模块(14),位线BL(12)的电压小于位线BLB(13)的电压,内部存储模块(14)置为逻辑1,位线BL(12)的电压大于位线BLB(13)的电压,内部存储模块(14)置为逻辑0。

[0029] 本发明与现有技术相比的优点在于:

[0030] (1)本发明可以产生与电路容量相匹配的脉冲宽度,控制电路个模块的正确工作。

[0031] (2)本发明在读操作时,始终控制位线电压差可以被灵敏放大器正确读出,而不受电路容量大小的影响。

[0032] (3)本发明通过产生合适的脉冲宽度,避免了固定脉冲宽度时可能的问题,如功能失效、功耗过大等。

附图说明

[0033] 图1为SRAM存储单元示意图;

[0034] 图2为SRAM存储阵列示意图;

[0035] 图3为未加入所述控制电路情况下,SRAM读操作时经过同一段放电时间,被读取SRAM单元位线BL(12)的电压(39)和BLB(13)的电压(35)的电压差(32)与SRAM配置之间的关系;

[0036] 图4为不同配置的SRAM在进行读操作时,位线BL(12)与BLB(13)之间的电压差与时间的关系曲线;

[0037] 图5为加入所述控制电路前、后SRAM读操作时经过同一段放电时间,被读取SRAM单元位线BL(12)的电压与SRAM配置之间的关系图;

[0038] 图6为所述采用dummy列的控制电路示意图;

[0039] 图7为采用调节dummy高度的方法调节WL(65)脉冲宽度的示意图;

[0040] 图8为采用所述控制电路的不同配置SRAM的读操作时序图;

[0041] 图9为采用调节dummy放电管数量的方法调节WL(65)脉冲宽度的示意图;

[0042] 图10为控制电路具体实现方法的示意图。

具体实施方式

[0043] 下面结合附图和具体实施例对本发明进行详细说明。

[0044] 一种高可靠SRAM编译器控制电路,如图6所示,包括存储阵列61、控制电路62、灵敏放大器63,控制电路62包括一个或非门和一个反向器;

[0045] 如图1所示,存储阵列61包括多个存储单元,每个存储单元包括字线WordLine——缩写WL11、位线BitLine——缩写BL12、位线BLB13、第一晶体管、第二晶体管、内部存储模块14;内部存储模块14存储逻辑0和逻辑1;第一晶体管、第二晶体管包括源极、栅极、漏极;字线WL11连接第一晶体管和第二晶体管的栅极,第一晶体管的源极连接位线BL12,第一晶体管的漏极连接内部存储模块14,第二晶体管的源极连接位线BLB13,第二晶体管的漏极连接内部存储模块14;多个存储单元排成多行多列的阵列,每行的存储单元通过字线WL11相连,每列存储单元的位线BL12连接在一起,每列存储单元的位线BLB13连接在一起;

[0046] 根据控制电路62中的或非门的输出端Y产生的脉冲宽度为2ns~5ns的脉冲,此脉冲作为原始脉冲,如图10所示,经过延时线与非门为主的时序控制电路,产生控制存储阵列61的脉冲和灵敏放大器63的脉冲,再根据外部输入的地址和读信号,将控制存储阵列61的脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的读操作,即根据内部存储模块14存储的逻辑,使位线BL12或位线BLB13进行放电,产生位线BL12和位线BLB13的电压,位线BL12和位线BLB13分别连接灵敏放大器的两路输入;在灵敏放大器63的脉冲控制下,位线BL12和位线BLB13的电压输送到灵敏放大器的两路输入上,当位线BL12的电压小于位线BLB13的电压,灵敏放大器将位线BL12和位线BLB13的电压的电压差转换为逻辑1,当位线BL12的电压大于位线BLB13的电压,灵敏放大器将位线BL12和位线BLB13的电压的电压差转换为逻辑0;

[0047] 根据控制电路62中的或非门的输出端Y产生的脉冲宽度为2ns~5ns的脉冲,此脉冲作为原始脉冲(具体见图10),经过延时线与非门为主的时序控制电路,产生控制存储阵列61的脉冲,再根据外部输入的地址和写信号,将这个脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的写操作,此时位线BL12和位线BLB13的一条设置为逻辑1,另一条强制设置为逻辑0,第一晶体管将位线BL12的电压传送至内部存储模块14,第二晶体管将位线BLB13的电压传送至内部存储模块14,位线BL12的电压小于位线BLB13的电压,内部存储模块14置为逻辑1,位线BL12的电压大于位线BLB13的电压,内部存储模块14置为逻辑0;

[0048] 或非门的两个输入端的第一输入端A连接外部输入,将或非门的两个输入端的第二输入端B连接反向器的输出,反向器的输入连接位线BL12,或非门的输出端Y连接存储阵列61的字线WL11;

[0049] 将或非门的两个输入端的第一输入端A的初值置为逻辑1,将非门的两个输入端的第二输入端B的初值置为逻辑0,或非门的输出端Y的初始值为逻辑0;

[0050] 给或非门的第一输入端A输入下降沿,或非门的第一输入端A由1变为逻辑0,此时或非门的输出端Y由0变为逻辑1,此时连接或非门的输出端Y的存储阵列61的字线WL11为逻辑1,即字线WL打开,使第一晶体管导通;

[0051] 内部存储模块14通过第一晶体管对位线BL12放电,即位线BL12电压置为逻辑0,输

入到反向器的输入端；

[0052] 反向器将输入的逻辑0反向,输出逻辑1,送至或非门的第二输入端B;

[0053] 或非门将第二输入端B输入的逻辑1和或非门的第一输入端A变后得到的逻辑0进行或非运算,或非门的输出端Y由1变为0,形成脉冲;

[0054] 根据需要的存储容量,调整存储阵列61中每列的存储单元的数量,每列的存储阵列的位线BL12的长度,即每列的存储单元的位线BL12的长度之和,位线BL12上连接的存储单元的数量增多,或非门的输出端Y的脉冲宽度变宽,同时,调整存储阵列61中的列数,将存储阵列61中的排成多列的存储单元的位线BL12连接在一起,存储阵列61中的列数增多,或非门的输出端Y的脉冲宽度变窄,最终将或非门的输出端Y的脉冲宽度调整与 $2ns \sim 5ns$ 。

[0055] 一种高可靠SRAM编译器控制方法,包括步骤如下:

[0056] (1) 将或非门的两个输入端的第一输入端A的初值置为逻辑1,将非门的两个输入端的第二输入端B的初值置为逻辑0,或非门的输出端Y的初始值为逻辑0,进行步骤(2);

[0057] (2) 给或非门的第一输入端A输入下降沿,或非门的第一输入端A由1变为逻辑0,此时或非门的输出端Y由0变为逻辑1,此时连接或非门的输出端Y的存储阵列61的字线WL11为逻辑1,即字线WL打开,进行步骤(3);

[0058] (3) 内部存储模块14通过第一晶体管对位线BL12放电,即位线BL12电压置为逻辑0,输入到反向器的输入端,进行步骤(4);

[0059] (4) 反向器将步骤(3)输入的逻辑0反向,输出逻辑1,送至或非门的第二输入端B,;

[0060] (5) 或非门将步骤(4)第二输入端B输入的逻辑1和步骤(2)或非门的第一输入端A变后得到的逻辑0进行异或运算,或非门的输出端Y由1变为0,形成脉冲;

[0061] (6) 根据需要的存储容量,调整存储阵列61中每列的存储单元的数量,每列的存储阵列的位线BL12的长度,即每列的存储单元的位线BL12的长度之和,位线BL12上连接的存储单元的数量增多,或非门的输出端Y的脉冲宽度变宽,同时,调整存储阵列61中的列数,将存储阵列61中的排成多列的存储单元的位线BL12连接在一起,存储阵列61中的列数增多,或非门的输出端Y的脉冲宽度变窄,最终使调整的或非门的输出端Y的脉冲宽度为 $2ns \sim 5ns$;

[0062] (7) 根据步骤(6)调整后的或非门的输出端Y产生的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列61的脉冲和灵敏放大器63的脉冲,再根据外部输入的地址和读信号,将控制存储阵列61的脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的读操作,即根据内部存储模块14存储的逻辑,使位线BL12或位线BLB13进行放电,产生位线BL12和位线BLB13的电压,位线BL12和位线BLB13分别连接灵敏放大器的两路输入;在灵敏放大器63的脉冲控制下,位线BL12和位线BLB13的电压输送到灵敏放大器的两路输入上,当位线BL12的电压小于位线BLB13的电压,灵敏放大器将位线BL12和位线BLB13的电压的电压差转换为逻辑1,当位线BL12的电压大于位线BLB13的电压,灵敏放大器将位线BL12和位线BLB13的电压的电压差转换为逻辑0;

[0063] (8) 根据步骤(6)调整后的或非门的输出端Y产生的脉冲,此脉冲作为原始脉冲,经过延时线与非门为主的时序控制电路,产生控制存储阵列61的脉冲,再根据外部输入的地址和写信号,将这个脉冲输入到与外部输入的地址相应的字线和位线上,以进行此存储单元的写操作,此时位线BL12和位线BLB13的一条设置为逻辑1,另一条强制设置为逻辑0,第

一晶体管将位线BL12的电压传送至内部存储模块14,第二晶体管将位线BLB13的电压传送至内部存储模块14,位线BL12的电压小于位线BLB13的电压,内部存储模块14置为逻辑1,位线BL12的电压大于位线BLB13的电压,内部存储模块14置为逻辑0。

[0064] 本发明所述的电路对不同地址位宽的SRAM读出时位线BL12和BLB13之间的电压差进行控制,使其保持在设定范围56~57内,所述的电压差范围要求要大于灵敏放大器所感知的最小电压51,并满足可靠性要求。

[0065] 在图5中,2x与2x+1之间的曲线表示地址空间为2x,电压与数据位宽的关系(x可以等于图中的k,k+1,k+2……),k、m都为整数。51表示灵敏放大器所能识别的最小电压。52表示灵敏放大器采样时,BL12与BLB13之间的电压差。53表示未采用所述控制电路时,灵敏放大器采样时BL12的值同39。54表示采用所述控制电路时,灵敏放大器采样时BL12的值。55表示灵敏放大器采样时,位线BL12与BLB13之间的电压差相对于51的设计余量。56表示灵敏放大器采样时,BL12与BLB13之间的电压差的最小值。57表示灵敏放大器采样时,BL12与BLB13之间的电压差的最大值。58表示灵敏放大器采样时,位线BLB13的电压,由于BLB13在读操作过程中不放电,此电压维持高电平。59表示灵敏放大器采样时,BL12电压的最大值。510灵敏放大器采样时,BL12电压的最小值。511、512分别表示可配置范围的最小值、最大值。

[0066] 对BL12和BLB13之间电压差的控制电路示意图如图6所示,控制电路通过检测压差是否达到我们所要求的范围来确定是否关断单元的字线WL65和灵敏放大器63的使能SE信号66。SE66的作用是使能灵敏放大器63。对位线上压差的检测是通过一种称为dummy列的技术实现的。这种技术在SRAM控电路中加一列冗余的被称为dummy列的单元,如图10中106结构,同时用dummy列来模拟进行读操作的列,Dummy列位线的放电过程,模拟真实的位线BL放电过程。当dummy列的位线间建立起充足的电压差,我们认为进行读操作的位线BL67与BLB68之间也建立起了符合我们要求的电压差。这时就可以关断字线WL65和灵敏放大器63的使能SE66,以停止放电和灵敏放大过程。

[0067] 图6中61为进行读取操作的单元所在的阵列。所述控制电路对于配置较高的SRAM,通过放电时间的延长和灵敏放大器63结束使能的延迟,就可以使得BL67与BLB68之间的压差控制到我们要求的范围56~57。因为SRAM读操作时,位线BL67放电速度主要与地址位的宽度有关,所以SRAM电路主要基于不同的地址位的宽度,采用不同的dummy列。所述控制电路本质上是通过调节放电时间对位线BL12和BLB13的电压差进行精确的调节。

[0068] 所述控制电路的第一种实现方案是通过调节dummy列的高度调节SRAM读操作时位线BL67与BLB68之间的电压差。图7为Dummy列高度调节示意图。图7中71为dummy列,在此以接地电容简化描述一系列存储单元位线的负载效果,75为dummy列的放电晶体管,简称放电管(即dummy列的放电通路),放电管在放电时要与dummy列连接,72、73、74表示三种不同高度的dummy列71的高度。76、77、78分别对应dummy列高为72、73、74时WL65脉冲的宽度。79表示dummy列71最小时,dummy列71上的等效电容。

[0069] 在第一种实现方案中,只用一个放电管75,且放电管75尺寸与存储单元的放电管尺寸一致,dummy列71的高度与由地址位宽决定的存储阵列的高度一致。当存储阵列高度变化时,dummy列71的高度也随之发生变化。由于在配置范围内存储阵列的高度一般是随着地址位宽的增加翻倍变化,所以dummy列71的高度也随之翻倍发生变化。从76、77、78我们可以看出,随着阵列高度的增加,WL65脉冲的宽度增加,BL67放电时间变长。

[0070] 第一种方案对SRAM读操作时SRAM单元位线BL67放电过程调节时序图如图8所示。WL、BL、BLB、灵敏放大器63的使能SE信号为一组,表示一种情况,图中信号名后面的后缀“-1”、“-2”,“-3”表示三种不同地址位宽的SRAM,和图7三种负载及图9三种放电管的调节情况一一对应。其中“-1”表示的SRAM的地址位宽最小,“-2”表示的SRAM次之,“-3”表示的SRAM地址位宽最大。图8中81、82、83分别表示三种SRAM读操作时位线BL67放电结束(即WL65关闭的时间)或者灵敏放大器使能信号SE66关闭(即灵敏放大器63停止放大的时间),图7中74表示WL65开启的时间,即BL67放电开始的时间。通过图7,地址位宽大的SRAM的放电时间被延长,但灵敏放大结束时,BL67与BLB68之间的电压差基本上是一致的。

[0071] 对所述电压差的控制的第二种方案是调节dummy列放电管93的个数。这种方案dummy列的高度是固定的,需要通过改变放电管93的数量调节dummy列放电管的放电能力,以达到和方案一中dummy列同样的放电速度。

[0072] 这种方案示意图如图9所示,图中91表示dummy列,92表示dummy列的在某种配置下全部放电管,93、94、95分别表示三种不同数量的放电管,其中93表示单个放电管,97、98、99分别表示93、94、95所对应的WL65脉冲的宽度。

[0073] 当SRAM的阵列变高时,SRAM的位线BL21变长,BL21的放电变慢,此时如果要在dummy列高度不变的情况下,使dummy列的放电速度和BL21一致,就需要数量较少的放电管93。如果dummy列变为原来的M倍,则需要的放电管93的数量变为原来的1/M。

[0074] 第二种方案与第一种方案中dummy列的放电速度是完全一致的,其对SRAM读操作时SRAM单元位线BL67放电过程的调节过程也是一致的。第二种方案时序调节图也如图8所示

[0075] 所述高可靠SRAM编译器控制电路主要是通过将SRAM读操作时位线12、13上的电压差控制在一定范围56~57实现高可靠性要求。

[0076] 所述电压差的范围56~57要求:其最小值56应大于灵敏放大器的可识别的最小电压51和一定的电压余量55。电压余量55的作用是增加电路的抗干扰能力和环境耐受力,实现高的可靠性。

[0077] 位线BL12与BLB13之间电压差 $52 >$ 灵敏放大器可识别的最小电压51+设定余量55

[0078] 通过检测SRAM读操作时位线间电压差是否达到我们所要求的范围56~57来确定是否关断单元的字线WL65和灵敏放大器的使能SE66以结束位线放电和灵敏放大过程。这是通过一种dummy列的时序控制技术实现的。这种技术用一被称为dummy列的额外的由存储单元组成的列的放电模拟进行读操作的列的放电过程。当SRAM进行读操作时,dummy列和进行读操作的列同时开始放电,当dummy列的两条位线BL67、BLB68之间建立起充足的电压差时,我们认为进行读操作的列也建立起充足的电压差,进而关断字线WL65和灵敏放大器的使能SE66,终止放电和读出操作。图6为其电路时序控制示意图。图中64表示控制电路的结构由地址位宽度69决定。这种技术对SRAM的读操作时序进行严格的控制,进而保证SRAM的高可靠性。

[0079] 第一种方案中dummy列的位线与真实列的位线结构要完全一致,以准确模拟真实列在读操作时的放电过程。存储阵列高度随着电路的地址位宽的变化而变化,地址位宽增加一位,阵列高度会增加一倍,这时就需要把dummy列高度增加一倍,dummy列高度的调节如图7所示。这种实施方式只需要一个放电管,而且这个放电管与存储单元的放电管尺寸一

致。

[0080] 第二种方案中调节dummy列放电管93的数量,此方案的dummy列91高度不变,通过调节dummy列91放电管93的数量,使得dummy列91与进行读操作的位线BL21放电速度相同。用这种方式同样可以使dummy列91模拟进行读操作列的放电过程。放电管数量调节如图9所示。

[0081] 第二种方案每当地址位宽增加一时,存储阵列高度增加一倍,进行读操作的位线BL21放电速度变慢,同时,dummy列91高度不变,但放电管93的数量会减少一半,以减慢dummy列91的放电速度。由于此种方式会用到多个放电管93,所以需要确定放电管93尺寸和某地址位宽(图6所示)时的数量。

[0082] 假设SRAM的地址位宽变化范围为 $m \sim (m+n)$,则地址位宽为 $m+n$ 时放电管93数量最少,设为 x_1 ,地址位宽为 m 时,放电管93数量最多,设为 x_2 ,则 $x_2 = x_1 * 2^n$,我们可以使 $x_1 = 1$,则需要放电管93数量的最大值为: $x_2 = 2^n$,最小值为 $x_1 = 1$ 。假设dummy列91高度为最小阵列高度(即地址位宽为 m 时的阵列高度),则放电管93的宽长比 = 存储单元放电管宽长比/ 2^n ,以此可说明,通过改变放电管数量,来调节BL线放电程度的方案是可行的。

[0083] 如图10所示,其为原始脉冲产生电路。103为或非门,当A输入为下降沿,Y会产生一个上升沿,102为Y,即或非门的输出,其与106 Dummy整列的WL线相连。当Y产生一个上升沿,与105相连的107 NMOS被打开,101的电荷经过107、105流入地,从而101产生一个下降沿,这时反相器104产生一个上升沿,同时传递到103的B输入,最终Y产生一个下降沿,Y的脉冲产生过程完成。

[0084] 本发明未详细阐述部分属于本领域公知技术。

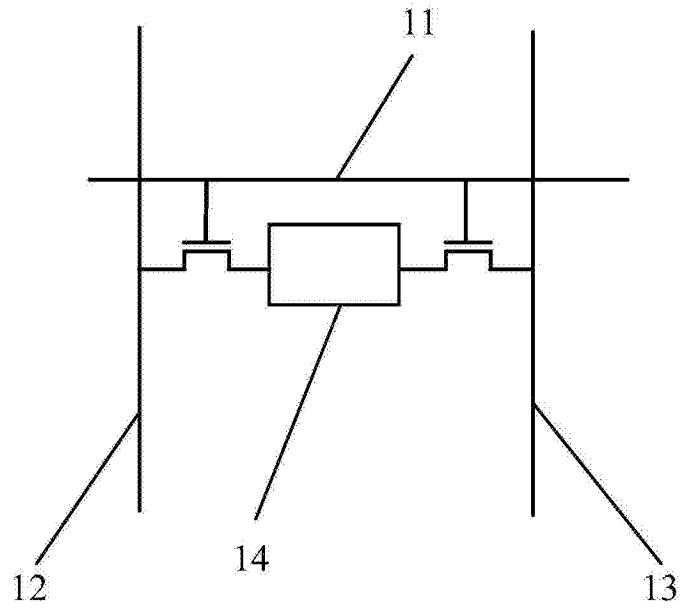


图1

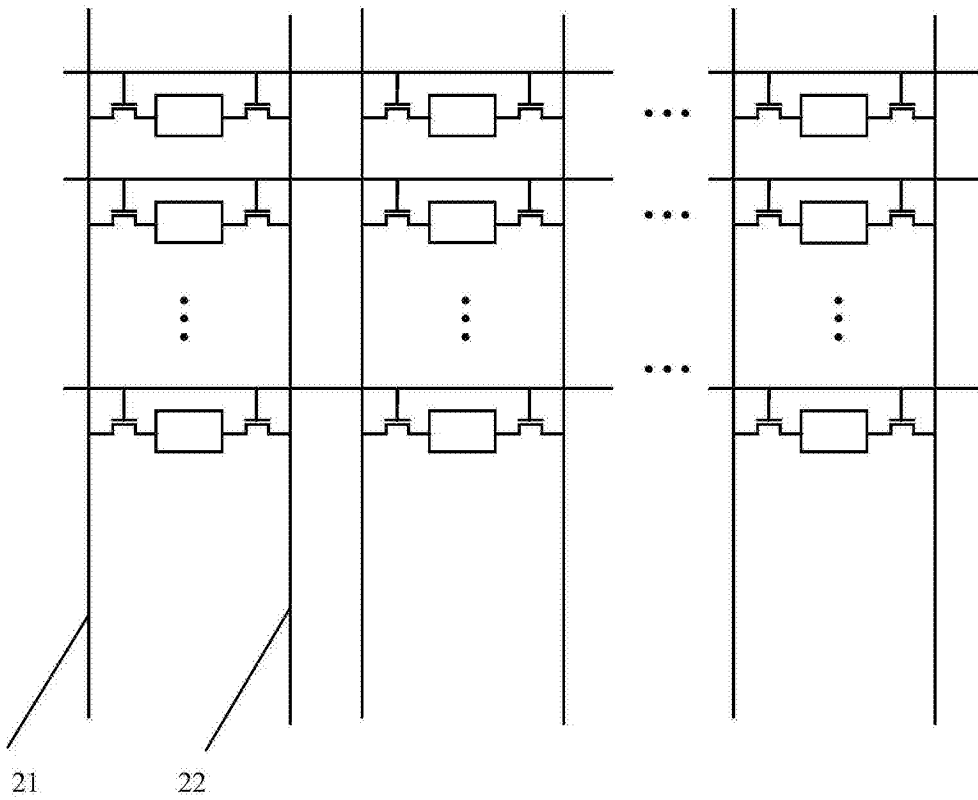


图2

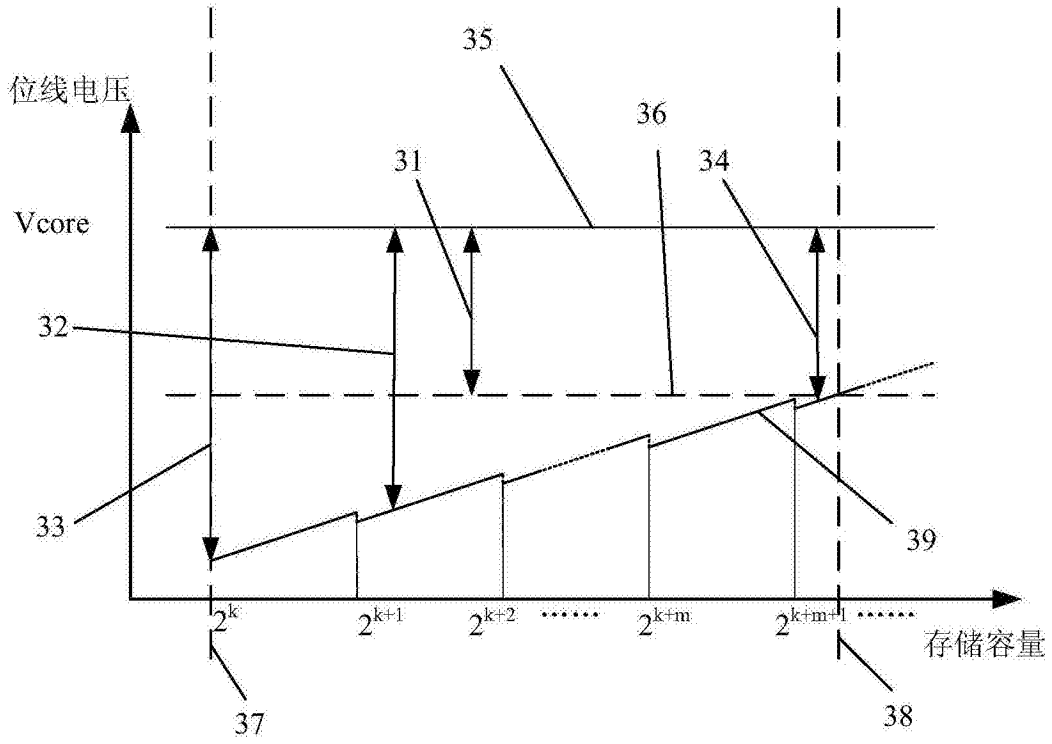


图3

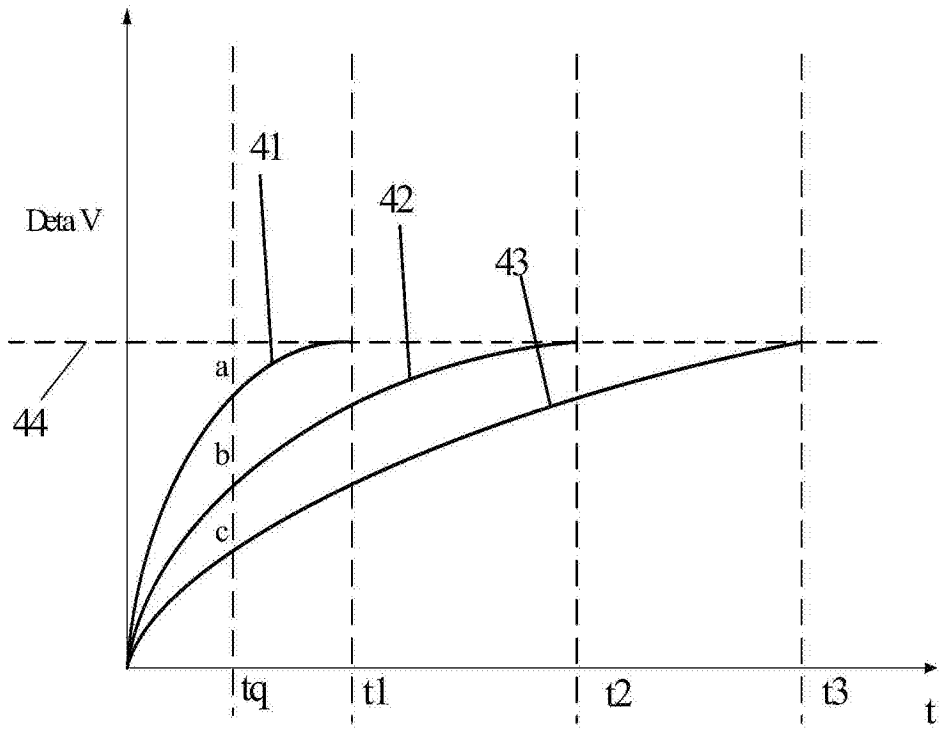


图4

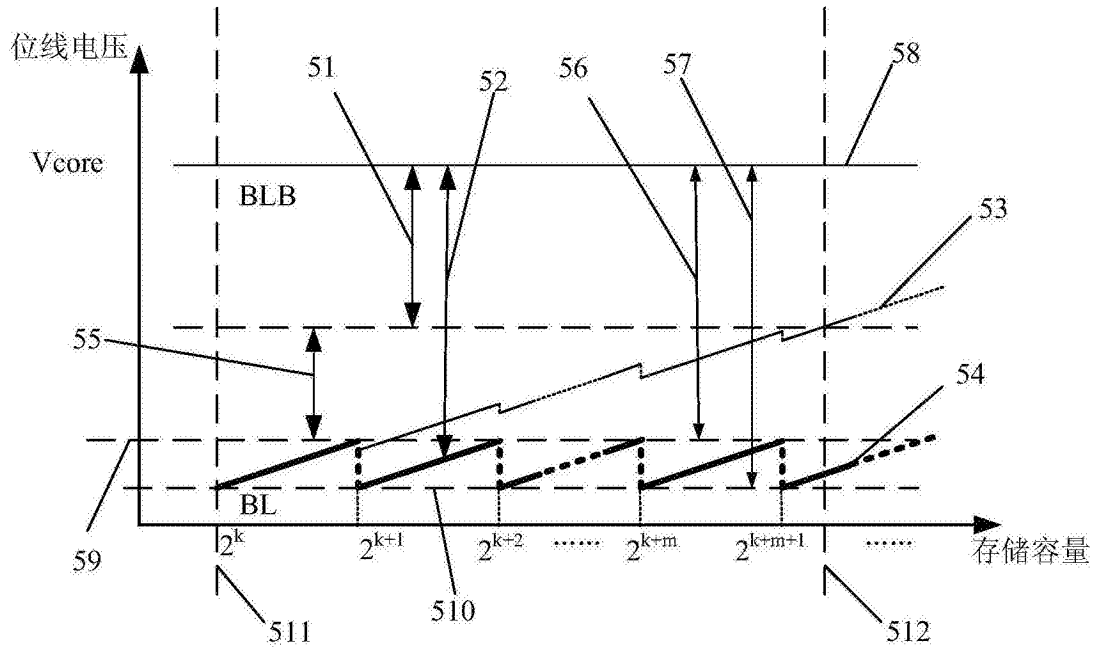


图5

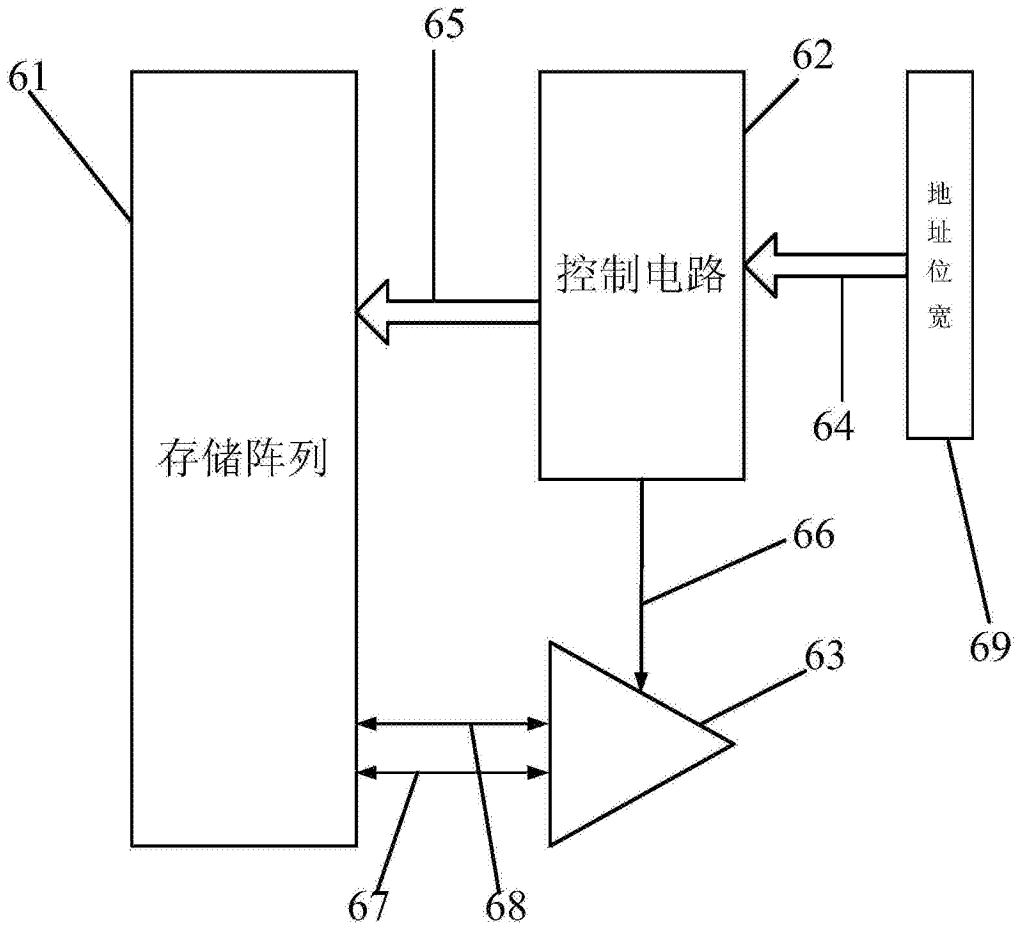


图6

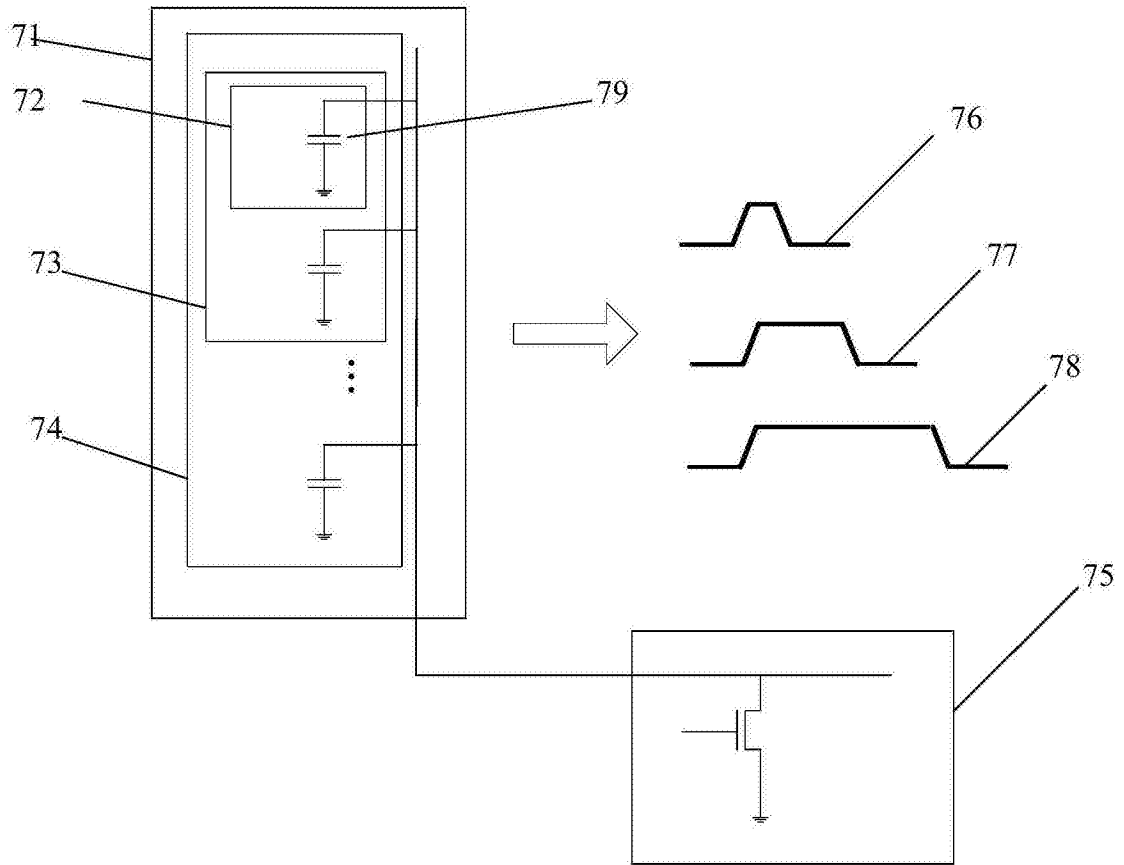


图7

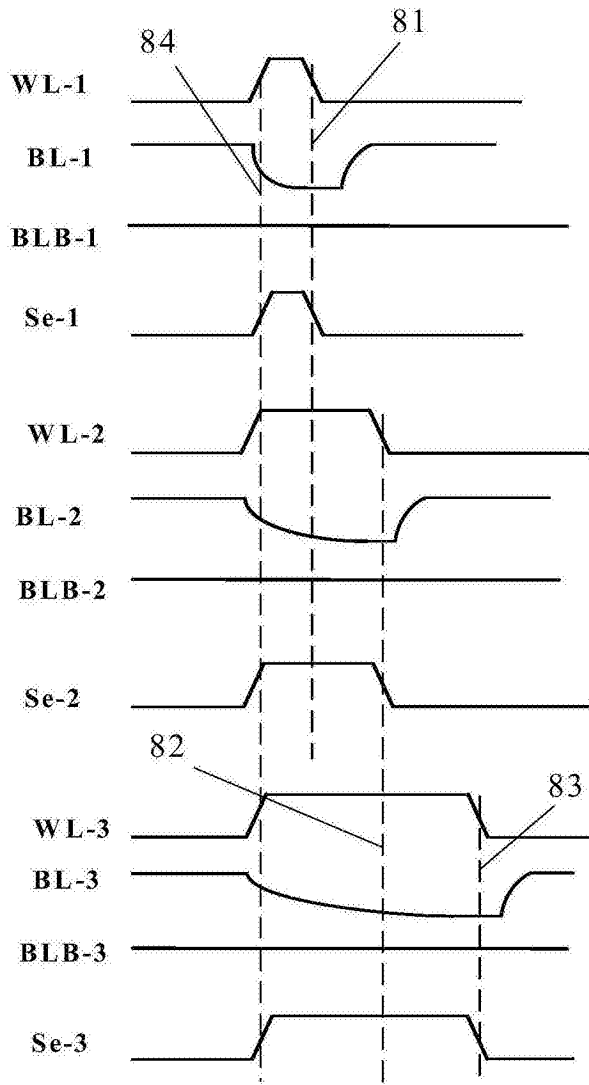


图8

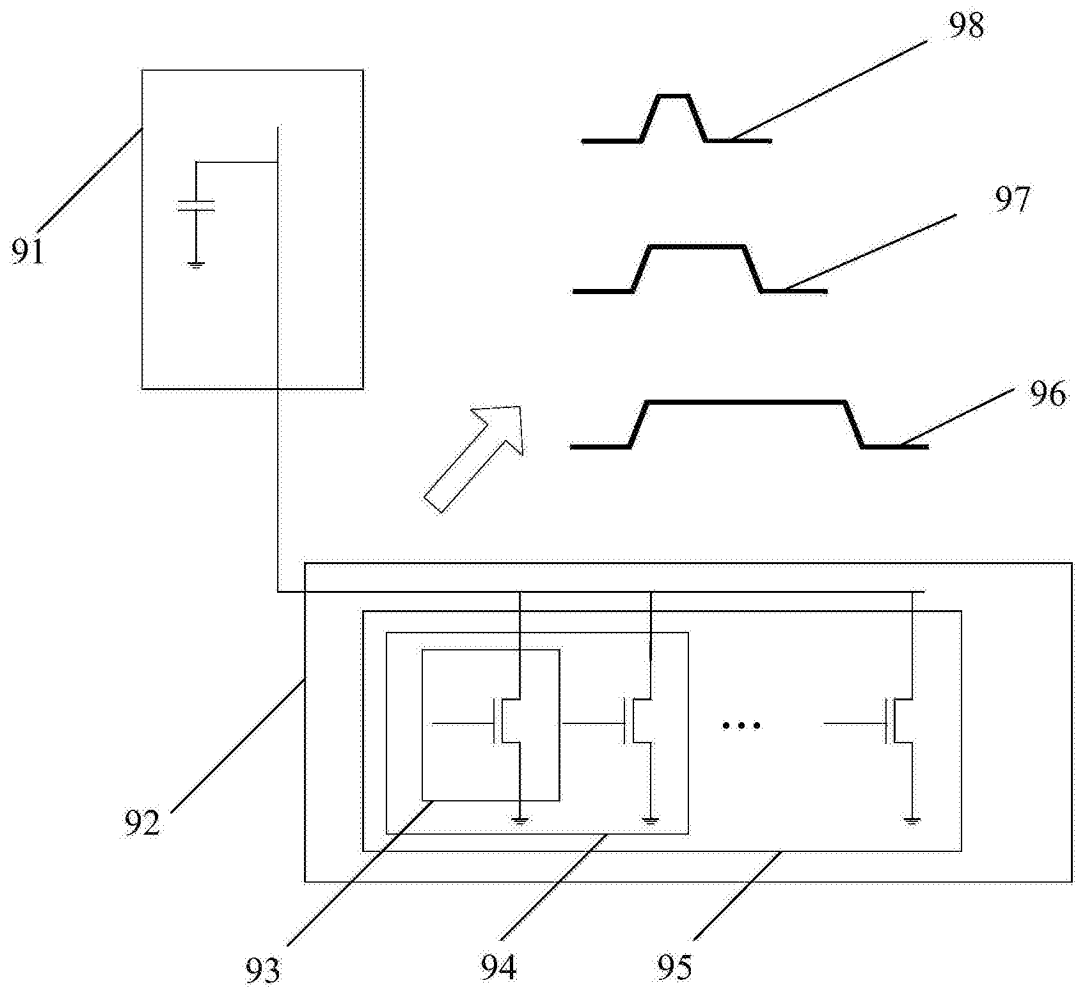


图9

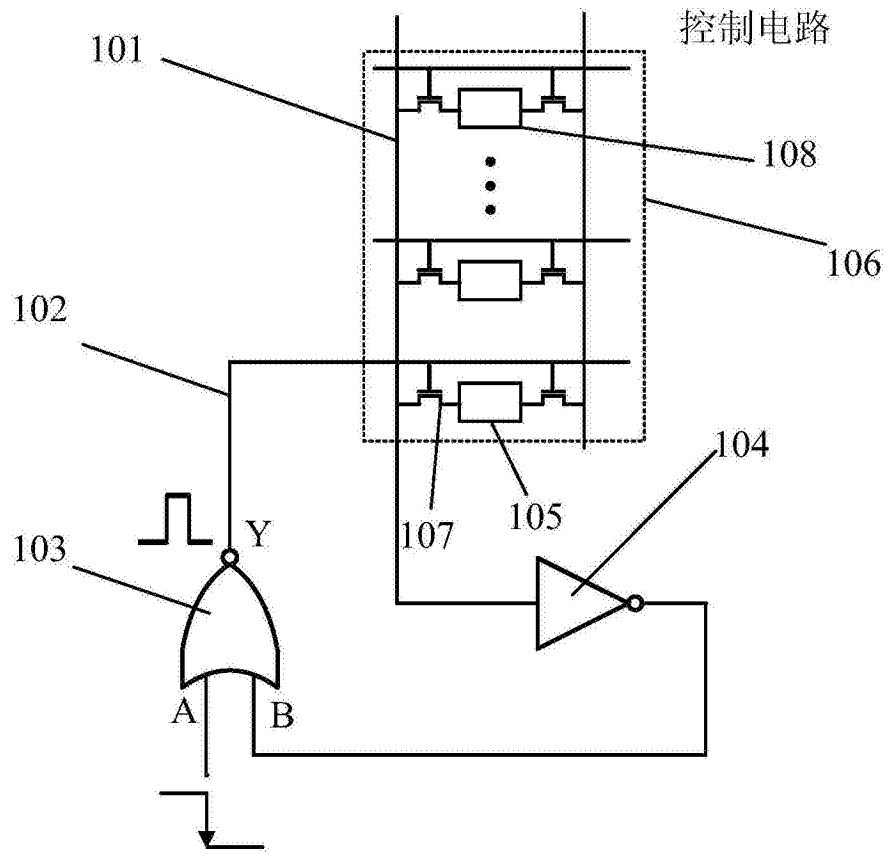


图10