

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5402356号
(P5402356)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月8日(2013.11.8)

(51) Int.Cl.	F I		
G06F 17/50	(2006.01)	G06F 17/50	666V
H01L 21/82	(2006.01)	G06F 17/50	662G
H05K 3/00	(2006.01)	G06F 17/50	666Z
		H01L 21/82	T
		H05K 3/00	V

請求項の数 3 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2009-175573 (P2009-175573)
 (22) 出願日 平成21年7月28日(2009.7.28)
 (65) 公開番号 特開2011-28644 (P2011-28644A)
 (43) 公開日 平成23年2月10日(2011.2.10)
 審査請求日 平成24年4月6日(2012.4.6)

(73) 特許権者 308014341
 富士通セミコンダクター株式会社
 神奈川県横浜市港北区新横浜二丁目10番
 23
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100146776
 弁理士 山口 昭則
 (72) 発明者 松村 宗明
 東京都新宿区西新宿二丁目7番1号 富士
 通マイクロエレクトロニクス株式会社内
 審査官 合田 幸裕

最終頁に続く

(54) 【発明の名称】 電源ノイズ解析方法及び電源ノイズ解析プログラム

(57) 【特許請求の範囲】

【請求項1】

複数の信号駆動回路と、前記複数の信号駆動回路に第1の電源電圧を供給する第1の配線と、前記複数の信号駆動回路に第2の電源電圧を供給する第2の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第3の配線とを含むモデルを用い、コンピュータにより回路シミュレータを実行して電源ノイズ解析を行なう方法であって、

レイアウト情報から前記第1乃至第3の配線の自己インダクタンス及び相互インダクタンスを抽出し、

前記信号の駆動時に流れる電流経路を特定し、

前記特定された電流経路の各々を流れる電流量の相対的な大きさを特定し、

前記特定された電流経路及び前記特定された電流量の相対的な大きさの情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを線形結合して合成することにより前記第1乃至第3の配線の各々について個別に実効インダクタンスを求め、

前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する

各段階を含み、前記実効インダクタンスを求める段階は、

前記第1及び第3の配線の各々に対して前記信号が立ち上がる場合の実効インダクタンスを求め、

前記第2及び第3の配線の各々に対して前記信号が立ち下がる場合の実効インダクタンスを求め、

前記第3の配線の各々に対して求めた前記信号が立ち上がる場合の実効インダクタンス

と前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第3の配線の各々の実効インダクタンスを求める

各段階を含み、前記回路シミュレータを実行する段階は、前記第1の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第2の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第3の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用い、前記第1の配線により供給される前記第1の電源電圧が正側であり、前記第2の配線により供給される前記第2の電源電圧が負側であり、

前記各段階をコンピュータにより実行することを特徴とする電源ノイズ解析方法。

【請求項2】

前記第3の配線を第1のグループの配線と第2のグループの配線とに分ける段階を更に含み、前記実効インダクタンスを求める段階は、

前記第1のグループに対して前記第1乃至第3の配線の各々の実効インダクタンスを求め、

前記第2のグループに対して前記第1乃至第3の配線の各々の実効インダクタンスを求める

各段階を含むことを特徴とする請求項1記載の電源ノイズ解析方法。

【請求項3】

複数の信号駆動回路と、前記複数の信号駆動回路に第1の電源電圧を供給する第1の配線と、前記複数の信号駆動回路に第2の電源電圧を供給する第2の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第3の配線とを含むモデルを用い、コンピュータにより回路シミュレータを実行して電源ノイズ解析を行なうプログラムであって、

レイアウト情報から前記第1乃至第3の配線の自己インダクタンス及び相互インダクタンスを抽出し、

前記信号の駆動時に流れる電流経路を特定し、

前記特定された電流経路の各々を流れる電流量の相対的な大きさを特定し、

前記特定された電流経路及び前記特定された電流量の相対的な大きさの情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを線形結合して合成することにより前記第1乃至第3の配線の各々について個別に実効インダクタンスを求め、

前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する

各段階を含み、前記実効インダクタンスを求める段階は、

前記第1及び第3の配線の各々に対して前記信号が立ち上がる場合の実効インダクタンスを求め、

前記第2及び第3の配線の各々に対して前記信号が立ち下がる場合の実効インダクタンスを求め、

前記第3の配線の各々に対して求めた前記信号が立ち上がる場合の実効インダクタンスと前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第3の配線の各々の実効インダクタンスを求める

各段階を含み、前記回路シミュレータを実行する段階は、前記第1の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第2の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第3の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用い、前記第1の配線により供給される前記第1の電源電圧が正側であり、前記第2の配線により供給される前記第2の電源電圧が負側であり、

前記各段階をコンピュータに実行させることを特徴とする電源ノイズ解析プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本願開示は、一般に計算機利用設計に関し、詳しくは計算機利用設計における電源ノイズの解析方法に関する。

【背景技術】

【0002】

L S I (Large Scale Integration) 回路では、I O 回路 (入出力回路) の同時動作により、S S O (Simultaneous Switching Output) ノイズと呼ばれる電源電圧変動が発生する。L S I 内部で発生した S S O ノイズは、L S I 内部だけでなく P C B (Printed Circuit Board: プリント回路基板) にも伝播する。S S O ノイズは、L S I 内部や P C B 上の回路誤動作を引き起こすだけでなく、S S O ノイズが L S I 間伝送信号波形に混入することで、信号波形品質の劣化による論理誤認識及び遅延変動によるタイミングマージン不良を引き起こす。

10

【0003】

今後、L S I が更に高速化され及びまた多ピン化されるに伴い、S S O ノイズが増加すると考えられる。また更に、バスクロックの高速化及び低電圧化に伴い、伝送信号波形やタイミングの S S O ノイズ耐性が低下すると考えられる。従って、S S O ノイズが L S I 間伝送信号に与える影響は、益々増加することが予想される。

【0004】

このような状況においては、S S O ノイズを正確に見積もり、適切な対策を施すことが不可欠になっている。S S O ノイズは、I O 回路の同時動作に起因する急激な電流変化とパッケージのインダクタ成分とによって発生するので、S S O ノイズ解析においてはパッケージのインダクタ成分を正確にモデル化する必要がある。そのため、従来は、パッケージの信号配線や電源配線の自己インダクタンスとともに、パッケージの信号配線と信号配線との間や信号配線と電源配線との間の相互インダクタンスを全てモデル化して S S O ノイズ解析を行っている。

20

【0005】

しかしながら、信号配線や電源配線の自己インダクタンスだけでなく相互インダクタンスも含めてモデル化するので、モデル化対象の信号数が増加すると、パッケージモデルの回路規模が指数関数的に増加してしまう。その結果、S S O ノイズ解析のシミュレーション時間や収束性が悪化してしまう。逆に、シミュレーション時間や収束性を改善するために、パッケージの配線間の相互インダクタンスを無視してしまうと、S S O ノイズの解析精度が悪化してしまう。

30

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2002-197136号公報

【特許文献2】特開2004-54522号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

以上を鑑みると、S S O ノイズの解析精度を落とさずにパッケージモデルの回路規模を削減できる S S O ノイズ解析方法及び装置が望まれる。

40

【課題を解決するための手段】

【0008】

複数の信号駆動回路と、前記複数の信号駆動回路に第1の電源電圧を供給する第1の配線と、前記複数の信号駆動回路に第2の電源電圧を供給する第2の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第3の配線とを含むモデルを用い、コンピュータにより回路シミュレータを実行して電源ノイズ解析を行なう方法は、レイアウト情報から前記第1乃至第3の配線の自己インダクタンス及び相互インダクタンスを抽出し、前記信号の駆動時に流れる電流経路を特定し、前記特定された電流経路の各々を流れる電流量の相対的な大きさを特定し、前記特定された電流経路及び前記特定された電流量

50

の相対的な大きさの情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを線形結合して合成することにより前記第1乃至第3の配線の各々について個別に実効インダクタンスを求め、前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する各段階を含み、前記実効インダクタンスを求める段階は、前記第1及び第3の配線の各々に対して前記信号が立ち上がる場合の実効インダクタンスを求め、前記第2及び第3の配線の各々に対して前記信号が立ち下がる場合の実効インダクタンスを求め、前記第3の配線の各々に対して求めた前記信号が立ち上がる場合の実効インダクタンスと前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第3の配線の各々の実効インダクタンスを求める各段階を含み、前記回路シミュレータを実行する段階は、前記第1の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第2の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第3の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用い、前記第1の配線により供給される前記第1の電源電圧が正側であり、前記第2の配線により供給される前記第2の電源電圧が負側であり、前記各段階をコンピュータにより実行することを特徴とする。

10

【0009】

また、複数の信号駆動回路と、前記複数の信号駆動回路に第1の電源電圧を供給する第1の配線と、前記複数の信号駆動回路に第2の電源電圧を供給する第2の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第3の配線とを含むモデルを用い、コンピュータにより回路シミュレータを実行して電源ノイズ解析を行なうプログラムは、レイアウト情報から前記第1乃至第3の配線の自己インダクタンス及び相互インダクタンスを抽出し、前記信号の駆動時に流れる電流経路を特定し、前記特定された電流経路の各々を流れる電流量の相対的な大きさを特定し、前記特定された電流経路及び前記特定された電流量の相対的な大きさの情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを線形結合して合成することにより前記第1乃至第3の配線の各々について個別に実効インダクタンスを求め、前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する各段階を含み、前記実効インダクタンスを求める段階は、前記第1及び第3の配線の各々に対して前記信号が立ち上がる場合の実効インダクタンスを求め、前記第2及び第3の配線の各々に対して前記信号が立ち下がる場合の実効インダクタンスを求め、前記第3の配線の各々に対して求めた前記信号が立ち上がる場合の実効インダクタンスと前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第3の配線の各々の実効インダクタンスを求める各段階を含み、前記回路シミュレータを実行する段階は、前記第1の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第2の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第3の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用い、前記第1の配線により供給される前記第1の電源電圧が正側であり、前記第2の配線により供給される前記第2の電源電圧が負側であり、前記各段階をコンピュータに実行させることを特徴とする。

20

30

【発明の効果】

40

【0010】

本願開示の少なくとも1つの実施例によれば、配線間の相互インダクタンスを明示的な回路要素としてモデル化しないので、パッケージモデルの回路規模を削減することが可能であり、SSOノイズ解析のシミュレーション時間や収束性を改善することができる。また、配線間の相互インダクタンスの影響を自己インダクタンスに組み込んで求められた実効インダクタンスを用いているので、SSOノイズの解析精度を落とさずに、パッケージモデルの回路規模を削減することが可能になる。

【図面の簡単な説明】

【0011】

【図1】SSOノイズ解析の対象となる回路システムのモデルの一例を示す図である。

50

【図 2】SSO ノイズ解析の対象となる回路システムのモデルの一例を示す図である。

【図 3】実効インダクタンスを計算する処理の流れを示すフローチャートである。

【図 4】ノイズ解析の対象の回路を模式的に示す図である。

【図 5】4 × 4 インダクタンス行列を示す図である。

【図 6】インダクタンス行列の抽出を示す図である。

【図 7】インダクタンス行列の抽出を示す図である。

【図 8】信号立ち上がり時の実効インダクタンスと信号立ち下がり時の実効インダクタンスとの合成処理の一例を示す図である。

【図 9】実効インダクタンスでモデル化したノイズ解析の対象の回路を示す図である。

【図 10】信号配線の本数が n 本の場合において実効インダクタンスでモデル化したノイズ解析の対象の回路を示す図である。

10

【図 11】信号配線の本数が n 本の場合のインダクタンス行列 L を示す図である。

【図 12】図 11 のインダクタンス行列 L の各対角要素の値を示す図である。

【図 13】信号配線を複数のグループに分けてモデル化する方法を説明するための図である。

【図 14】SSO ノイズ解析処理の全体の流れを示すフローチャートである。

【図 15】回路シミュレータによる回路動作解析のフローチャートを示す図である。

【図 16】SSO ノイズ解析の精度比較を示す図である。

【図 17】SSO ノイズ解析の別の精度比較を示す図である。

【図 18】SSO ノイズ解析処理を実行する装置の構成を示す図である。

20

【発明を実施するための形態】

【0012】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0013】

図 1 は、SSO ノイズ解析の対象となる回路システムのモデルの一例を示す図である。図 1 に示す回路システムは、LSI 回路 10、パッケージ 11、PCB 12、及び相手デバイス 13 を含む。LSI 回路 10 は、入力信号源 20 及び信号駆動回路 21 を含む。

【0014】

入力信号源 20 は、LSI 回路 10 の内部回路であり、意図される所望の動作を実行し、信号駆動回路 21 への入力信号（即ち LSI 回路 10 からの出力信号）を生成する。信号駆動回路 21 は、LSI 回路 10 の出力回路であり、入力信号源 20 が生成した入力信号に基づいて動作して出力信号を駆動する。図面には示していないが、信号駆動回路 21 は、信号を出力するための出力回路だけでなく、外部からの信号を入力して LSI 回路 10 内部に供給する入力回路を更に含み、入出力回路として動作してよい。また図示の都合上、1 つの信号駆動回路 21 が示されるが、実際には複数の出力信号に対応して複数の信号駆動回路 21 が設けられる。信号駆動回路 21 としては、PCB 設計で通常使用されている IBIS (IO Buffer Information Specification) 等のモデルでは精度的に不十分であり、トランジスタを含むネットリストを使用してよい。

30

【0015】

信号駆動回路 21 が出力する信号は、パッケージ 11 を介して、PCB 12 上の伝送路 25 に送られる。図示の都合上、一本の伝送路 25 が示されるが、実際には複数の出力信号に対応して複数の伝送路 25 が設けられる。伝送路 25 のモデルとしては、LCR ラダー回路でも、W-Element モデルでも、S パラメータでもよい。この伝送路 25 を伝搬した LSI 回路 10 の出力信号は、相手デバイス 13 の入力回路に入力される。図 1 の例では、相手デバイス 13 を入力回路の入力容量 26 によりモデル化している。相手デバイス 13 の入力回路は、例えば IBIS 等のモデルでよく、或いはトランジスタレベルのネットリストでもよい。

40

【0016】

複数の信号駆動回路 21 に対して、正側の電源電圧 VDE を供給する電源配線 22 と、負側の電源電圧 VSS (グランド電圧) を供給する電源配線 23 とが設けられる。また、

50

信号駆動回路 2 1 により駆動される信号を伝搬する信号配線 2 4 が設けられる。図示の都合上、一本の信号配線 2 4 が示されるが、実際には複数の出力信号に対応して複数の信号配線 2 4 が設けられる。電源配線 2 2 及び電源配線 2 3 は、P C B 1 2 からの電源を L S I 回路 1 0 に供給するためのものであり、パッケージ 1 1 に設けられる。また信号配線 2 4 は、L S I 回路 1 0 の出力信号を P C B 1 2 に伝えるためのものであり、パッケージ 1 1 に設けられる。

【 0 0 1 7 】

図 1 に示す S S O ノイズ解析の対象となる回路モデルでは、パッケージ 1 1 の電源配線 2 2、電源配線 2 3、及び信号配線 2 4 は、L C R ラダー回路でモデル化してよい。このモデルは、ボンディングワイヤの部分とインターポーザの部分とを含めてモデル化したものでよい。図 1 では、L C R ラダー回路の段数は 2 段であるが、実際には更に多くの段数でモデル化してよい。

【 0 0 1 8 】

パッケージ 1 1 の電源配線 2 2、電源配線 2 3、及び信号配線 2 4 を表わす L C R ラダー回路は、自己インダクタンス L 、抵抗 R 、相互インダクタンス L_M 、及び配線間容量 C を含む。なお相互インダクタンス L_M 及び配線間容量 C は、複数の信号配線 2 4 間にも存在する。前述のように、S S O ノイズは、I O 回路の同時動作に起因する急激な電流変化とパッケージのインダクタ成分とによって発生するので、S S O ノイズ解析においてはパッケージのインダクタ成分を正確にモデル化する必要がある。しかしながら、図 1 に示すように自己インダクタンス L だけでなく相互インダクタンス L_M も含めてモデル化すると、モデル化対象の信号配線 2 4 の数に比例して、パッケージモデルの回路規模が指数関数的に増加してしまう。その結果、S S O ノイズ解析のシミュレーション時間や収束性が悪化してしまう。そこで以下に説明する実施例では、自己インダクタンスと相互インダクタンスとを合成することにより複数の信号配線 2 4 の各々の実効インダクタンスを求め、この実効インダクタンスによるモデルを用いて回路解析シミュレータを実行して S S O ノイズ解析を行なう。

【 0 0 1 9 】

図 2 は、本実施例による S S O ノイズ解析の対象となる回路システムのモデルの一例を示す図である。図 2 において、図 1 と同一の構成要素は同一の番号で参照し、その説明は省略する。図 2 に示すパッケージ 1 1 のモデルでは、図 1 に示す相互インダクタンス L_M が設けられていない。その代わりに、図 1 に示す自己インダクタンス L と相互インダクタンス L_M とを合成することにより複数の信号配線 2 4 の各々の実効インダクタンス L_r を求め、この実効インダクタンス L_r によりモデルを構築している。

【 0 0 2 0 】

具体的には、電源配線 2 2 を第 1 の配線、電源配線 2 3 を第 2 の配線、信号配線 2 4 を第 3 の配線と呼ぶとして、まずレイアウト情報から第 1 乃至第 3 の配線の自己インダクタンス及び相互インダクタンスを抽出する。これら自己インダクタンス及び相互インダクタンスは、後述するように $n \times n$ のインダクタンス行列として与えられる。 n は、第 1 乃至第 3 の配線の総数である。第 1 の配線及び第 3 の配線はそれぞれ通常は複数本存在するが、同じ電源種の複数本の電源配線の L S I 端及び P C B 端はそれぞれ同電位であるという制約条件を課すことで、同じ電源種の複数本の電源配線を 1 本に合成することができる。次に、信号の駆動時に流れる電流経路を特定する。例えば、信号立ち上がり時であれば、図 2 の電流 I_1 として矢印で示す経路に電流が流れ、電源電圧 V_{DE} から入力容量 2 6 に電流が流入して電荷が蓄積される。このとき、第 1 の配線 2 2 を流れる電流の量と第 3 の配線 2 4 を流れる電流の量とは等しく、第 2 の配線 2 3 には電流が流れないと考えることができる。更に第 3 の配線 2 4 が複数本有る場合、電源ノイズ解析の対象となる全信号が同時に立ち上がる最悪条件においては、各配線 2 4 に流れる電流の量は互いに等しいと考えることができる。また信号立ち下がり時であれば、図 2 の電流 I_2 として矢印で示す経路に電流が流れ、入力容量 2 6 の電荷が放出されて放電電流がグランド電圧 V_{SS} に流れる。このとき、第 2 の配線 2 3 を流れる電流の量と第 3 の配線 2 4 を流れる電流の量とは

等しく、第1の配線22には電流が流れないと考えることができる。更に第3の配線24が複数本有る場合、電源ノイズ解析の対象となる全信号が同時に立ち下がる最悪条件においては、各配線24に流れる電流の量は互いに等しいと考えることができる。なお複数の第3の配線24に流れる電流の量が均しいと仮定できるためには、複数の信号駆動回路21が同一特性であること、特に同一の駆動力を有すると見なせることが必要である。

【0021】

次に、特定された電流経路の情報に基づいて、自己インダクタンスと相互インダクタンスとを合成することにより第1乃至第3の配線の各々の実効インダクタンスを求める。具体的には、上記のように電流経路を特定し、更に複数の第3の配線24の各々に流れる電流の量が等しいと仮定すると、一本の着目配線に流れる電流により、相互インダクタンスで結合される他の配線に流れる電流を表現できる。これにより、相互インダクタンスの値と自己インダクタンスの値とを線形結合して実効的な自己インダクタンスである実効インダクタンスの値を求めることができる。例えば、複数 m 本の第3の配線24のうちの一本の着目配線に流れる電流量を I とすると、他の第3の配線24に流れる電流は同じ向きで電流量 I であり、また第1の配線22又は第2の配線23の何れか一方に流れることになる電流の向きは逆で電流量は mI である。従って、他の第3の配線24の各々に対する相互インダクタンス L_M は、 $+L_M$ として実効インダクタンス L_r に含まれ、第1の配線22又は第2の配線23の一方に対する相互インダクタンス L_M は、 $-mL_M$ として実効インダクタンス L_r に含まれることになる。即ち、自己インダクタンス L と、 $m-1$ 個の $+L_M$ と、1個の $-mL_M$ との和として、実効インダクタンス L_r が得られることになる。なお上記説明では便宜上相互インダクタンス L_M が単一値であるかのように説明したが、着目配線について、他の配線に対する相互インダクタンス L_M は通常は各配線毎に異なる値である。

【0022】

上記のようにして求めた実効インダクタンスを含めたモデルを用いて、回路シミュレータをコンピュータ上で実行することにより、SSOノイズを解析する。即ち、回路シミュレータを実行することにより、図2に示す端子27、28、及び29等を含む各端子での電圧及び電流の時間変化を計算する。電圧及び電流の時間変化の計算は、モデルに基づいて回路シミュレータが微分方程式を解くことで行なわれる。各端子での電圧及び電流の時間変化を例えば波形データとして出力することで、各端子での電圧及び電流がどの程度SSOノイズの影響を受けているのかを知ることができる。

【0023】

図3は、実効インダクタンスを計算する処理の流れを示すフローチャートである。図4は、ノイズ解析の対象の回路を模式的に示す図である。以下に、図3及び図4を用いて、実効インダクタンスを計算する処理について説明する。

【0024】

ステップS1において、SSOノイズ解析の対象範囲を指定する指示を電源ノイズ解析装置(コンピュータ)に入力する。具体的には、パッケージの解析対象となる領域として、例えば、図4に示す配線31乃至34を指定する。ここで配線31は電源電圧VDEを供給するパッケージPKGの電源配線であり、配線34はグランド電圧VSSを供給するパッケージPKGの電源配線である。また配線32及び33は、図1で説明したのと同様の信号駆動回路21により駆動される信号が伝搬するパッケージPKGの信号配線である。図4には、説明の便宜上、信号配線として2本の配線を設けた例を示すが、信号配線の本数は1本でもよいし、或いは3本以上であってもよい。

【0025】

ステップS2において、VDE電源配線と信号配線2本のインダクタンス行列を抽出する。このインダクタンス行列は 3×3 の行列となるが、まず図4に示すような信号配線32及び33とVDE電源配線31及びVSS電源配線34との 4×4 インダクタンス行列 L について説明する。なおインダクタンス行列の各要素の値(各インダクタンス値)は、パッケージのレイアウトデータから抽出する。

【 0 0 2 6 】

図5は、 4×4 インダクタンス行列を示す図である。この 4×4 インダクタンス行列 L において、対角要素は自己インダクタンス L_{11} 乃至 L_{44} であり、その他の要素は相互インダクタンス L_{xy} ($x \neq y$) である。これらの自己インダクタンスと相互インダクタンスとは、図4に模式的に示されている。この 4×4 インダクタンス行列 L が、4本の配線31乃至34に対応する4つの電圧値からなる列ベクトルと、4本の配線31乃至34に対応する4つの電流値の時間微分からなる列ベクトルとを結びつけるインダクタンス成分を表わすことになる。即ち、VDE電源配線31を流れる電流の時間微分を I_1 、信号配線32及び33を流れる電流の時間微分をそれぞれ I_2 及び I_3 、VSS電源配線34を流れる電流の時間微分を I_4 としたときに、VDE電源配線31におけるインダクタンス成分による電圧降下 V_1 は以下のように表わされる。

【 0 0 2 7 】

$$V_1 = L_{11} I_1 + L_{12} I_2 + L_{13} I_3 + L_{14} I_4$$

また信号配線32及び33それぞれにおけるインダクタンス成分による電圧降下 V_2 及び V_3 は以下のように表わされる。

【 0 0 2 8 】

$$V_2 = L_{21} I_1 + L_{22} I_2 + L_{23} I_3 + L_{24} I_4$$

$$V_3 = L_{31} I_1 + L_{32} I_2 + L_{33} I_3 + L_{34} I_4$$

またVSS電源配線34におけるインダクタンス成分による電圧降下 V_4 は以下のように表わされる。

【 0 0 2 9 】

$$V_4 = L_{41} I_1 + L_{42} I_2 + L_{43} I_3 + L_{44} I_4$$

ステップS2では、インダクタンス行列 L からVDE電源配線31と信号配線32及び33に関する 3×3 のインダクタンス行列を抽出する。即ち、図6に示すように 4×4 インダクタンス行列 L から点線で囲む部分40に対応する 3×3 のインダクタンス行列41を抽出する。

【 0 0 3 0 】

ステップS3において、VDE電源配線と信号配線2本の実効インダクタンスを計算する。この際、電流の流れる経路が特定されており、且つ各経路を流れる電流量の相対的な大きさも特定できるので、前述のように相互インダクタンスの値と自己インダクタンスの値とを線形結合して実効インダクタンスの値を求めることができる。即ち、図4に示す信号駆動回路21の出力信号がLOWからHIGHに立ち上がる場合、VDE電源配線31を流れる電流を I_1 とすると、VDE電源配線31におけるインダクタンス成分による電圧降下 V_1 は以下のように表わされる。

【 0 0 3 1 】

$$V_1 = L_{11} I_1 + L_{12} (-I_1/2) + L_{13} (-I_1/2)$$

$$= (L_{11} - L_{12}/2 - L_{13}/2) I_1$$

即ち、VDE電源配線31の実効インダクタンス L_{r11} は、

$$L_{r11} = L_{11} - (1/2)(L_{12} + L_{13})$$

となる。また信号配線32及び33それぞれを流れる電流を I_2 及び I_3 とすると、信号配線32及び33それぞれにおけるインダクタンス成分による電圧降下 V_2 及び V_3 は以下のように表わされる。

【 0 0 3 2 】

$$V_2 = L_{21} (-2I_2) + L_{22} I_2 + L_{23} I_2$$

$$= (L_{22} + L_{23} - 2L_{21}) I_2$$

$$V_3 = L_{31} (-2I_3) + L_{32} I_3 + L_{33} I_3$$

$$= (L_{32} + L_{33} - 2L_{31}) I_3$$

即ち、信号配線32及び33の実効インダクタンス L_{r22} 及び L_{r33} は、

$$L_{r22} = L_{22} + L_{23} - 2L_{21}$$

$$L_{r33} = L_{32} + L_{33} - 2L_{31}$$

10

20

30

40

50

となる。なお行列 L は対称行列であり、 $L_{21} = L_{12}$ であり、また $L_{31} = L_{13}$ である。このようにして、図 6 に示すような実効インダクタンス行列 4 2 が求められる。

【 0 0 3 3 】

図 3 のステップ S 4 で、V S S 電源配線と信号配線 2 本とのインダクタンス行列を抽出する。即ち、図 7 に示すように、 4×4 インダクタンス行列 L から点線で囲む部分 5 0 に対応する 3×3 のインダクタンス行列 5 1 を抽出する。ステップ S 5 で、V S S 電源配線と信号配線 2 本の実効インダクタンスを計算する。即ち、ステップ S 3 の場合と同様にして、以下の実効インダクタンスが求められる。

【 0 0 3 4 】

$$L f_{22} = L_{22} + L_{23} - 2 L_{24}$$

$$L f_{33} = L_{33} + L_{23} - 2 L_{34}$$

$$L f_{44} = L_{44} - (1/2)(L_{24} + L_{34})$$

即ち、図 7 に示すような実効インダクタンス行列 5 2 が求められる。

【 0 0 3 5 】

図 3 のステップ S 6 で、ステップ S 3 とステップ S 5 の処理で計算した信号配線 2 本の実効インダクタンスの平均値を計算する。ステップ S 3 で求めた実効インダクタンスは、信号立ち上がりの場合の実効インダクタンスである。またステップ S 5 で求めた実効インダクタンスは、信号立ち下りの場合の実効インダクタンスである。V D E 電源配線 3 1 に対する実効インダクタンスは信号立ち上がりの場合にしか S S O ノイズ解析の計算に必要なないので、ステップ S 3 で求めた信号立ち上がりの場合の実効インダクタンス $L r_{11}$ をそのまま用いればよい。また V S S 電源配線 3 4 に対する実効インダクタンスは信号立ち下りの場合にしか S S O ノイズ解析の計算に必要なないので、ステップ S 5 で求めた信号立ち下りの場合の実効インダクタンス $L f_{44}$ をそのまま用いればよい。

【 0 0 3 6 】

それに対して、信号配線 3 2 及び 3 3 に対する実効インダクタンスは、信号立ち上がりの場合と信号立ち下りの場合との両方において S S O ノイズ解析の計算に用いられる。この場合、信号立ち上がりの場合の計算時にはステップ S 3 で計算した実効インダクタンスを用いて、信号立ち下りの場合の計算時にはステップ S 5 で計算した実効インダクタンスを用いればよい。即ち、信号配線 3 2 及び 3 3 の実効インダクタンスについては、信号立ち上がり時と立ち下り時とで実効インダクタンスの値を切り替えればよい。しかしながら、回路解析シミュレータでは、自己インダクタンスの値として一個の値を回路パラメータとして指定し、その値を用いて電圧及び電流の変化の計算等を行なうので、回路動作に応じて回路パラメータの値を切り替えることは一般的に困難である。そのような場合には、以下に説明するように、信号配線 3 2 及び 3 3 に対して求めた信号が立ち上がる場合の実効インダクタンスと信号が立ち下がる場合の実効インダクタンスとを合成し、信号配線 3 2 及び 3 3 の実効インダクタンスを求める。例えば、ステップ S 3 で求めた信号立ち上がり時の実効インダクタンス $L r_{22}$ 及び $L r_{33}$ とステップ S 5 で求めた信号立ち下り時の実効インダクタンス $L f_{22}$ 及び $L f_{33}$ との平均値を求め、その平均値を信号配線 3 2 及び 3 3 の実効インダクタンスとしてよい。

【 0 0 3 7 】

最後に図 3 のステップ S 7 で、V D E 電源配線、V S S 電源配線、及び信号配線 2 本の実効インダクタンスを出力する。即ち、V D E 電源配線 3 1、信号配線 3 2 及び 3 3、及び V S S 電源配線 3 4 に対する実効インダクタンスからなる 4×4 インダクタンス行列を出力する。

【 0 0 3 8 】

図 8 は、信号立ち上がり時の実効インダクタンスと信号立ち下り時の実効インダクタンスとの合成処理の一例を示す図である。図 8 の例では、図 6 のように求めた実効インダクタンス行列 4 2 と図 7 のように求めた実効インダクタンス行列 5 2 とを合成し、 4×4 インダクタンス行列 5 5 を出力する。この行列 5 5 は、実効インダクタンス値 $L r f_{11}$ 、 $L r f_{22}$ 、 $L r f_{33}$ 、及び $L r f_{44}$ を対角要素として含む対角行列である。L r

10

20

30

40

50

f_{11} は、ステップ S3 で求めた信号立ち上がりの場合の実効インダクタンス L_{r11} に等しい。 L_{r22} は、ステップ S3 で求めた信号立ち上がりの場合の実効インダクタンス L_{r22} とステップ S5 で求めた信号立ち下がりの場合の実効インダクタンス L_{f22} との平均値である。 L_{r33} は、ステップ S3 で求めた信号立ち上がりの場合の実効インダクタンス L_{r33} とステップ S5 で求めた信号立ち下がりの場合の実効インダクタンス L_{f33} との平均値である。 L_{r44} は、ステップ S5 で求めた信号立ち下がりの場合の実効インダクタンス L_{f44} に等しい。

【0039】

図9は、実効インダクタンスでモデル化したノイズ解析の対象の回路を示す図である。図9において、図4と同一の構成要素は同一の番号で参照し、その説明は省略する。図9に示されるように、VDE電源配線31、信号配線32、信号配線33、及びVSS電源配線34はそれぞれ、実効インダクタンス L_{r11} 、 L_{r22} 、 L_{r33} 、及び L_{r44} を有する。これらの実効インダクタンスは、図4に示される自己インダクタンスと相互インダクタンスの値とが反映されたものとなっている。

10

【0040】

図10は、信号配線の本数が n 本の場合において実効インダクタンスでモデル化したノイズ解析の対象の回路を示す図である。信号駆動回路21は、図1で説明したのと同様の信号駆動回路である。図10では、VDE電源配線61-1、 n 本の信号配線61-2乃至61- $n+1$ 、及びVSS電源配線61- $n+2$ が設けられている。配線61-1乃至61- $n+2$ はそれぞれ、実効インダクタンス L_{r11} 乃至 $L_{rn+2, n+2}$ を有する。

20

【0041】

図11は、信号配線の本数が n 本の場合のインダクタンス行列 L を示す図である。図11に示すように、この場合のインダクタンス行列 L は $(n+2) \times (n+2)$ の対角行列であり、対角要素が実効インダクタンス値であり、その他の要素の値がゼロである。

【0042】

図12は、図11のインダクタンス行列 L の各対角要素の値を示す図である。図12に示すように、各実効インダクタンスの値は、自己インダクタンスの値と相互インダクタンスの値とを線形結合したものとなっている。これらの実効インダクタンス値は、図3に示すフローチャートと同様にして求めることができる。即ち、まず立ち上がり時と立ち下がり時とで別々に電流経路を特定し、更に複数の信号配線の各々に流れる電流の量が等しいと仮定する。この仮定を用いれば、一本の着目配線に流れる電流を用いて、相互インダクタンスで結合される他の配線に流れる電流を表現できる。これにより、相互インダクタンスの値と自己インダクタンスの値とを線形結合して、実効インダクタンスの値を求めることができる。

30

【0043】

図13は、信号配線を複数のグループに分けてモデル化する方法を説明するための図である。図13に示す回路システムは、LSI回路70、パッケージ71、PCB72、及び相手デバイス73を含む。LSI回路70の複数のパッド81-1には、パッケージ71の複数の信号配線82-1が接続される。これら複数の信号配線82-1は、PCB72の伝送路75-1を介して相手デバイス73に結合される。LSI回路70の複数のパッド81-2には、パッケージ71の複数の信号配線82-2が接続される。これら複数の信号配線82-2は、PCB72の伝送路75-2を介して相手デバイス73に結合される。信号配線82-1は例えばデータ信号を入出力するための配線であり、信号配線82-2は例えば制御信号やアドレス信号等を入出力するための配線である。このように第1のグループの信号配線82-1と第2のグループの信号配線82-2とで伝搬する信号のタイプが異なる場合、第1のグループの信号配線82-1と第2のグループの信号配線82-2とで、信号が同時に変化する可能性は少ない。このような場合には、第1のグループの信号配線82-1と第2のグループの信号配線82-2との各々について、前述のモデル化方法を適用して、実効インダクタンスを用いたモデルを別個に生成してよい。即

40

50

ち、信号配線を第1のグループの配線と第2のグループの配線とに分け、第1のグループに対して電源配線及び信号配線の各々の実効インダクタンスを求め、また第2のグループに対して電源配線及び信号配線の各々の実効インダクタンスを求めればよい。

【0044】

図14は、SSOノイズ解析処理の全体の流れを示すフローチャートである。ステップS1で、LSIレイアウト情報格納部101に格納されるLSIレイアウト情報に基づいて、SSOノイズ解析用LSIモデル102を作成する。ステップS2において、PKG（パッケージ）レイアウト情報格納部103に格納されるPKGレイアウト情報に基づいて、SSOノイズ解析用PKGモデル104を作成する。また更に、ステップS3において、PCBレイアウト情報格納部105に格納されるPCBレイアウト情報に基づいて、SSOノイズ解析用PCBモデル106を作成する。

10

【0045】

ステップS4において、SSOノイズ解析用LSIモデル102、SSOノイズ解析用PKGモデル104、及びSSOノイズ解析用PCBモデル106に基づいて、回路解析シミュレータを実行する。これにより、LSI内部の電源ノイズ情報、プリント基板上の電源ノイズの情報、及び各電源ピン電流波形情報等がSSOノイズ解析結果として出力される。

【0046】

図15は、回路シミュレータによる回路動作解析のフローチャートを示す図である。図15のフローチャートによる処理が図14のステップS4の処理に相当する。

20

【0047】

図15のステップS1で、回路定義ファイルを入力する。即ち各SSOノイズ解析モデルの回路を定義したファイルを入力し、回路網を定式化する。ステップS2で、ライブラリを入力する。即ち、SSOノイズ解析モデルにおいて使用しているライブラリを入力する。例えばSSOノイズ解析用LSIモデルにおいて、出力回路（信号駆動回路）についてライブラリに定義される情報を用いているのであれば、その情報を入力する。

【0048】

ステップS3で、DC動作点解析を実行し、時刻0での各端子の電圧及び電流を計算する。

【0049】

ステップS4で、過渡解析を実行する。即ち、前述のインダクタンス行列を含む行列微分方程式を解くことで、時刻0以降の各時刻での各端子の電圧及び電流を計算する。このインダクタンス行列の大きさは端子数に依存する。インダクタンス行列の非対角成分は相互インダクタンスに相当するので、例えば図11示す行列のように実効インダクタンスに相互インダクタンスを含めて非対角成分をゼロにすることにより、解析時間と収束性が共に向上する。

30

【0050】

ステップS5で、解析結果を出力する。即ち、各端子での電圧及び電流の時間変化を例えば波形データとして出力する。これにより、各端子での電圧及び電流がどの程度SSOノイズの影響を受けているのかを知ることができる。このようにして求められた解析結果データを用いて、電源ノイズについて問題がある箇所をチェックして設計修正することにより、設計段階で適切にSSOノイズに対応することが可能になる。

40

【0051】

図16は、SSOノイズ解析の精度比較を示す図である。図16の上段には、VDE電源端子（例えば図2の端子27）における電圧変化の波形を示す。横軸が時間を示し、縦軸が電圧を示す。電圧波形111が上述の実効インダクタンスを用いたモデルを用いたSSOノイズ解析結果であり、電圧波形112が自己インダクタンス及び相互インダクタンスをそのまま用いたモデルを用いたSSOノイズ解析結果である。また電圧波形113が、相互インダクタンスを無視して自己インダクタンスのみを用いたモデルを用いたSSOノイズ解析結果である。これらの波形から分かるように、相互インダクタンスを単純に無

50

視した場合の電圧波形 1 1 3 は、精密に計算した電圧波形 1 1 2 とはかなり異なっている。それに対して、相互インダクタンスを実効インダクタンスに組み込んだ場合の電圧波形 1 1 1 は、精密に計算した電圧波形 1 1 2 にかかなり近いものとなっている。特に波形部分 1 1 4 において、その効果が顕著に見られる。図 1 6 の下段には、V S S 電源端子（例えば図 2 の端子 2 8）における電圧変化の波形を示す。電圧波形 1 2 1 が実効インダクタンスを用いたモデルを用いた S S O ノイズ解析結果であり、電圧波形 1 2 2 が自己インダクタンス及び相互インダクタンスをそのまま用いたモデルを用いた S S O ノイズ解析結果である。また電圧波形 1 2 3 が、相互インダクタンスを無視して自己インダクタンスのみを用いたモデルを用いた S S O ノイズ解析結果である。波形部分 1 2 4 等において、相互インダクタンスを実効インダクタンスに組み込んだ場合の電圧波形 1 2 1 が、精密に計算した電圧波形 1 2 2 にかかなり近いものとなっていることが分かる。

10

【 0 0 5 2 】

図 1 7 は、S S O ノイズ解析の別の精度比較を示す図である。図 1 7 には、相手デバイスの受信端（例えば図 2 の端子 2 9）における電圧変化の波形を示す。横軸が時間を示し、縦軸が電圧を示す。電圧波形 1 3 1 が上述の実効インダクタンスを用いたモデルを用いた S S O ノイズ解析結果であり、電圧波形 1 3 2 が自己インダクタンス及び相互インダクタンスをそのまま用いたモデルを用いた S S O ノイズ解析結果である。また電圧波形 1 3 3 が、相互インダクタンスを無視して自己インダクタンスのみを用いたモデルを用いた S S O ノイズ解析結果である。これらの波形から分かるように、相互インダクタンスを単純に無視した場合の電圧波形 1 3 3 は、精密に計算した電圧波形 1 3 2 とはかなり異なっている。それに対して、相互インダクタンスを実効インダクタンスに組み込んだ場合の電圧波形 1 3 1 は、精密に計算した電圧波形 1 3 2 にかかなり近いものとなっている。特に波形部分 1 3 4 や 1 3 5 において、その効果が顕著に見られる。

20

【 0 0 5 3 】

図 1 8 は、パッケージのモデル化を含む S S O ノイズ解析処理を実行する装置の構成を示す図である。図 1 8 に示されるように、S S O ノイズ解析処理を実行する装置は、例えばパーソナルコンピュータやエンジニアリングワークステーション等のコンピュータにより実現される。図 1 8 の装置は、コンピュータ 5 1 0 と、コンピュータ 5 1 0 に接続されるディスプレイ装置 5 2 0、及び入力装置よりなる。入力装置は、例えばキーボード 5 2 1 及びマウス 5 2 2 を含む。コンピュータ 5 1 0 は、C P U 5 1 1、R A M 5 1 2、グラフィック処理装置 5 1 3、ハードディスク H D D 等の二次記憶装置 5 1 4、通信インターフェース 5 1 5、及び入力インターフェース 5 1 6 を含む。

30

【 0 0 5 4 】

キーボード 5 2 1 及びマウス 5 2 2 は、ユーザとのインターフェースを提供するものであり、コンピュータ 5 1 0 を操作するための各種コマンドや要求されたデータに対するユーザ応答等が入力される。ディスプレイ装置 5 2 0 は、コンピュータ 5 1 0 で処理された結果等を表示すると共に、コンピュータ 5 1 0 を操作する際にユーザとの対話を可能にするために様々なデータ表示を行う。グラフィック処理装置 5 1 3 は、ディスプレイ装置 5 2 0 へ表示する画像の描画処理等を実行する。通信インターフェース 5 1 5 は、ネットワーク 5 3 0 を介して遠隔地との通信を行なうためのものであり、例えばモデムやネットワークインターフェース等よりなる。

40

【 0 0 5 5 】

S S O ノイズ解析方法は、コンピュータ 5 1 0 が実行可能なコンピュータプログラムとして提供される。このコンピュータプログラムは、例えば通信インターフェース 5 1 5 を介して、R A M 5 1 2 或いは二次記憶装置 5 1 4 にロードされる。

【 0 0 5 6 】

キーボード 5 2 1 及び / 又はマウス 5 2 2 を介してユーザからプログラム実行指示があると、C P U 5 1 1 は、例えば、二次記憶装置 5 1 4 からプログラムを R A M 5 1 2 にロードする。C P U 5 1 1 は、R A M 5 1 2 の空き記憶空間をワークエリアとして使用して、R A M 5 1 2 にロードされたプログラムを実行し、適宜ユーザと対話しながら処理を進

50

める。このコンピュータプログラム実行により、コンピュータ 510 が、上記実施例で説明されたように S S O ノイズ解析方法を実行する。

【 0 0 5 7 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【 0 0 5 8 】

なお本願発明は、以下の内容を含むものである。

(付記 1)

複数の信号駆動回路と、前記複数の信号駆動回路に第 1 の電源電圧を供給する第 1 の配線と、前記複数の信号駆動回路に第 2 の電源電圧を供給する第 2 の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第 3 の配線とを含むモデルを用い、コンピュータにより回路シミュレータを実行して電源ノイズ解析を行なう方法であって、

レイアウト情報から前記第 1 乃至第 3 の配線の自己インダクタンス及び相互インダクタンスを抽出し、

前記信号の駆動時に流れる電流経路を特定し、

前記特定された電流経路の情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを合成することにより前記第 1 乃至第 3 の配線の各々の実効インダクタンスを求め、

前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する

各段階を含み、前記各段階をコンピュータにより実行することを特徴とする電源ノイズ解析方法。

(付記 2)

前記実効インダクタンスを求める段階は、

前記第 1 及び第 3 の配線に対して前記信号が立ち上がる場合の実効インダクタンスを求め、

前記第 2 及び第 3 の配線に対して前記信号が立ち下がる場合の実効インダクタンスを求め、

前記第 3 の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第 3 の配線の実効インダクタンスを求める

各段階を含み、前記回路シミュレータを実行する段階は、前記第 1 の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第 2 の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第 3 の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用いることを特徴とする付記 1 記載の電源ノイズ解析方法。

(付記 3)

前記第 3 の配線を第 1 のグループの配線と第 2 のグループの配線とに分ける段階を更に含み、前記実効インダクタンスを求める段階は、

前記第 1 のグループに対して前記第 1 乃至第 3 の配線の各々の実効インダクタンスを求め、

前記第 2 のグループに対して前記第 1 乃至第 3 の配線の各々の実効インダクタンスを求める

各段階を含むことを特徴とする付記 1 又は 2 記載の電源ノイズ解析方法。

(付記 4)

複数の信号駆動回路と、前記複数の信号駆動回路に第 1 の電源電圧を供給する第 1 の配線と、前記複数の信号駆動回路に第 2 の電源電圧を供給する第 2 の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第 3 の配線とを含むモデルを用い、コンピュータにより回路シミュレータを実行して電源ノイズ解析を行なうプログラムであって、

レイアウト情報から前記第 1 乃至第 3 の配線の自己インダクタンス及び相互インダクタ

10

20

30

40

50

ンスを抽出し、

前記信号の駆動時に流れる電流経路を特定し、

前記特定された電流経路の情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを合成することにより前記第1乃至第3の配線の各々の実効インダクタンスを求め、

前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する

各段階を含み、前記各段階をコンピュータに実行させることを特徴とする電源ノイズ解析プログラム。

(付記5)

前記実効インダクタンスを求める段階は、

前記第1及び第3の配線に対して前記信号が立ち上がる場合の実効インダクタンスを求め、

前記第2及び第3の配線に対して前記信号が立ち下がる場合の実効インダクタンスを求め、

前記第3の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第3の配線の実効インダクタンスを求める

各段階を含み、前記回路シミュレータを実行する段階は、前記第1の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第2の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第3の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用いることを特徴とする付記4記載の電圧ノイズ解析プログラム。

(付記6)

前記第3の配線を第1のグループの配線と第2のグループの配線とに分ける段階を更に含み、前記実効インダクタンスを求める段階は、

前記第1のグループに対して前記第1乃至第3の配線の各々の実効インダクタンスを求め、

前記第2のグループに対して前記第1乃至第3の配線の各々の実効インダクタンスを求める

各段階を含むことを特徴とする付記4又は5記載の電源ノイズ解析プログラム。

(付記7)

複数の信号駆動回路と、前記複数の信号駆動回路に第1の電源電圧を供給する第1の配線と、前記複数の信号駆動回路に第2の電源電圧を供給する第2の配線と、前記複数の信号駆動回路により駆動される信号を伝搬する複数の第3の配線とを含むモデルを用い、回路シミュレータを実行して電源ノイズ解析を行なう情報処理装置であって、

レイアウト情報とプログラムとを格納するメモリと、

処理ユニットと

を含み、前記処理ユニットは、前記プログラムを実行することにより、

前記レイアウト情報から前記第1乃至第3の配線の自己インダクタンス及び相互インダクタンスを抽出し、

前記信号の駆動時に流れる電流経路を特定し、

前記特定された電流経路の情報に基づいて前記自己インダクタンスと前記相互インダクタンスとを合成することにより前記第1乃至第3の配線の各々の実効インダクタンスを求め、

前記実効インダクタンスを含めた前記モデルを用いて回路シミュレータを実行する

各段階を実行することを特徴とする情報処理装置。

(付記8)

前記実効インダクタンスを求める段階は、

前記第1及び第3の配線に対して前記信号が立ち上がる場合の実効インダクタンスを求め、

10

20

30

40

50

前記第 2 及び第 3 の配線に対して前記信号が立ち下がる場合の実効インダクタンスを求め、

前記第 3 の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと前記信号が立ち下がる場合の実効インダクタンスとを合成して前記第 3 の配線の実効インダクタンスを求める

各段階を含み、前記回路シミュレータを実行する段階は、前記第 1 の配線に対して求めた前記信号が立ち上がる場合の実効インダクタンスと、前記第 2 の配線に対して求めた前記信号が立ち下がる場合の実効インダクタンスと、前記第 3 の配線の前記合成して求めた実効インダクタンスとを含めた前記モデルを用いることを特徴とする付記 7 記載の情報処理装置。

10

(付記 9)

前記処理ユニットは、前記第 3 の配線を第 1 のグループの配線と第 2 のグループの配線とに分ける段階を更に実行し、前記実効インダクタンスを求める段階は、

前記第 1 のグループに対して前記第 1 乃至第 3 の配線の各々の実効インダクタンスを求め、

前記第 2 のグループに対して前記第 1 乃至第 3 の配線の各々の実効インダクタンスを求める

各段階を含むことを特徴とする付記 7 又は 8 記載の情報処理装置。

【符号の説明】

【 0 0 5 9 】

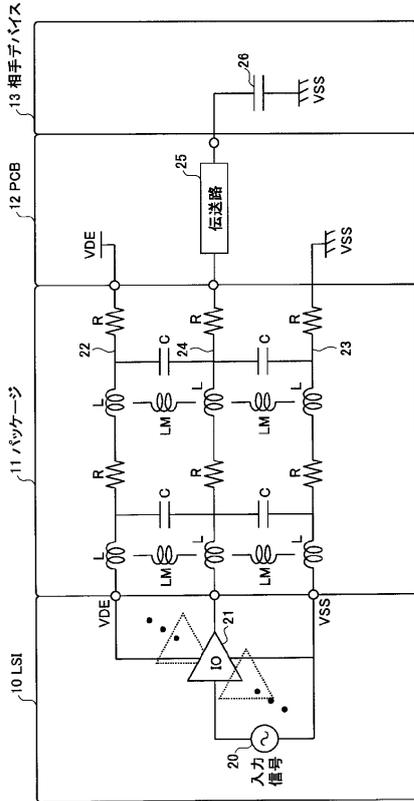
20

- 1 0 L S I 回路
- 1 1 パッケージ
- 1 2 P C B
- 1 3 相手デバイス
- 2 0 入力信号源
- 2 1 信号駆動回路
- 2 2 電源配線
- 2 3 電源配線
- 2 4 信号配線
- 2 5 伝送路
- 2 6 入力容量

30

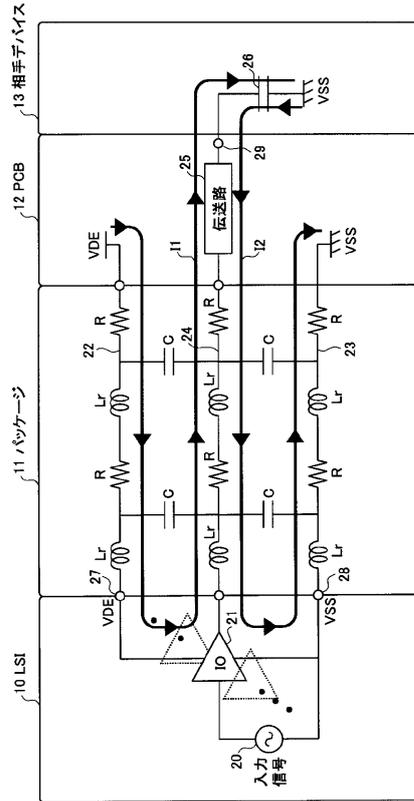
【図1】

SSOノイズ解析の対象となる回路システムのモデルの一例を示す図



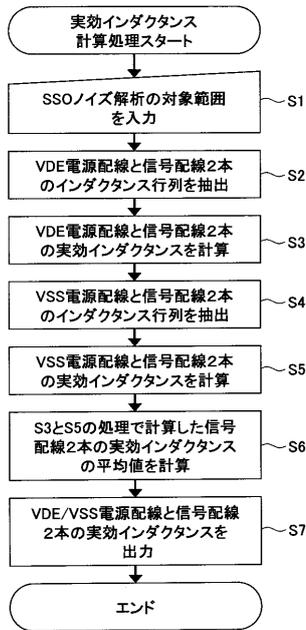
【図2】

SSOノイズ解析の対象となる回路システムのモデルの一例を示す図



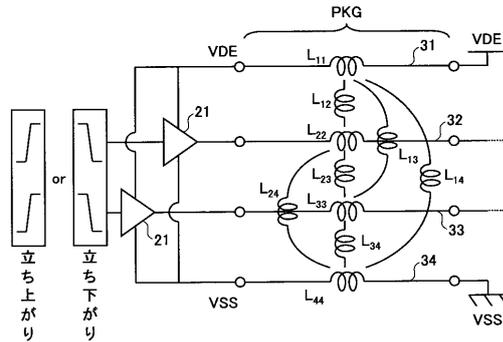
【図3】

実効インダクタンスを計算する処理の流れを示すフローチャート



【図4】

ノイズ解析の対象の回路を模式的に示す図



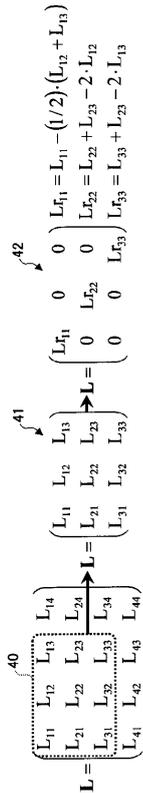
【図5】

4×4インダクタンス行列を示す図

$$L = \begin{pmatrix} L_{11} & L_{12} & L_{13} & L_{14} \\ L_{21} & L_{22} & L_{23} & L_{24} \\ L_{31} & L_{32} & L_{33} & L_{34} \\ L_{41} & L_{42} & L_{43} & L_{44} \end{pmatrix}$$

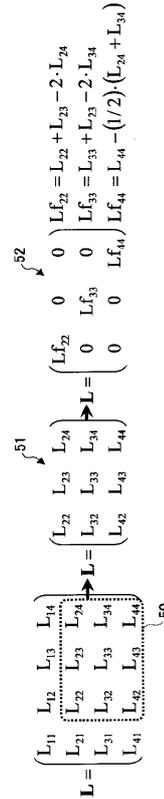
【図6】

インダクタンス行列の抽出を示す図



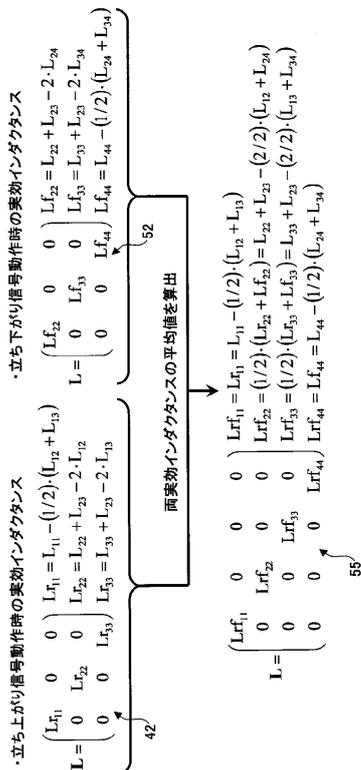
【図7】

インダクタンス行列の抽出を示す図



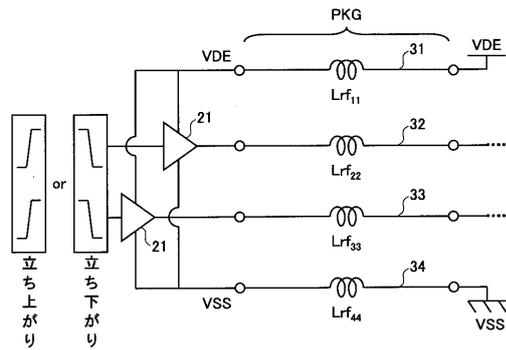
【図8】

信号立ち上がり時の実効インダクタンスと信号立ち下がり時の実効インダクタンスとの合成処理の一例を示す図



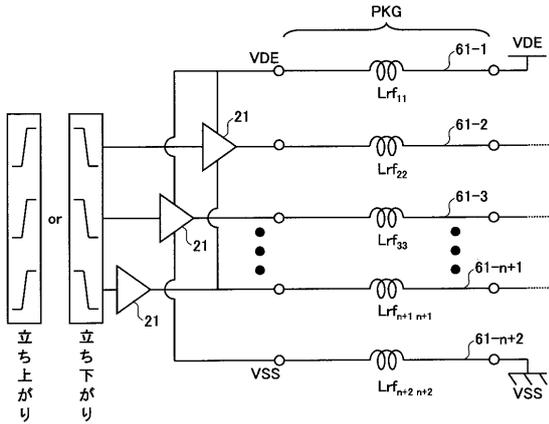
【図9】

実効インダクタンスでモデル化したノイズ解析の対象の回路を示す図



【図10】

信号配線の本数がn本の場合において
実効インダクタンスでモデル化したノイズ解析の対象の回路を示す図



【図12】

図11のインダクタンス行列Lの各対角要素の値を示す図

$$\begin{aligned}
 Lrf_{11} &= L_{11} - (1/n) \cdot (L_{12} + L_{13} + \dots + L_{1n+1}) \\
 Lrf_{22} &= L_{22} + L_{23} + \dots + L_{2n+1} - (n/2) \cdot (L_{12} + L_{2n+2}) \\
 Lrf_{33} &= L_{32} + L_{33} + \dots + L_{3n+1} - (n/2) \cdot (L_{13} + L_{3n+2}) \\
 Lrf_{n+1n+1} &= L_{n+12} + L_{n+13} + \dots + L_{n+1n+1} - (n/2) \cdot (L_{1n+1} + L_{n+1n+2}) \\
 Lrf_{n+2n+2} &= L_{n+2n+2} - (1/n) \cdot (L_{2n+2} + L_{3n+2} + \dots + L_{n+2n+2})
 \end{aligned}$$

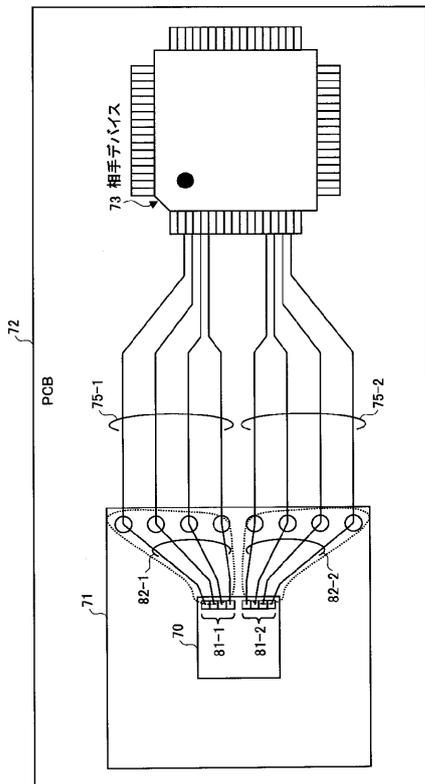
【図11】

信号配線の本数がn本の場合のインダクタンス行列Lを示す図

$$L = \begin{pmatrix}
 Lrf_{11} & 0 & 0 & \dots & 0 & 0 \\
 0 & Lrf_{11} & 0 & \dots & 0 & 0 \\
 0 & 0 & Lrf_{11} & \dots & 0 & 0 \\
 \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\
 0 & 0 & 0 & 0 & Lrf_{n+1n+1} & 0 \\
 0 & 0 & 0 & 0 & 0 & Lrf_{n+2n+2}
 \end{pmatrix}$$

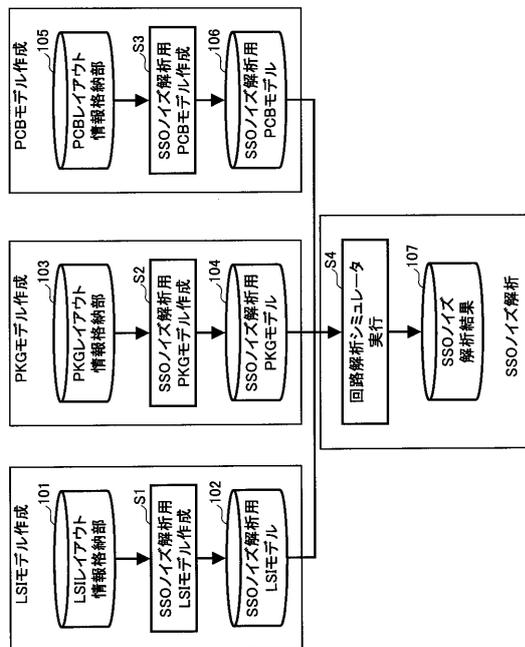
【図13】

信号配線を複数のグループに分けてモデル化する方法を説明するための図



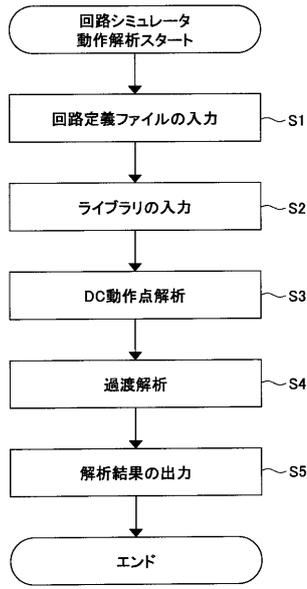
【図14】

SSOノイズ解析処理の全体の流れを示すフローチャート



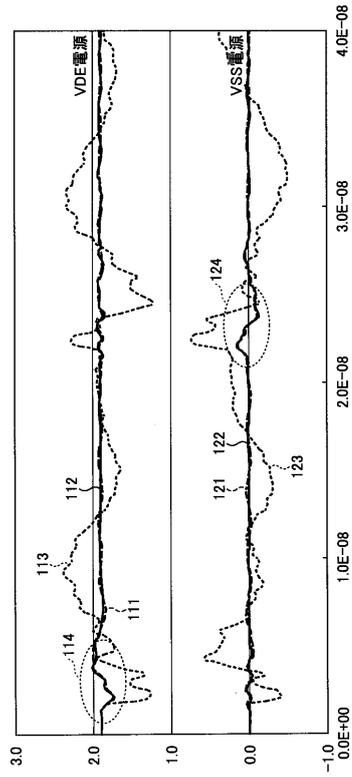
【図15】

回路シミュレータによる回路動作解析のフローチャートを示す図



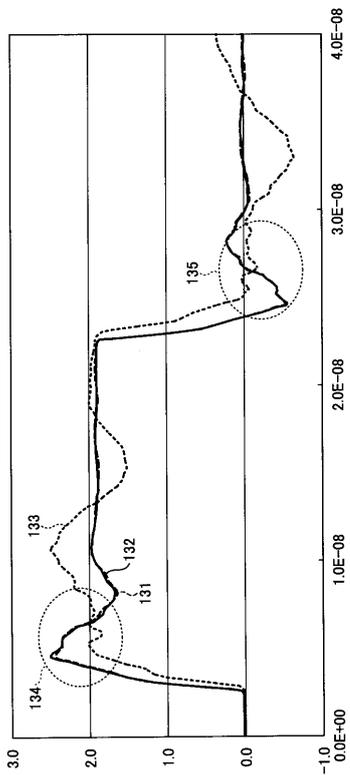
【図16】

SSOノイズ解析の精度比較を示す図



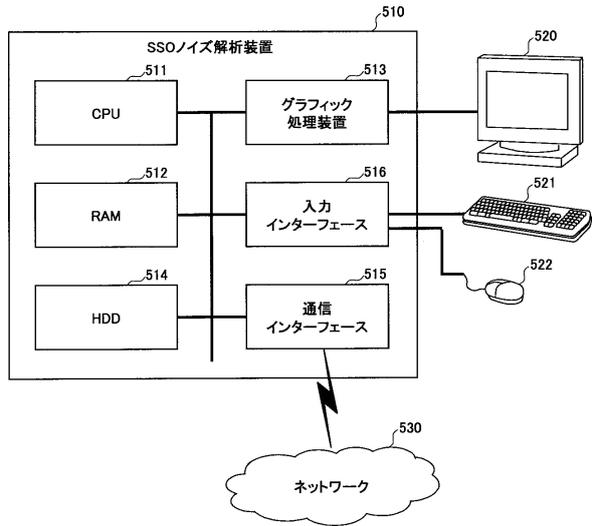
【図17】

SSOノイズ解析の別の精度比較を示す図



【図18】

SSOノイズ解析処理を実行する装置の構成を示す図



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 3/00 D

(56)参考文献 特開2006-031510(JP,A)
特開2001-060818(JP,A)
特開2001-175702(JP,A)
特開2008-251984(JP,A)
特開2008-097392(JP,A)
特開2003-157296(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 6 F 1 7 / 5 0
H 0 1 L 2 1 / 8 2
H 0 1 L 2 7 / 0 4
H 0 5 K 3 / 0 0
C i N i i
J S T P l u s (J D r e a m I I I)