(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 21/316

(45) 공고일자 2001년03월02일
(11) 등록번호 10-0281110
(24) 등록일자 2000년11월15일

(21) 출원번호 10-1997-0068703
(22) 출원일자 1997년12월15일
(65) 공개번호 특1999-0049708
(43) 공개일자 1999년07월05일

(73) 특허권자 현대반도체주식회사 김영환
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 강창용
충청북도 청주시 흥덕구 향정동 50번지
(74) 대리인 김용인, 강용복

심사관 : 신창우

(54) 반도체소자및그제조방법

요약

반도체소자 및 그 제조방법에 관한 것으로 특히, 에스오아이(SOI) 구조의 반도체기판이 플로팅(floating)되는 문제와 숏 채널 효과(short channel effect)를 개선하기에 적당한 반도체소자 및 그 제조방법에 관한 것이다. 이와 같은 본 발명 반도체소자는 트랜치를 갖는 반도체기판, 상기 반도체기판 전면에 형성된 제 1 절연막, 상기 트랜치내의 상기 제 1 절연막 위에 형성된 제 1 반도체층, 상기 제 1 반도체층 양측의 상기 제 1 절연막상에 형성된 제 2 절연막, 상기 제 2 절연막상에 형성된 제 2 반도체층, 상기 제 1, 제 2 반도체층 표면 및 제 2 절연막 표면에 형성된 제 3 반도체층, 상기 트랜치 상측의 상기 제 3 반도체층상에 형성된 제 3 절연막, 그리고 상기 제 3 절연막위에 형성된 전도층을 포함한다.

대표도

도3

명세서

도면의 간단한 설명

도 1a는 종래 일 에스오아이 구조 반도체소자의 채널 길이 방향에 따른 단면 구조도

도 1b는 종래 일 에스오아이 구조 반도체소자의 폭 방향에 따른 단면 구조도

도 2는 종래 다른 에스오아이 구조의 반도체소자 단면 구조도

도 3은 본 발명 에스오아이 구조의 반도체소자 단면 구조도

도 4a 내지 도 4i는 본 발명 에스오아이 구조의 반도체소자 제조공정 단면도들

도면의 주요부분에 대한 부호의 설명

31 : 반도체기판 32 : 제 1 절연막

33 : 웰 영역 34 : 에피층

35 : 제 2 절연막 36 : 제 3 절연막

37 : 전도층 37a : 게이트 전극

38 : 소오스/드레인 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체소자 및 그 제조방법에 관한 것으로 특히, 에스오아이(SOI : Silicon On Insulator) 구조의 기판이 플로팅되는 문제와 숏 채널 효과를 개선하기에 적당한 반도체소자 및 그 제조방법에 관한 것이다.

모스(MOS : Metal Oxide Semiconductor) 기술은 실리콘 반도체 표면을 양질의 절연특성을 가진 실리콘 산

화막으로 처리하는 것으로서 트랜지스터의 특성 및 제조방법에 혁신적인 개량을 가져온 기술이다.

이와 같은, 모스(MOS) 기술의 발명으로 반도체 표면 디바이스의 실용화에 박차가 가해져서 1962년 텍사스 인스트루먼트(texas instruments)사에서 최초의 전계효과 트랜지스터(FET : Field Effect Transistor)가 발표되었다.

이러한 모스펫(MOSFET) 소자로는 피모스(p channel MOS), 엔모스(n channel MOS) 그리고 씨모스(CMOS)가 있다. 모스소자는 초기에는 소비전력 및 집적회로 제조시 프로세스 콘트롤이 비교적 용이한 피모스(pMOS) 소자를 주로 사용하였으나 소자의 스피드를 중요시하게 됨에 따라 캐리어의 이동도(mobility)가 정공의 이동도(mobility) 보다 약 2.5배 정도 빠른 이동도(mobility)를 갖고 있는 전자를 이용하는 엔모스(nMOS) 소자를 이용하게 되었다. 그리고 씨모스(CMOS) 소자는 집적밀도와 제조 프로세스가 복잡하다는 점에서는 피모스(pMOS)나 엔모스(nMOS) 소자 보다는 떨어지지만 소비전력이 아주 적다는 특징이 있다. 현재는 소자의 메모리부는 엔모스를 사용하고 주변회로부에서는 씨모스를 사용하는 방식으로 바뀌고 있다.

그리고 이와 같은 씨모스는 반도체 소자의 구성이 반도체기판내에서 시작되는 벌크(Bulk)씨모스와 절연층상에 실리콘(Si) 단결정 박막을 형성하고 그위에 반도체 소자를 형성하는 에스오아이(SOI : Silicon On Insulator) 씨모스로 구분된다.

상기 SOI 구조는 기판에 관계되는 일체의 용량이나 기생효과(寄生效果)를 무시할 수 있어 소자 분리구조에서 나타나는 래치 업(latch up) 현상이나 소프트에러(soft error) 현상이 없는 씨모스(CMOS : Complementary Metal Oxide Semiconductor) 회로를 구성할 수 있는 잇점이 있다.

SOI를 기술적인 면에서 분류하면 사파이어(Sapphire) 등의 단결정 절연층상에 단결정을 성장시키는 에피택셜 성장법과 절연막인 산화막상에 다결정 또는 비정질 실리콘 박막을 퇴적(deposition)하고 이 실리콘 박막을 가로방향으로 용융 재결정시키거나 또는 고상성장(solid phase epitaxy)시키는 퇴적막 재결정화법 및 반도체기판중에 산화막 등의 절연층을 매입(buried)하는 단결정 분리법 등이 있다. 그중에서 에피택셜 퇴적법은 SOS(Silicon On Sapphire)가 대표적이다. 그리고, 퇴적막 재결정화법중 용융 재결정화법은 산화막 상에 CVD법 등에 따라 퇴적한 다결정 실리콘 박막의 일부를 레이저 빔이나 전자 빔 등의 에너지 빔으로 가열, 용융하고 그 용융영역을 웨이퍼 상에서 재결정화하여 단결정 박막을 얻는 방법이며, 고상(固相)성장법은 기판상에서 절연막의 여러 결정영역에 비정질 실리콘막을 퇴적하고 어닐링하여 에피택셜 성장시키는 방법이다. 마지막으로 단결정 분리법은 단결정 실리콘 기판 중에 산소이온 또는 질소이온을 이온주입하여 표면층의 단결정 실리콘층을 남기고 내부에 산화막층 또는 질화막층을 매입(buried)하여 SOI 구조로 이용하는 방법이다. 특히 산소이온을 이온 주입하는 방식을 SIMOX(Separation by IMplanted OXygen)라고 한다.

이와 같이 완전한 분리 구조를 갖는 SOI 구조는 여러잇점이 있는데 특히 SOI 씨모스는 벌크 씨모스에 비해 저소비전력, 고집적도, 내(耐)소프트에러, 내(耐)래치-업, 고속동작이라고 하는 점에서 우수하다.

이와 같은 종래 에스오아이 구조의 반도체소자를 첨부된 도면을 참조하여 설명하기로 한다.

도 1a는 종래 일 에스오아이 구조 반도체소자의 채널 길이에 따른 단면 구조도이고, 도 1b는 종래 일 에스오아이 구조 반도체소자의 폭 방향에 따른 단면 구조도이다.

종래 SOI 구조의 반도체소자는 도 1a 및 도 1b에 나타낸 바와 같이, 반도체기판(1)과, 상기 반도체기판(1)의 표면에서는 활성영역을 제외한 반도체 기판(1)에 형성되며, 반도체기판(1)내에서는 바디 콘택 영역(body contact region)(A)을 제외한 영역에 형성된 매몰 산화막(2)과, 상기 반도체기판(1)의 소정영역상에 게이트 산화막(3)을 개재하여 형성된 게이트 전극(4)과, 상기 게이트 전극(4)양측의 반도체기판(1)에 형성된 소오스/드레인 영역(5)을 포함하여 구성된다.

이와 같은 종래 일 에스오아이 구조의 반도체소자는 SIMOX(Separation by IMplanted OXygen)방식에 의한 모스 트랜지스터(MOSFET)를 형성한 것으로 반도체기판(1) 내에 산소 이온 또는 질소 이온을 주입하여 반도체기판(1)표면의 단결정 실리콘층은 그대로 남기고 기판내에 산화막이나 질화막을 매입(buried)하는 것이 특징이다.

이때, 종래 일 에스오아이 구조의 반도체소자는 마스크(도시하지 않음)를 이용하여 선택적으로 기판에 산소이온을 주입하는 것으로, 산소이온이 주입되지 않은 기판의 벌크(bulk)에는 열처리후에도 매몰 산화막(2)이 형성되지 않게 되고 그 부분을 바디 콘택 영역(A)으로 이용하는 것이다.

이와 같은 바디 콘택 영역(A)을 형성하는 이유를 이하에서 설명하기로 한다.

게이트 전극(4)에 전압을 인가하면 소오스/드레인 영역(5)사이의 채널 영역을 통해 캐리어가 드레인 부근의 고전계에 의해 가속되고 그 에너지가 기판과 게이트 산화막의 베리어를 초과하면 핫 캐리어로 되어 게이트 산화막내로 주입되게 된다. 이때, 주입되는 일렉트론을 채널 핫 일렉트론이라 한다. 또, 고전계중에서 충분히 큰 에너지를 얻은 캐리어는 충돌 이온화(impact ionization)에 따라 새로운 전자, 정공(hole)을 생성하고, 새로이 발생한 전자는 드레인의 전계에 따라 대부분 드레인에 흡입되지만 일부는 에버런치(avalanch) 핫 일렉트론이 되어 게이트 산화막내에 주입된다. 한편, 홀은 기판내를 흘러 기판전류로 되지만 일부는 게이트 산화막으로도 주입된다.

한편, 홀에 의해 생성된 기판전류는 기판전위를 올리면 이른바, 기생 바이폴러 브레이크 다운을 일으켜 드레인 내압을 저하시킨다.

이와 같은 문제를 해결하기 위하여 종래 일 SOI 구조 반도체소자에 있어서는 드레인 영역부근에서의 충돌 이온화에 의해 발생한 홀들을 바디 콘택 영역을 통해 제거하므로 SOI 구조의 반도체소자가 플로팅되는 문제를 방지하였다.

이때, 상기한 바와 같이 기판이 플로팅 되는 것을 플로팅 바디 이펙트라고 하는데 상기한 바와 같은 플로팅 바디 이펙트로는 문턱전압이 변하거나 전류-전압 커브가 비정상적으로 되는 등의 문제를 발생시키게

된다. 그리고, 그와 같은 문제는 PMOS 보다는 NMOS에서 심각한 문제인데 그 이유는 소자 동작중이나 α-입자(alpha particle) 등에 의해 바디(채널 영역이나 반도체기판)에 발생한 홀들이 바디에 축적되기 때문에 발생한다.

도 2는 종래 다른 에스오아이 구조의 반도체소자 단면 구조도이다.

종래 다른 에스오아이 구조의 반도체소자는 도 2에 나타낸 바와 같이, p형 실리콘기판의 벌크에 형성된 매몰 산화막(12)으로 하부 및 상부 반도체기판(13)(11)으로 분리된 SOI 구조의 기판과, 상기 상부 반도체기판(13)에 다른 간격으로 형성된 제 1 트랜치(14)와, 상기 제 1 트랜치(14) 사이의 상부 반도체기판(13)중 넓은 영역의 상부 반도체기판(13)에 형성된 제 2 트랜치(15)와, 상기 제 1 트랜치(14)내에 형성된 절연막(16)과, 상기 제 2 트랜치(15) 및 제 2 트랜치(15)에 인접한 p형 반도체기판(13)상에 게이트 산화막(17)을 개재하여 형성된 게이트 전극(18)과, 상기 게이트 전극(18) 양측의 상부 반도체기판(13)에 형성된 n형 소오스/드레인 영역(19)과, 상기 소오스/드레인 영역(19) 일측의 제 1 트랜치(14)에 접한 p형 반도체기판(13)에 형성된 바디 콘택 영역(20)을 포함한다.

이때, 상기한 바와 같은 구조의 모스소자는 일명 코스모스(COSMOS : COncave SOI -MOSFET)구조라고 하는 것으로 p형 반도체기판(13)을 식각하여 다른 깊이 및 다른 간격으로 제 1, 제 2 트랜치(14)(15)를 형성한 후 트랜치(14)(15)가 형성되지 않은 p형 반도체기판(13)의 두꺼운 영역은 소오스/드레인 영역(19) 및 바디 콘택 영역(20)으로 사용하고, 얇은 영역은 채널영역으로 이용하는 것이다.

이와 같은 종래 다른 에스오아이 구조의 반도체소자는 게이트 전극(18)에 문턱전압(V_T)이상의 전압이 인가되면, 소오스/드레인 영역(19)사이의 채널을 통해 일렉트론이 이동하여 드레인에서 소오스로 전류가 흐르게 된다. 그리고, 이때 발생한 홀들(hiles)은 매몰 산화막(12) 때문에 기판(11)으로 흐르지 못하기 때문에 그와 같은 홀들이 바디 콘택 영역(20)을 통해 제거되므로 기판이 플로팅 되는 문제를 제거할 수 있고, 그 구조적 특징 때문에 숏 채널 효과(short channel) 및 기생 소오스/드레인 저항 억제와 문턱전압의 신뢰도를 향상시킬 수 있는 것이다.

발명이 이루고자 하는 기술적 과제

종래 에스오아이 구조 반도체소자에 있어서는 다음과 같은 문제점이 있었다.

첫째, 종래 일 에스오아이 구조 반도체소자에 있어서는 바디 콘택 영역을 형성하기 위하여 매몰 산화막을 형성할 때 선택적인 이온 주입공정을 사용하게 되는데 이때, 국부적으로 산화막이 형성되기 때문에 산화막이 형성되는 부분에서의 체적(volume) 증가로 인한 스트레스가 매몰 산화막이 형성되는 부분과 바디 콘택 영역에서 집중되어 누설 전류의 발생원인이 되는 등 소자 특성을 저하시키는 문제를 발생시켰다.

둘째, 종래 다른 에스오아이 구조 반도체소자에 있어서는 게이트 전극을 형성하는 공정이 기판을 식각한 다음 형성하므로 숏 채널 효과를 억제할 수는 있지만, SOI 구조로 형성하는 상부기판(p형 반도체기판)에 게이트 전극을 형성할 영역과 격리막을 형성할 영역을 구분하고 식각깊이를 정확히 조절해야 하는 문제점과, 격리영역을 형성하기 위한 트랜치 식각공정시 트랜치 깊이를 적절히 조절해야 하며, 바디 콘택 영역 및 소오스/드레인 영역을 형성하기 위하여 트랜치간의 거리를 넓은 영역과 좁은 영역으로 구분해서 형성하므로 공정이 복잡함은 물론 홀들이 이동할 수 있도록 하기 위하여 트랜치가 매몰 산화막까지 형성되지 못하므로 완전한 격리효과를 얻을 수 없어 반도체소자의 신뢰도 또한 저하되었다.

본 발명은 상기한 바와 같은 종래 에스오아이 구조 반도체소자의 문제점들을 해결하기 위하여 안출한 것으로 오목한(concave)구조를 갖는 에스오아이 기판에 게이트 전극을 형성하여 반도체소자가 미세화하기 때문에 발생하는 숏 채널 효과를 개선함과 동시에 기판이 플로팅되는 문제를 방지할 수 있는 반도체소자 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 반도체소자는 트랜치를 갖는 반도체기판, 상기 반도체기판 전면에 형성된 제 1 절연막, 상기 트랜치내의 상기 제 1 절연막 위에 형성된 제 1 반도체층, 상기 제 1 반도체층 양측의 싱기 제 1 절연막상에 형성된 제 2 절연막, 상기 제 2 절연막상에 형성된 제 2 반도체층, 상기 제 1, 제 2 반도체층 표면 및 제 2 절연막 표면에 형성된 제 3 반도체층, 상기 트랜치 상측의 상기 제 3 반도체층상에 형성된 제 3 절연막, 그리고 상기 제 3 절연막위에 형성된 전도층을 포함한다. 그리고, 상기한 바와 같은 반도체소자의 제조방법은 반도체기판을 준비하는 단계, 상기 반도체기판의 벌크에 제 1 절연막을 형성하여 상하부 반도체기판으로 분리하는 단계, 채널영역을 정의하여 상기 채널영역의 상기 상부 반도체기판 및 제 1 절연막을 선택적으로 제거하는 단계, 상기 상부 반도체기판 및 채널영역의 상기 하부 반도체기판에 제 1 도전형 웰 영역을 형성하는 단계, 상기 채널영역의 상기 하부 반도체기판 표면을 포함한 상기 제 1 절연막과 상부 반도체기판의 표면에 에피층을 형성하는 단계, 상기 하부 반도체기판 전면에 불순물 이온을 주입하여 상기 하부 반도체기판내에 제 2 절연막을 형성하는 단계, 상기 채널영역 상측의 상기 에피층상에 제 3 절연막을 형성하는 단계, 상기 제 3 절연막상에 전도층을 형성하는 단계, 그리고 상기 전도층 양측의 상기 에피층 및 상부 반도체기판의 상기 제 1 도전형 불순물 영역에 제 2 도전형 불순물 영역을 형성하는 단계를 포함한다.

이와 같은, 본 발명 반도체소자 및 그 제조방법을 첨부된 도면을 참조하여 설명하기로 한다.

도 3은 본 발명 에스오아이 구조의 반도체소자 단면 구조도이다.

도 3은 본 발명 에스오아이 구조의 반도체소자 단면 구조도이다.

본 발명에 따른 에스오아이 구조의 반도체소자는 하부 반도체기판(31b)의 표면이 소정부분 노출되도록 하부 반도체기판(31b)상에 차례로 형성된 제 1 절연막(32) 및 상부 반도체기판(31a)과, 상기 노출된 상부 반도체기판(31a) 및 하부 반도체기판(31b)의 표면내에 형성되는 웰 영역(33)과, 상기 웰 영역(33)을 포함한 상기 하부 반도체기판(31b)의 전면에 형성되는 에피층(34)과, 상기 하부 반도체기판(31b)의 표면내에

형성되는 제 2 절연막(35)과, 상기 웰 영역(33) 상부의 에피층(34)상에 형성되는 제 3 절연막(36)과, 상기 제 3 절연막(36)상에 형성되는 게이트 전극(37a)과, 상기 게이트 전극(37a) 양측의 에피층(34)과 상부 반도체기판(31a)에 형성되는 소오스/드레인 영역(38)을 포함하여 구성된다.

이때, 상기 제 1, 제 2 절연막(32)(35)은 산화막과 질화막중 어느 하나로 형성되며, 상기 웰 영역(33)과 상부 반도체기판(31a)은 단결정 실리콘층이고, 상기 게이트 전극(37a) 양측 하부에 위치한 에피층(34)과 상부 반도체기판(31a)에는 동일 도전형의 불순물 이온이 도프트되어 소오스/드레인 영역(38)이 되고, 상기 게이트 전극(37a)의 하부 반도체기판(31b) 표면내에 형성된 웰 영역(33)은 소오스/드레인 영역(38)에 도프트된 불순물 이온과 반대도전형의 불순물 이온이 도프트된 층이다. 이때, 상기 게이트 전극(37a) 하부에 위치한 에피층(34)은 불순물 이온이 도프트되지 않은 언도프트 실리콘층으로 형성할 수 있다. 그리고, 상기 웰 영역(33)과 수직한 부분에 상기 웰 영역(33)과 콘택되는 바디 콘택 영역(도시하지 않음)이 더 형성된다.

도 4a 내지 도 4i는 본 발명 에스오아이 구조 반도체소자의 제조공정을 보여주는 단면도들이다.

먼저, 도 4a에 나타낸 바와 같이, 반도체기판(31)의 벌크(bulk)에 통상의 SIMOX(Separation by IMplanted OXygen)공정으로 산소이온을 주입한 다음 열처리하여 제 1 매몰 산화막인 제 1 절연막(32)을 형성한다. 이때, 상기 반도체기판(31)은 상부 및 하부 반도체기판(31a)(31b)으로 분리된다. 그리고, 상기 제 1 절연막(32)을 형성할 때 SIMOX법을 이용한 제 1 매몰 산화막 대신 질소이온을 주입한 후 열처리하여 매몰 질화막을 형성할 수 있다.

도 4b에 나타낸 바와 같이, 상기 상부 반도체기판(31a)상에 감광막(PR_{31})을 도포한다음 노광 및 현상공정으로 채널영역을 정의하여 채널영역의 감광막(PR_{31})이 제거되도록 선택적으로 패터닝한다. 이어서, 패터닝된 상기 감광막(PR_{31})을 마스크로 이용한 식각공정으로 채널영역의 상기 상부 반도체기판(31a) 및 제 1 절연막(32)을 선택적으로 제거한다.

도 4c에 나타낸 바와 같이, 상기 감광막(PR_{31})을 제거한다. 이어서, 상기 상부 반도체기판(31a) 및 노출된 하부 반도체기판(31b)에 불순물 이온을 주입하여 웰 영역(33)을 형성한다. 즉, 상부 반도체기판(31a)의 전도도를 향상하기 위하여 n형이나 p형중 어느 하나의 불순물 이온을 주입하여 웰 영역(33)을 형성하는 것이다.

도 4d에 나타낸 바와 같이, 상기 웰 영역(33)과, 하부 반도체기판(31b) 표면 및 제 1 절연막(32)의 측면에 에피층(epitaxial layer)(34)을 형성한다. 이때, 상기 에피층(34)은 SEG(Selective Epitaxial Growth)를 이용하여 균일한 두께로 형성하는데 그에 따라 웰 영역(33)과 제 1 절연막(32)사이에서 오목한(concave) 형상으로 형성된다.

그리고, 상기 에피층(34)을 성장시킬 때 문턱전압을 조절하기 위한 불순물 이온을 도핑하는 공정을 실시한다. 즉, 상기 제 1 절연막(32)사이의 에피층(34)은 채널영역으로 그 상측으로는 게이트 전극(도시하지 않음)이 형성된다. 그리고, 상기 에피층(34)에 대한 불순물 이온 도핑 공정은 인-시투(in-situ)도핑 혹은 고상확산(SPD : Solid Phase Diffusion) 또는 이온 주입공정 중 어느 하나로 실시한다.

도 4e에 나타낸 바와 같이, 상기 하부 반도체기판(31b)에 이온 주입법으로 산소 이온을 주입한다. 이때, 이온 주입 에너지는 전면에 걸쳐서 동일한 에너지로 주입되는데 상기 제 1 절연막(32)사이의 하부 반도체기판(31b)에서는 웰 영역(33)에 인접한 하부 반도체기판(31b)에 주입하고, 제 1 절연막(32)의 하측면에서도 제 1 절연막(32)에 인접한 하부 반도체기판(31b)에 주입되도록 한다. 이때, 산소 이온대신 질소 이온을 주입할 수 있다. 그리고, 상기 산소 또는 질소 이온의 도즈(dose)는 $10^{15} \sim 10^{17}/cm^2$정도이다.

도 4f에 나타낸 바와 같이, 상기 하부 반도체기판(31b)에 주입된 산소 이온을 열처리하여 제 2 매몰 산화막인 제 2 절연막(35)을 형성한다. 이때, 상기 반도체기판(31) 전면에 대한 산소 이온 주입 공정시의 이온 주입 에너지는 동일하였으므로 제 2 절연막(35)의 형상이 제 1 절연막(32) 사이의 하부 반도체기판(31b)에 홈(groove)(또는 트랜치(trench))이 생긴 것과 같은 형상으로 형성된다.

이때, 상기 제 1 절연막(32)아래에 형성되는 제 2 절연막(35)은 제 1 절연막(32)과 접하여 형성된다. 결국, 이때, 상기 하부 반도체기판(31b)이 제 2 절연막(35)에 의해 웰 영역(33)과 완벽하게 격리됨을 알 수 있다. 그리고, 질소 이온을 주입하였을 경우에는 상기 제 2 절연막(35)이 매몰 산화막이 아닌 매몰 질화막이 형성될 것이다.

도 4g에 나타낸 바와 같이, 상기 에피층(34) 전면에 제 3 절연막(36)과 전도층(37)을 차례로 형성하고 상기 전도층(37)상에 감광막(PR_{32})을 도포한다. 이어서, 노광 및 현상공정으로 상기 감광막(PR)을 선택적으로 패터닝하여 상기 제 1 절연막(32)사이에만 남긴다.

도 4h에 나타낸 바와 같이, 상기 감광막(PR_{32})을 마스크로 이용한 식각공정으로 상기 전도층(37)을 선택적으로 식각하여 게이트 전극(37a)을 형성한다. 이어서, 상기 감광막(PR_{32})을 제거한다.

도 4i에 나타낸 바와 같이, 상기 게이트 전극(37a)을 마스크로 이용하여 상기 게이트 전극(37a) 양측의 에피층(34) 및 상부 반도체기판(31a)에 상기 하부 반도체기판(31b)에 형성된 웰 영역(33)과 반대 도전형의 불순물 이온을 주입한후 열처리하여 소오스/드레인 영역(38)을 형성한다. 이때, 저농도 불순물 이온과 고농도 불순물 이온을 차례로 주입하여 LDD(Lightly Doped Drain)구조의 소오스/드레인 영역(38)으로 형성할 수 있다.

즉, 저농도의 불순물 이온을 에피층(34) 및 상부 반도체기판(31a)에 소정깊이로 주입한 후 상기 저농도 불순물 이온보다 얕은 깊이로 고농도의 불순물 이온을 주입하여 소오스/드레인 영역을 LDD구조로 형성하는 것이다.

그리고, 상기 게이트 전극(37a) 하부에 위치한 웰 영역(33)과 콘택되는 바디 콘택 영역(도시하지 않음)을

형성하는 공정을 추가한다. 이때, 상기 바디 콘택 영역은 상기 웰 영역(33)에 수직한 방향으로 형성된다.

이때, 상기 게이트 전극(37a) 하부의 웰 영역(33)은 상기 게이트 전극(37a)에 문턱전압이상의 전압이 인가되어 소오스/드레인 영역(38)사이의 채널영역을 통해 소오스에서 드레인으로 전자가 이동할 때 발생되는 홀(hole)들이 제 2 절연막(35) 때문에 하부 반도체기판(31b)으로 흐르지 못하도록 하고, 상기 웰 영역(33)의 일측에 형성되는 바디 콘택 영역(도시하지 않음)을 통해 제거되도록 하여 기판이 플로팅되는 것을 방지하도록 한 것이다.

이와 같은 본 발명 에스오아이 구조의 반도체소자 제조방법에 있어서는 상기한 바와 같은 방법을 사용하여 NMOS나 PMOS는 물론 CMOS 소자를 형성할 때 기판이 플로팅되는 문제없이 형성할 수 있다.

발명의 효과

본 발명에 따른 반도체소자 및 그 제조방법에 있어서는 다음과 같은 효과가 있다.

첫째, 제 2 매몰 산화막에 의해 하부 반도체기판과 소자가 형성되는 웰 영역이나 에피층이 완벽하게 분리되어 래치-업 발생을 제거한 CMOS 소자를 제공할 수 있음은 물론 게이트 전극 하부의 웰 영역을 통해 홀들을 제거하므로 기판에 국부적으로 매몰 산화막이 형성되기 때문에 발생하는 기판 스트레스 문제와 플로팅되는 문제를 해결할 수 있다.

둘째, 수직한 구조를 갖는 게이트 전극을 형성하여 숏 채널 효과를 감소시킨 게이트 전극을 형성할 수 있으며, 홀들이 이동하는 영역이 제 2 매몰 산화막으로 둘러싸여 완벽한 격리효과를 제공할 수 있어 반도체소자의 신뢰도를 향상시킬 수 있다.

셋째, 게이트 전극을 형성할 때 특별히 식각깊이를 조절할 필요가 없이 식각공정을 진행하므로 식각깊이를 조절해야 하는 문제없이 단순한 공정으로 반도체소자를 제조할 수 있다.

(57) 청구의 범위

청구항 1

트랜치를 갖는 반도체기판;

상기 반도체기판 전면에 형성된 제 1 절연막;

상기 트랜치내의 제 1 절연막 위에 형성된 제 1 반도체층;

상기 제 1 반도체층 양측의 제 1 절연막상에 형성된 제 2 절연막;

상기 제 2 절연막상에 형성된 제 2 반도체층;

상기 제 1, 제 2 반도체층 표면 및 제 2 절연막 표면에 형성된 제 3 반도체층;

상기 트랜치 상측의 상기 제 3 반도체층상에 형성된 제 3 절연막; 그리고,

상기 제 3 절연막위에 형성된 전도층을 포함하여 구성됨을 특징으로 하는 반도체소자.

청구항 2

제 1 항에 있어서, 상기 제 1 반도체층과 콘택되는 바디 콘택 영역이 더 형성됨을 특징으로 하는 반도체소자.

청구항 3

제 1 항에 있어서, 상기 전도층 양측에 위치한 제 2, 제 3 반도체층은 동일 도전형의 불순물 이온이 도프트된 것을 특징으로 하는 반도체소자.

청구항 4

제 1 항에 있어서, 상기 전도층 하부에 위치한 제 1 반도체층에는 상기 전도층 양측에 위치한 제 2, 제 3 반도체층에 도핑된 불순물 이온과 반대도전형의 불순물 이온이 도프트된 것을 특징으로 하는 반도체소자.

청구항 5

반도체기판을 준비하는 단계;

상기 반도체기판의 벌크에 제 1 절연막을 형성하여 상하부 반도체기판으로 분리하는 단계;

채널영역을 정의하여 상기 채널영역의 상기 상부 반도체기판 및 제 1 절연막을 선택적으로 제거하는 단계;

상기 상부 반도체기판 및 채널영역의 상기 하부 반도체기판에 제 1 도전형 웰 영역을 형성하는 단계;

상기 채널영역의 상기 하부 반도체기판 표면을 포함한 상기 제 1 절연막과 상부 반도체기판의 표면에 에피층을 형성하는 단계;

상기 하부 반도체기판 전면에 불순물 이온을 주입 및 열처리하여 상기 하부 반도체기판내에 제 2 절연막을 형성하는 단계;

상기 채널영역 상측의 상기 에피층상에 제 3 절연막을 형성하는 단계;

상기 제 3 절연막상에 전도층을 형성하는 단계; 그리고,

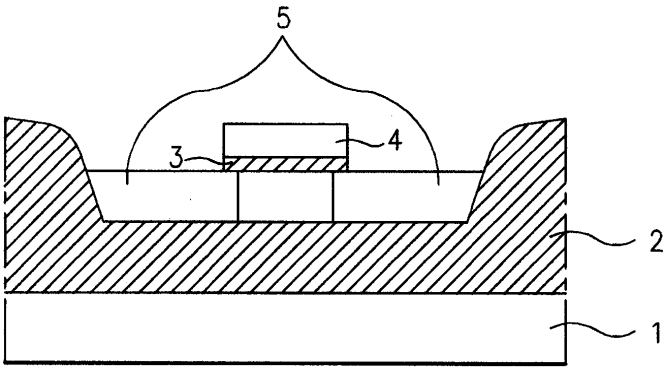
상기 전도층 양측의 상기 에피층 및 상부 반도체기판의 상기 제 1 도전형 웰영역에 제 2 도전형 불순물 영역을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 6

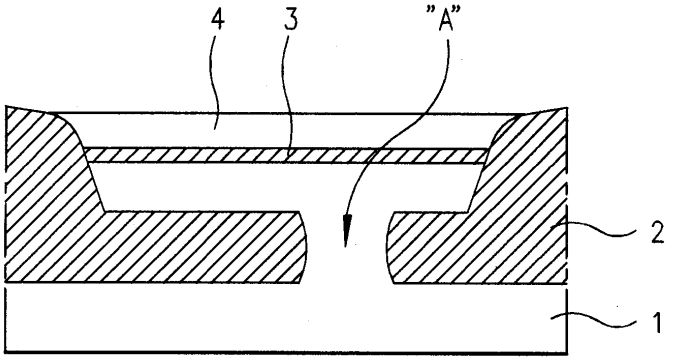
제 5 항에 있어서, 상기 에피층은 균일한 두께로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

도면

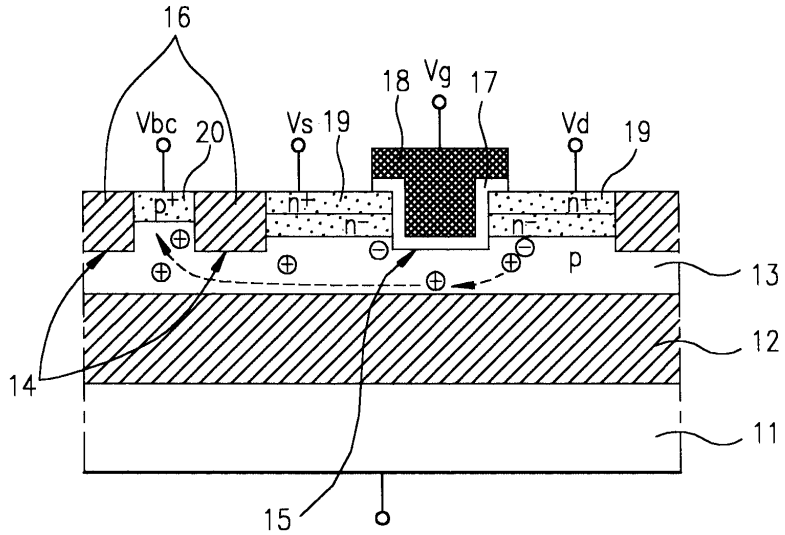
도면1a



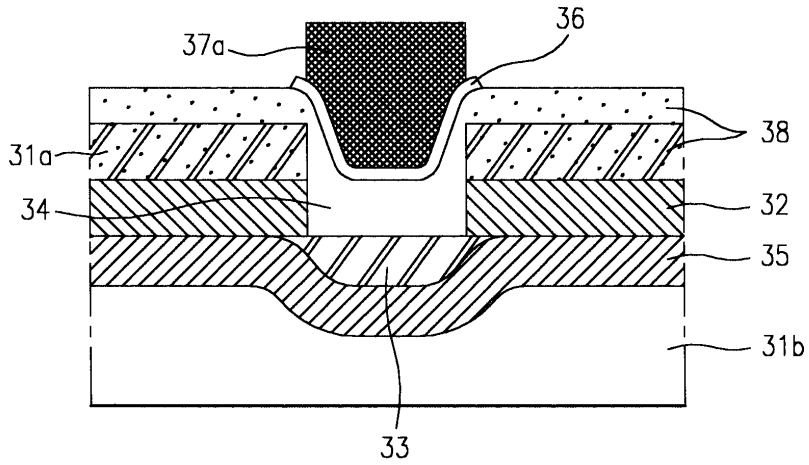
도면1b



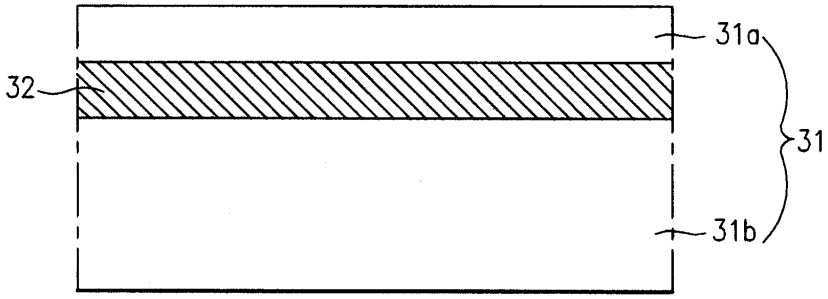
도면2


16
Vbc
20
Vs
19
18
Vg
17
Vd
19
p+
n+
n-
n-
n+
p
13
12
11
14
15

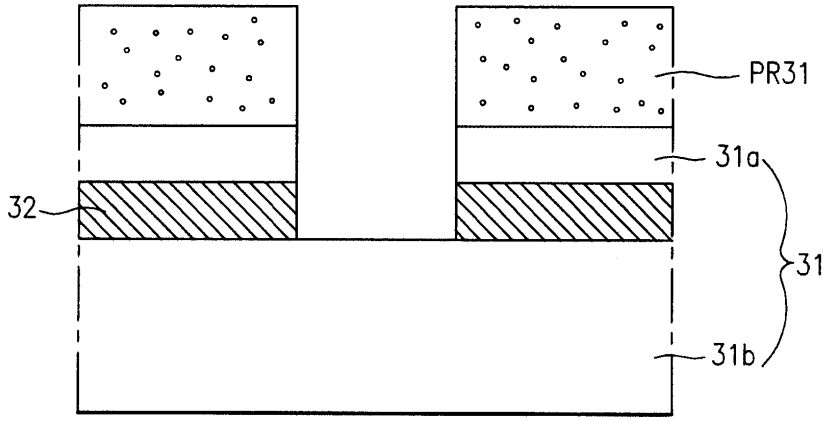
도면3


37a
36
38
31a
34
32
35
31b
33

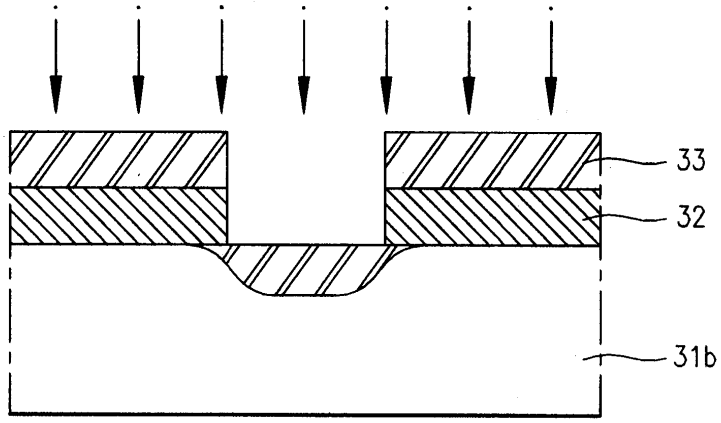
도면4a


31a
32
31
31b

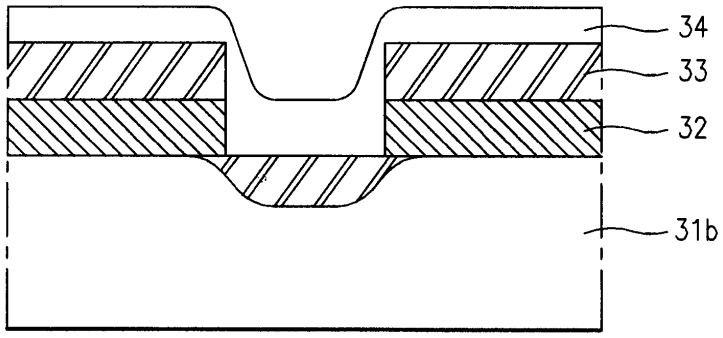
도면4b



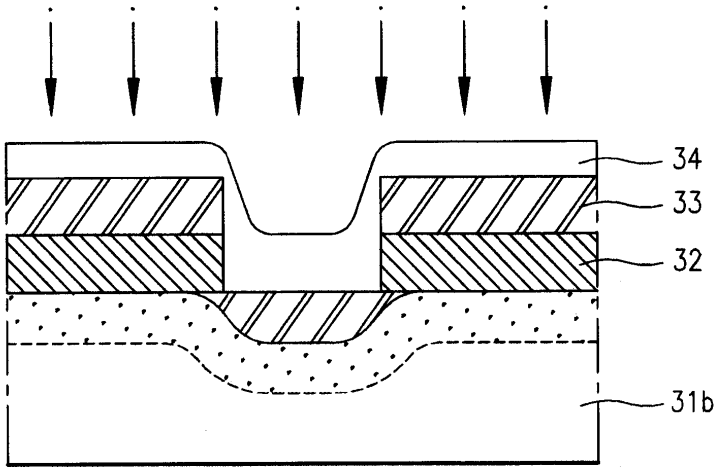
도면4c



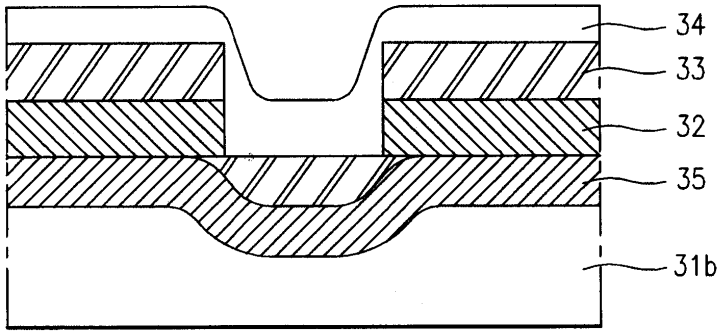
도면4d



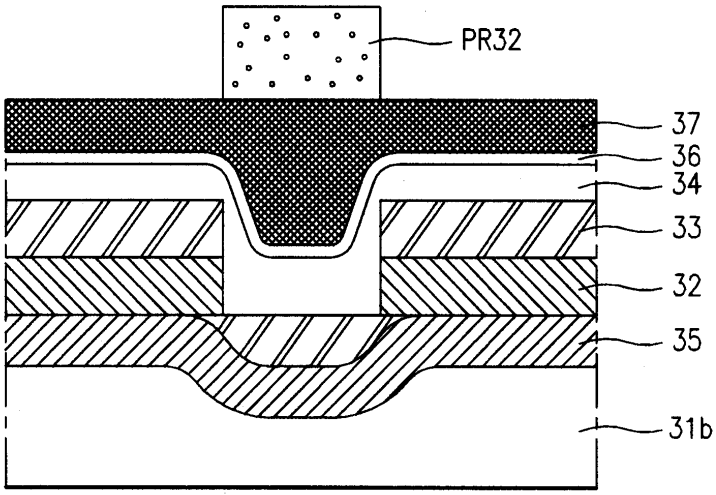
도면4e



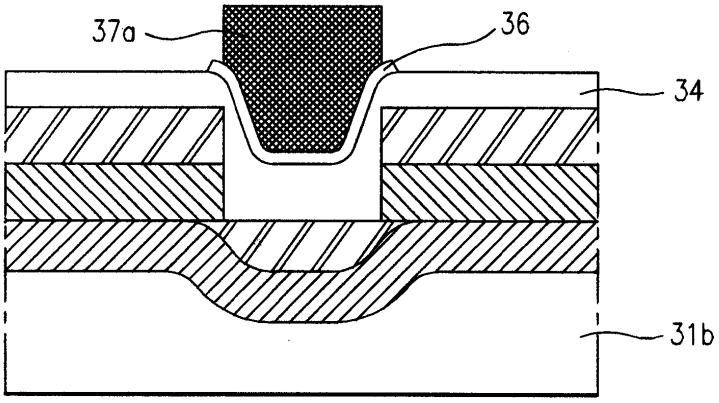
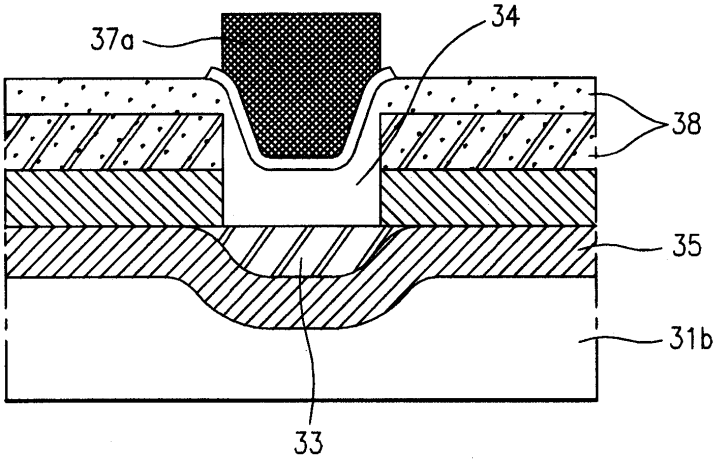
도면4f



도면4g



도면4h



도면4i