

双面影印

公告本

申請日期	90.2.26
案號	90104391
類別	G11C1160

A4
C4

514916

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	半導體記憶體元件
	英文	SEMICONDUCTOR MEMORY DEVICE
二、發明人	姓名	(1)藤岡伸也 (2)池田仁史 (3)松宮正人
	國籍	日本
	住、居所	(1)~(3)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓名 (名稱)	日商・富士通股份有限公司
	國籍	日本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代表人姓名	秋草直之

經濟部智慧財產局員工消費合作社印製

裝
訂
線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權
2000,02,29 特願2000-054831

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明大致上有關於半導體記憶體元件，更特別地，係有關於一種具有雙儲存器式之細胞結構的半導體記憶體元件。

在具有雙儲存器式細胞結構的半導體記憶體元件中，
5 1-位元資料被儲存於一對記憶體細胞中。該等記憶體細胞中之一者儲存被儲存於該等記憶體細胞中之另一者中之資料的反相資料。例如，如果該等記憶體細胞中之一者儲存高準位資料的話，該等記憶體細胞中之另一者儲存低準位資料。該對記憶體細胞被連接至一對位元線。該等位元線
10 中之一者被放大至高準位，而該等位元線中之另一者被放大至低準位。

累積於該兩個記憶體細胞中之電荷的差作用來分開該兩位元線的電位，因此穩定的資料讀取運作能夠被執行。例如，如果儲存高準位資料之記憶體細胞的電位由於該記憶體細胞的放電而係比該位元線的預先充電準位低的話，在
15 累積於該兩記憶體細胞中之電荷之間的差分開該兩位元線，以致於精準的資料讀取運作能夠被執行。

在以上之雙儲存器式的半導體記憶體元件中，穩定而且精準的資料讀取運作能夠被執行。不管以上所述的優點，
20 與單一儲存器式之習知半導體記憶體元件相同的控制運作將會導致處理速率、電力損耗、與晶片面積浪費的結果。據此，與單一儲存器式之習知半導體記憶體元件之控制運作不同的控制運作係最好被執行俾可增加處理速率及降低電力損耗與晶片面積。

五、發明說明(2)

本發明之大致目的是為提供把以上之缺點消除的半導體記憶體元件。

5 本發明之更特別目的是為提供一種雙儲存器式的半導體記憶體元件，其具有增加處理速率和降低電力損耗與晶片面積的控制運作方法和電路結構。

10 本發明之以上目的係由一半導體記憶體元件達成，該半導體記憶體元件包括：成對的位元線；連接至每一對位元線中之一位元線的一第一記憶體細胞；及連接至每一對位元線中之另一位元線並且儲存被儲存於該第一記憶體細胞之資料之反相資料的一第二記憶體細胞。這半導體記憶體元件之特徵係在於不包含用以將該等位元線預先充電至一預定電位的單元。

15 在這半導體記憶體元件中，沒有使用用以將位元線預先充電至一預定電位的組件。然而，取代在習知單一儲存器式之情況中之讀取在一個記憶體細胞之電位與該預先充電電位之間的差，該雙儲存器式的半導體記憶體元件根據在該兩記憶體細胞之間的電位差來讀取資料。據此，不管該預先充電電位，穩定且精準的資料讀取運作能夠被執行。在本發明中，沒有使用用於將位元線箝位至該預先充電電壓的箝位電路，而且一平滑運作仍然能夠被達成。就沒有箝位運作要被執行而言，係不需要用以產生該預先充電電壓的電路。因此，電力損耗與電路面積皆能夠被戲劇性地降低。

20 本發明之以上目的亦由一半導體記憶體元件達成，該半

五、發明說明(3)

導體記憶體元件包括：成對的位元線；連接至每一對位元件的感應放大器；連接至每一對位元線之一位元線的一第一記憶體細胞；連接至每一對位元線之另一位元線並且儲存被儲存於該第一記憶體細胞之資料之反相資料的一第二記憶體細胞；連接至每另一對位元線的一字線；將位元線連接至一資料匯流排的一開-閉行閘極；及一控制電路，該控制電路在該感應放大器於資料寫入運作中被作動之前開啟該行閘極。

在這半導體記憶體元件中，於資料寫入運作期間，資料係在出現於位元線上之來自於記憶體細胞之資料被放大之前被寫入至位元線上。更特別地，在該感應放大器於資料寫入運作期間被作動之前，該行閘極被開啟。在本發明之雙儲存器式的半導體記憶體元件中，當一字線被作動時，係有一條在其上沒有資料出現的位元線在每兩條在其上有資料出現之相鄰的位元線之間。在如此的結構中，沒有資料出現於其上的位元線作用如護罩，以致於在相鄰之位元線上的資料對彼此沒有由於電容耦合引起之不利的影響。據此，即使資料在位元線由感應放大器門鎖之前(在資料被放大之前)被寫入至該等位元線上，每兩組相鄰的資料憑著位元線的護罩效應而能夠避免彼此損害。在這形式下，資料寫入運作的速度能夠被提昇。

本發明之以上目的亦由一半導體記憶體元件來達成，該半導體記憶體元件包括：成對的位元線；連接至每一對位元線的感應放大器；連接至每一對位元線之一位元線的第

五、發明說明(4)

一記憶體細胞；連接至每一對位元線之另一位元線並且儲存被儲存於該第一記憶體細胞之資料之反相資料的第二記憶體細胞；及一控制電路，其在開始一上拉運作之後控制該感應放大器開始下拉運作。

5 在這半導體記憶體元件中，該感應放大器係受控制俾可在開始上拉運作之後開始下拉運作。在一雙儲存器式的半導體記憶體元件中，恢復時間正常地係長，而因此當資料由從低電位的下拉運作讀取時，在至該等位元線上的資料讀取運作期間，該等記憶體細胞之資料的電位係低。結果
10 該下拉運作會故障或者需要一段長時間。根據本發明，該上拉運作係在該下拉運作之前被執行，俾可實現由該感應放大器所作之穩定且迅速的門鎖運作。因此，高速的資料讀取運作能夠被執行。

本發明之以上目的亦由一半導體記憶體元件達成，該半
15 導體記憶體元件包括：成對的位元線；連接至每一對位元線的感應放大器；一字線；當該字線被作動時連接至每一對位元線之一位元線的第一記憶體細胞；當該字線被作動時連接至每一對位元線之另一位元線並且儲存被儲存於該第一記憶體細胞之資料之反相資料的第二記憶體細胞；及
20 一控制電路，其在一第一周期期間作動該字線於一第一電位，而然後在一個在該第一周期之後的第二周期期間作動該字線於一個比該第一電位高的第二電位。

在這半導體記憶體元件中，該字線係在該第一周期期間被作動於第一電位，而在該第二周期期間被作動於第二電

五、發明說明(5)

位。在一雙儲存器式的半導體記憶體元件中，累積於該兩
記憶體細胞中的每一電荷改變該兩位元線的電位。即使高
準位資料未被讀取，低準位資料下拉另一位元線的電位，
藉此執行一資料讀取運作。根據本發明，當資料從該等記
5 憶體細胞讀取至該等位元線上時(第一周期)，未被提高的
電位係被使用作為一字線電位，藉此降低電力損耗。未被
提高之如此的電位係足以開啟儲存低準位資料之記憶體細
胞上的細胞電晶體。就如此之電位而言，另一位元線的電
位能夠在沒有困擾下被下拉，而且一資料讀取運作能夠平
10 順地執行。而且，當資料係從位元線寫入至記憶體細胞時(第二周期)，一提高的電位係被使用來執行一精準且高速的
資料寫入運作。

本發明之以上及其他目的和特徵從下面配合附圖的描述
將會變得更明顯。

15 第 1 圖顯示一半導體記憶體元件，本發明係施加至該
半導體記憶體元件；

第 2 圖顯示一雙儲存器式記憶體之核心電路的基本結
構；

第 3 圖顯示本發明之感應放大器單元的結構；

20 第 4 圖描繪在由本發明之半導體記憶體元件中之感應
放大器單元所作之閘鎖運作之前將資料寫入至位元線上的
運作；

第 5 圖描繪一控制電路的結構，該控制電路在由本發
明之感應放大器單元所作之閘鎖運作之前執行至位元線上

(請先閱讀背面之注意事項再填
本頁)

裝

訂

線

五、發明說明(6)

的資料寫入運作；

第 6 圖描繪在資料讀取運作中於位元線之間的電位差；

5 第 7 圖描繪從記憶體細胞至位元線上之資料讀取運作；

第 8 圖是為一感應放大器門鎖控制電路的電路圖，該控制電路在一下拉運作之前執行一上拉運作；

第 9 圖顯示一電路的結構，該電路階梯式地將一作動電位從一規則的電位改變至一提高的電位；

10 第 10 圖顯示在第 9 圖中所顯示之時序控制電路的電路結構；

第 11 圖顯示在第 9 圖中所顯示之驅動電路的電路結構；

15 第 12 圖是為顯示在第 9 圖中所顯示之次字解碼器之電路結構的電路圖；及

第 13 圖顯示階梯式地改變之字線電位上的改變。

下面是為本發明之實施例配合附圖的描述。

第 1 圖顯示本發明的半導體記憶體元件。

20 在第 1 圖所顯示的半導體記憶體元件 10 包含一資料控制電路 11、讀取/寫入放大器 12、一時序電路 13、一位址電路 14、一行解碼器 15、一主字解碼器 16、及一核心電路 17。

該核心電路 17 具有數個垂直與水平地排列的細胞，而且為了讀取與寫入每一細胞之 1-位元資料而係設置有用以

五、發明說明(7)

指出位址與放大資料的電路和導線。在第 1 圖中所顯示的核心電路 17 包含數個感應放大器單元 400-0 和 400-1、數個次字解碼器 340、數條字線 WL、數條主字線 MWL、及數條行線 CL。

5 該資料控制電路 11 係由一組像資料緩衝器般的電路構成，而且於適當的時序把從外部寫入的資料供應至該讀取/寫入放大器 12。而且，該資料控制電路 11 於適當的時序把從該核心電路 17 與該讀取/寫入放大器 12 讀取出來的資料輸出至外部。該讀取/寫入放大器 12 把寫入資料放大並且把放大的資料供應至該核心電路 17，並且把從該核心電路 17 供應出來的讀取資料放大。

10 該時序電路 13 係由一組像控制訊號緩衝器與命令解碼器般的電路構成。該時序電路 13 從外部接收時鐘訊號與控制訊號，並且解譯由該控制訊號所表示的命令，藉此控制該半導體記憶體元件 10 中之每一電路的運作與時序。

15 該位址電路 14 係由一組像位址緩衝器與位址預先解碼器般的電路構成。該位址電路 14 從外部接收位址訊號並且於適當的時序供應位址至該行解碼器 15 與該主字解碼器 16。

20 該行解碼器 15 把從該位址電路 14 供應出來的行位址解碼，並且作動該等行線 CL 中之對應於該行位址之一者。而且，該主字解碼器 16 把從該位址電路 14 供應出來的列位址解碼，並且作動該等主字線 MWL 中之對應於該列位址之一者。在第 1 圖中，一分級字解碼方法被使用。根據這

五、發明說明(8)

方法，該等字線 WL 中之對應於一條由該主字解碼器 16 所選擇之主字線 MWL 之一者係由該對應的次字解碼器 340 選擇地作動。

5 在一讀取運作中，資料係從連接至該被作動之字線 WL 的細胞讀取出來，而且該讀取資料係由該等感應放大器單元 400-0 或 400-1 放大。然後，被放大的資料係從對應於被作動之行線 CL 的感應放大器單元讀取出來，而且被供應至該讀取/寫入放大器 12。相對地，在一寫入運作中，資料係從該讀取/寫入放大器 12 供應至由該被作動之行線
10 CL 所選擇之感應放大器單元中之一者，而且來自被選擇之感應放大器單元的資料然後係寫入連接至被作動之字線 WL 的細胞。

15 在第 1 圖中所顯示的半導體記憶體元件 10 是為雙儲存器式記憶體，在其中，一個記憶體細胞係連接至被連接至一個感應放大器單元之一對位元線 BL 中之每一者，而且被儲存於該等記憶體細胞中之一者之資料的反相資料係儲存於該等記憶體細胞中之另一者。

第 2 圖顯示雙儲存器式記憶體之核心電路 17 的結構。

20 在第 2 圖中所顯示的結構包含一字解碼器 20、該等感應放大器單元 400-0 與 400-1、位元線 BLn 與 /BLn (n = 1, 2, 3,)、字線 WL0 至 WL5、及由電晶體與電容器構成的記憶體細胞單元 MCxy 與 /MCxy。該字解碼器 20 集體地表示在第 1 圖中所顯示的次字解碼器 340。該斜線符號 "/" 表示邏輯反相。

五、發明說明(9)

如在第 2 圖中所顯示般，當該字線 WL0 被作動時，例如，記憶體細胞單元 MC00 的資料出現於位元線 BL0 上，而記憶體細胞單元/MC00 的資料出現於位元線/BL0 上。例如，如果高準位資料被儲存於該記憶體細胞單元 MC00 的話，低準位資料係儲存於記憶體細胞單元/MC00。據此，位元線 BL0 的電位位移至該高準位，而該位元線/BL0 的電位位移至該低準位。於此所產生的電位差係由連接至位元線 BL0 與/BL0 的感應放大器單元 400-0 放大。藉由作動連接至該感應放大器單元 400-0 的行線 CL，該放大器資料被供應至資料匯流排 DB 與/DB。

在該雙儲存器式記憶體中，較之像正常 DRAM 一樣在一記憶體細胞僅被連接至一對位元線中之一者的情況，資料讀取運作能夠更穩定地執行。據此，一恢復週期能夠使成更長。

本發明的雙儲存器式記憶體具有位元線係交替地連接至不同之感應放大器單元的結構。更特別地，在第 2 圖中之頂部顯示的位元線 BL1 係連接至一感應放大器單元 400-1，緊在該位元線 BL1 下面的位元線 BL0 係連接至一感應放大器單元 400-0，而緊在該位元線 BL1 下面的位元線/BL1 係連接至該感應放大器單元 400-1。在這形式下，感應放大器單元 400-0 係連接至偶數的位元線，而感應放大器單元 400-1 係連接至奇數的位元線。

再者，偶數的位元線("n"為偶數)係連接至由字線 WL0, WL1, WL4, WL5,所選擇的記憶體細胞。同樣，奇

(請先閱讀背面之注意事項再填寫此頁)

裝

訂

線

五、發明說明(10)

數的位元線("n"為奇數)係連接至由字線 WL2, WL3,所選擇的記憶體細胞。

5 這結構的特徵係在於連接至一被作動之字線之記憶體細胞的資料出現於每一另一位元線上。在資料讀取與寫入運作中，當字線 WL0 被作動時，例如，連接至字線 WL0 之記憶體細胞的資料出現於偶數的位元線 (BL0, /BL0, BL2, /BL2.....)。偶數之位元線的資料係由感應放大器單元 400-0 放大。另一方面，沒有資料出現於奇數的位元線上，其因此被維持於一預先充電電位或一業已藉由放電降低的較低電位。

10 在這結構中，由於在相鄰位元線之間之耦合，即，電容耦合，引起之對資料的不利影響能夠被降低至最小程度。

15 在一習知 DRAM 結構中，當一條字線被作動時，連接至該被作動之字線之兩相鄰記憶體細胞中之一者的資料出現於該位元線 BL_m，而該兩相鄰記憶體細胞中之另一者的資料出現於位元線 BL_m+1。該位元線 BL_m+1 被定位在對應於該位元線 BL_m 之反相資料的位元線 /BL_m 隔壁。據此，在一寫入運作中，當新的資料要在位元線由感應放大器單元閃鎖之前(即，在資料被放大之前)被寫入在位元線 BL_m+1 的記憶體細胞時，位元線 /BL_m 與位元線 BL_m 的資料係受到位元線 BL_m+1 與位元線 /BL_m 的電容耦合不利地影響。如果由於電容耦合的不利影響係太大的話，位元線 BL_m 之記憶體細胞的資料會被損毀。

20 另一方面，在第 2 圖中所顯示的結構中，當一條字線

五、發明說明(11)

被作動時，係經常有一條老是沒有資料出現於其上的位元線在有資料出現於其上的位元線之間。沒有資料出現於其上的位元線作用如護罩，以致於每兩組相鄰的資料不因電容耦合不利地相互影響。

5 在第 2 圖中所顯示的結構中，於一寫入運作中，新的資料能夠在位元線由感應放大器單元閃鎖之前(即，在資料被放大之前)經由位元線寫入該等記憶體細胞中。在如此之一個運作中，每兩組相鄰的資料不因電容耦合不利地相互影響，而且沒有資料會被損毀。

10 第 3 圖顯示本發明之該等感應放大器單元中之一者的結構。

在第 3 圖中所顯示的感應放大器單元 400-0 包含 PMOS 電晶體 31 和 32 及 NMOS 電晶體 33 至 44。在該感應放大器單元 400-0 中，該等 PMOS 電晶體 31 和 32 與該等 NMOS 電晶體 33 和 34 構成一感應放大器。當一訊號 PSA 變成高且一訊號 NSA 變成低時，出現於位元線 BL0 與 /BL0 上的資料被放大。在一讀取運作中，當一行線訊號 CL 變成高，於該等位元線 BL0 與 /BL0 上的資料被讀取而且被供應至資料匯流排 DB 與 /DB。在一寫入運作中，當該行線訊號變成高，於資料匯流排 DB 與 /DB 中的資料被寫入在位元線 BL0 與 /BL0 中。資料匯流排 DB 與 /DB 係置放於該讀取/寫入放大器 12 與該核心電路 17 之間。

20 第 4 圖描繪在位元線由本發明之半導體記憶體元件中之感應放大器單元閃鎖之前將資料寫入於位元線上的運作

五、發明說明(12)

請參閱第 3 和 4 圖所示，本發明的資料寫入運作現在將會作描述。當訊號 BT1 與 BRS 從高準位切換至低準位時，位元線 BL0 與 /BL0 係彼此分開，而且感應放大器係由

5 在第 3 圖中所顯示的 NMOS 電晶體 36 與 37 分離。在這形式下，記憶體細胞 MC00 與 /MC00 係準備資料寫入運作。

當該字線 WL 變成高時，記憶體細胞 MC00 與 /MC00 的資料出現於位元線 BL0 與 /BL0 上。在那之後，於門鎖運作係由感應放大器開始之前(即，在訊號 PSA 變成高且訊號 NSA 變成低之前)，該行線訊號 CL 被切換至高準位。藉由

10 將該行線訊號 CL 切換至高準位，資料匯流排 DB 與 /DB 的資料被寫入在位元線 BL0 與 /BL0 中。由於相鄰的位元線 BL1 與 /BL1 不連接至感應放大器與記憶體細胞，資料將不會因在該等位元線之間之電容耦合的不利影響而被損毀。

15 在該行線訊號 CL 被切換至高準位之後，該 PSA 被切換至高準位且該訊號 NSA 被切換至低準位。藉由如此做，被寫入在位元線 BL0 與 /BL0 中的資料係由該感應放大器放大。被放大的資料然後被寫入在記憶體細胞 MC00 與 /MC00 中。在那之後，字線訊號 WL 被切換至低準位，藉此完成至

20 記憶體細胞的資料寫入運作。

在一習知運作中，要防止資料因在相鄰之位元線之間的電容耦合而被損毀，至位元線上的資料寫入運作係在該門鎖運作由感應放大器執行之後被執行。相對地，根據本發明，資料寫入運作能夠在由感應放大器所作的門鎖運作之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

前對位元線執行。據此，寫入運作係在本發明之運作時序執行俾可實現半導體記憶體元件中之高速的資料寫入運作。

第 5 圖顯示一控制電路的結構，該控制電路在門鎖運作由感應放大器執行之前執行至位元線上的資料寫入運作。在第 5 圖中所顯示的電路係與在第 1 圖中所顯示之結構中之時序電路 13 的一部份相同。

在第 5 圖中所顯示的控制電路包含延遲電路 51 至 53、開關 54 與 55、一行線訊號作動電路 56、及一感應放大器門鎖控制電路 57。

用以作動該核心電路 17 的核心電路作動訊號 EN 被輸入至該等延遲電路 51 至 53。該核心電路作動訊號 EN 是為一個在像資料寫入運作或資料讀取運作般之運作被執行時被作動的訊號，而且係根據從半導體記憶體元件 10 之外部供應出來的控制訊號來產生於該時序電路 13。該等延遲電路 51 至 53 具有不同的延遲量。更特別地，該延遲電路 51 具有最小的延遲量，該延遲電路 52 具有最大的延遲量，而該延遲電路 53 具有中等的延遲量。

在資料寫入運作中變成高的一寫入訊號 WRITE 被輸入至該等開關 54 與 55。當該寫入訊號 WRITE 變成高時，開關 54 關閉，而開關 55 開啟。據此，在資料寫入運作中，核心電路作動訊號 EN 係經由該延遲電路 51 供應至該行線訊號作動電路 56。當該寫入訊號 WRITE 變成低時，開關 54 開啟，而開關 55 關閉。據此，在資料讀取運作中，核

五、發明說明(14)

心電路作動訊號 EN 係經由該延遲電路 52 供應至該行線訊號作動電路 56。

延遲電路 51 的延遲量係比延遲電路 52 的延遲量小。據此，核心電路作動訊號 EN 被供應至該行線訊號作動電路 56 的時序在資料寫入運作時係比在資料讀取運作時快。另一方面，延遲電路 53 的延遲量係在延遲電路 51 的延遲量與延遲電路 52 的延遲量之間的中點。據此，核心電路作動訊號 EN 被供應至感應放大器門鎖控制電路 57 的時序係比在資料寫入運作中之核心電路作動訊號 EN 被供應至行線訊號作動電路 56 的時序慢，但卻比核心電路作動訊號 EN 被供應至行線訊號作動電路 56 的時序快。

本發明係應用於以上的時序控制，而延遲電路 51 至 53、開關 54 與 55、及其他元件的結構係與習知的相同。更特別地，行線訊號作動電路 56 與感應放大器門鎖控制電路 57 的結構係與習知的相同。行線訊號作動電路 56 與行線訊號作動電路 56 接收核心電路作動訊號 EN 的時序同步地產生行線訊號 CL。被產生的行線訊號 CL 然後被供應至該等感應放大器單元 400-0(或 400-1)中之一者。該感應放大器門鎖控制電路 57 與該感應放大器門鎖控制電路 57 接收該核心電路作動訊號 EN 之時序同步地產生該等感應放大器作動訊號 PSA 與 NSA，並且把所產生之感應放大器作動訊號 PSA 與 NSA 供應至該等感應放大器單元 400-0(或 400-1)中之一者。

藉由以上本發明之時序控制，在資料讀取運作中，訊號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

PSA 與 NSA 係被作動來促使感應放大器開始一閃鎖運作，該行線訊號 CL 被作動來讀取位元線上的資料至資料匯流排。另一方面，在資料寫入運作中，該行線訊號 CL 係首先被作動來把資料寫入至該等位元線上，而該等訊號 PSA 與 NSA 然後被作動來促使該感應放大器開始該閃鎖運作。因此，該資料寫入運作能夠被加速。

現在請參閱第 6 圖所示，本發明之半導體記憶體元件的另一實施例將會被描述。在這半導體記憶體元件中，在資料讀取運作中之位元線之間的電位差不端視該預先充電準位而定。

如在第 6 圖中所顯示般，位元線 BL 與 /BL 係連接至一感應放大器單元 400-0。一記憶體細胞 61 係經由一電晶體 63 連接至該位元線 BL，而一記憶體細胞 62 係經由一電晶體 64 連接至該位元線 /BL。在轉移閘極 65 與 66 的左側上，位元線 BL 與 /BL 各具有一電容 Csa。在該等轉移閘極 65 與 66 的右側上，位元線 BL 與 /BL 各具有一電容 Cbl。每一記憶體細胞 61 與 62 的電容係被表示如在第 6 圖中的 Ccell。

與一電位 Vst1 相等的電荷係累積於記憶體細胞 61，而與電位 Vst0 相等的電荷係累積於記憶體細胞 62。

當字線 WL 變成高時，在位元線 BL 與 /BL 之間的電位差能夠藉由一電位 ΔV_{bl} 來被表達如下面的方程式：

$$\Delta V_{bl} = C_{cell}(V_{st1}-V_{st0}) / (C_{cell}+C_{sa}+C_{bl}) \dots\dots (1)$$

五、發明說明(16)

從方程式(1)可見，在位元線 BL 與 /BL 之間的電位差 Vbl 僅端視在該兩記憶體細胞 61 與 62 之間的電位差而定，而且與該等位元線 BL 與 /BL 的預先充電電位沒有關係。

在取代該雙儲存器式之習知單一儲存器式的情況中，在第 6 圖中所顯示的電晶體 64 與記憶體細胞 62 不存在。在如此的情況中，在位元線 BL 與 /BL 之間的電位差 ΔVbl 係被表達如下：

$$\Delta Vbl = C_{cell}(V_{st1}-V_{pr}) / (C_{cell}+C_{sa}+C_{bl}) \dots\dots (2)$$

10 在這裡，該電位 V_{pr} 是為位元線的預先充電電位。在這形式下，在單一儲存器式的情況中，在位元線之間的電位差係端視該預先充電電位而定。

15 在本發明的半導體記憶體元件中，在位元線之間的電位差不端視該預先充電電位而定。據此，要被供應至感應放大器單元 400-0 (400-1) 的預先充電電位能夠被任意設定。例如，在第 3 圖中所顯示的感應放大器單元 400-0 中，該 V_{pr} 產生電路的敏感度可以使成低，因此 V_{pr} 的值能夠更自由地設定在一低值。由該半導體記憶體元件 10 所引起的電力損耗能夠被大大地降低。在一極端的情況中，把位元線上之電壓箝位至該預先充電電壓的一箝位電路(由 NMOS 電晶體 38 與 39 構成的電路部份)可以從第 3 圖中所顯示的感應放大器單元 400-0 除去。在如此的情況中，由於把位元線箝位至該預先充電電壓的處理係不再需要，用於產生該預先充電電壓的電路亦不需要。因此，電力損耗

五、發明說明(17)

與電路面積能夠大大地降低。

更特別地，如在第 3 圖中所顯示般，一正常的感應放大器單元包含該等感應電晶體 31 至 34、該等平衡電晶體 35 與 44、該等位元線轉移閘極 36, 37, 42, 與 43、該等行閘極 40 與 41、及該等構成該箝位電路的電晶體 38 與 39。在本發明中，要被供應至該箝位電路的預先充電電壓 V_{pr} 係設定在一低值俾可降低半導體記憶體元件 10 的整個電力損耗或者除去該箝位電路(即，該等電晶體 38 與 39)。在後者的情況中，感應放大器單元係留下有感應電晶體 31 至 34、平衡電晶體 35 和 44、位元線轉移閘極 36, 37, 42, 與 43、及行閘極 40 與 41。因此，電力損耗與電路面積皆大大地降低。

第 7 圖顯示本發明之半導體記憶體元件的又另一實施例，在其中，精準且高速的資料讀取運作能夠被執行。

請參閱第 3 和 7 圖所示，本發明的資料讀取運作現在將會被描述。當訊號 BT1 與 BRS 從高準位切換至低準位時，該等位元線 BL0 與 /BL0 係彼此分開，而且一感應放大器係因在第 3 圖中的 NMOS 電晶體 36 與 37 而從左邊的位元線部份分離。在這形式下，從記憶體細胞讀取資料至位元線的準備被作成。

當字線 WL 切換至高準位時，記憶體細胞 MC00 與 /MC00 的資料出現於位元線 BL0 與 /BL0 上。在這裡，由記憶體細胞 MC00 所保持的電位是為 V_{st0} ，而由記憶體細胞 /MC00 所保持的電位是為 $/V_{st0}$ 。

五、發明說明(18)

在雙儲存器式的半導體記憶體元件，與記憶體細胞僅連接至一對位元線中之一者的情況比較起來，穩定的資料讀取運作能夠被執行。該半導體記憶體元件的特徵係在於長的恢復週期。據此，在記憶體細胞的資料被讀取至位元線上的點上，由記憶體細胞 MC00 所保持的高準位電位 V_{st0} 係非常低，如在第 7 圖中所顯示般。在該情況中，即使該預先充電電壓 V_{PR} 是為一個在該高準位與該低準位之間之中點的電壓，當記憶體的資料出現於位元線上時，位元線的電位係被下拉了記憶體細胞的電位。結果，位元線的電位變成比在該高準位與該低準位之間的中點低。

在習知技術中，感應放大器的下拉運作係在一上拉運作之前被執行。這是因為下拉運作之 NMOS 電晶體的臨界值係比上拉運作之 PMOS 電晶體的臨界值小。然而，在第 7 圖中所顯示的情況中，由於該等位元線的電位在資料被讀取至該等位元線上之後變成較低，一下拉運作在一上拉運作之前應不被執行。如果一低電位被下拉的話，係難以將該等下拉 NMOS 電晶體開啟(在第 3 圖中的 33 與 34)，因為沒有夠寬的邊界。結果，下拉運作係故障，或者需要長的時間。

在本發明的半導體記憶體元件中，由感應放大器所作的門鎖運作(即，上拉運作與下拉運作)係開始在一低電壓。因此，上拉運作應該在下拉運作之前被執行，如在第 7 圖中所顯示般。在這形式下，由該感應放大器所作的門鎖運作能夠確定地以高速執行。因此，高速的讀取運作能夠被

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

實現。

第 8 圖是為在下拉運作之前執行上拉運作之感應放大器門鎖控制電路的電路圖。

在第 8 圖中所顯示的感應放大器門鎖控制電路包含數
5 個延遲單元 71、數個延遲單元 72、一 PMOS 電晶體 73、
和 NMOS 電晶體 74 至 76。這電路係與在第 1 圖中所顯示
之結構中之時序電路 13 的一部份相等。

當一核心電路作動訊號 TLEN 以與核心電路作動訊號相同
的形式但在不同的時序被供應時，該 PMOS 電晶體 73 係
10 在一個對應於該數個延遲單元 71 之延遲時間的傳送時間之
後被持續。一上拉運作的感應放大器作動訊號 PSA 然後變
成高，藉此執行上拉運作。在那之後，該 NMOS 電晶體 75
係在一個對應於該數個延遲單元 72 之延遲時間的傳送時間
之後被持續。結果，下拉運作的感應放大器作動訊號 NSA
15 變成低，而下拉運作被執行。一訊號 A 是為一個在選擇一
對應之感應放大器之時變成 VSS 的選擇訊號。

藉著使用第 8 圖的電路，一上拉運作能夠在一下拉運
作之前被執行。因此，由感應放大器所作之一迅速的門鎖
運作能夠被確定地執行，藉此加速資料讀取運作。

20 接著，作為本發明之半導體記憶體元件的另一實施例，
電力損耗藉由控制字線作動電位而能夠被降低的結構將會
在下面作描述。

在記憶體細胞如習知 DRAM 之情況般僅連接至一對位元
線中之一者的情況中，於作動字線之時的電位係設定在一

五、發明說明(20)

個從外部電力源電壓 VDD(2.5V, 例如)提高的電位 VPP(3.7V, 例如)。就細胞電晶體的臨界電壓列入考量之下, 要被供應至細胞電晶體之閘極的電壓應該足夠比該預先充電電位高俾可防止對記憶體細胞執行之高準位資料讀取運作上的存取延遲。在資料被寫入於記憶體細胞的情況中(在資料讀取運作之後的資料寫入運作或資料重新儲存運作中), 要寫入該等位元線的高準位電位(2.0V, 例如), 要被供應至細胞電晶體之閘極的電位需要被足夠地設定比該等位元線的高準位電位高。

10 另一方面, 在雙儲存器式的半導體記憶體元件中, 累積於兩個記憶體細胞中的每一電荷改變該兩位元線的每一電位。更特別地, 即使高準位資料無法被讀取, 另一位元線的電位能夠被下拉了該低準位資料。在資料讀取運作中, 係不需要把要被供應至該細胞電晶體之閘極的電位設定在比該高準位電位高之提高的電位, 而且一非提高的電位足夠地作用。換句話說, 未被足夠地提高的電位作用來打開在儲存低準位資料之記憶體細胞之側上的細胞電晶體。因此, 另一位元線的電位能夠被下拉, 而且資料讀取運作能夠被執行。

20 然而, 當資料被寫入一記憶體細胞時(在一資料讀取運作之後的資料寫入運作或資料重新儲存運作中), 必須把要被供應至細胞電晶體之閘極的電位設定在一提高的電位。據此, 要被供應至該細胞電晶體之閘極的電位(字線作動電位)在資料從一記憶體細胞讀取至一位元線上時應被設定在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(21)

一規則的高準位電位，而在資料從一位元線寫入至一記憶體細胞時被設定在一提高的高準位電位。換句話說，必須以一階梯形式將該字線作動電位從一規則的電位改變至一提高的電位。

5 第 9 圖顯示一電路的結構，該電路以一階梯形式把字線作動電位從一規則的電位改變至一提高的電位。

10 在第 9 圖中所顯示的電路包含一時序控制電路 81、一驅動電路 82、一次字解碼器 83、一細胞電晶體 84、及一細胞電容器 85。該驅動電路 82 包含一以提高之電位驅動該次字解碼器 83 的 VPP 驅動單元 86、及一以規則之電位驅動該次字解碼器 83 的 VDD 驅動單元 87。在第 9 圖中所顯示的電路係與在第 1 圖中所顯示之結構中之時序電路 13 的一部份及關於一字解碼器之電路之一部份相同。

15 該時序控制電路 81 接收一核心電路作動訊號 EN，並且輸出一提高之電位驅動訊號 wqpz 與一規則之電位驅動訊號 wqdz。該提高的電位驅動訊號 wqpz 與該規則的電位驅動訊號 wqdz 分別被供應至該 VPP 驅動單元 86 和該 VDD 驅動單元 87。該驅動單元 82 以一提高的電壓或一規則的電壓驅動該次字解碼器 83。該次字解碼器 83 以一個被供應作為一驅動電壓之提高的電壓或規則的電壓來作動該字線 WL。當該字線 WL 被作動時，該細胞電晶體 84 被激能俾
20 連接該細胞電容器 85 與該位元線。

第 10 圖顯示該時序控制電路 81 的結構。該時序控制電路 81 包含數個延遲單元 91 與數個延遲單元 92。該時序

五、發明說明(22)

控制電路 81 接收一高準位的核心電路作動訊號 EN，而然後在一個與該數個延遲單元 91 之延遲時間相等的傳送時間之後輸出一高準位之規則的電位驅動訊號 wqdz。該時序控制電路 81 在一個與該數個延遲單元 92 之延遲時間相等的傳送時間之後更輸出一高準位之提高的電位驅動訊號 wqpz。

第 11 圖顯示驅動電路 82 的結構。該驅動電路 82 包含反相器 101 至 105、一 NOR 電路 106、PMOS 電晶體 107 至 109、一 NMOS 電晶體 110、及一準位位移電路 111。該準位位移電路 111 把一 VDD-準位的輸入轉換成相同邏輯的 VPP-準位輸出。在這裡，VDD 是為該規則的電壓(未被提高)，而 VPP 是為該提高的電壓。

當該規則的電位驅動訊號 wqdz 變成高時，該 PMOS 電晶體 107 被開啟。於這時，該提高的電位驅動訊號 wqpz 維持低，而且該準位位移電路 111 的輸出是為低。該 PMOS 電晶體 108 係開啟。而且，由於該 NOR 電路 106 的輸出是為低，該 NMOS 電晶體 110 係關閉。再者，當該反相器 104 的輸出是為高時，該 PMOS 電晶體 109 係關閉。據此，該電位 VDD 被輸出作為一驅動訊號 sqwz。

當該提高的電位驅動訊號 wqpz 變成高時，該準位位移電路 111 的輸出亦變成高，而且該 PMOS 電晶體 108 被關閉。由於該 NOR 電路 106 的輸出仍然維持低，該 NMOS 電晶體 110 係關閉。而且，由於該反相器 104 的輸出是為低，該 PMOS 電晶體 109 係開啟。據此，該電位 VPP 被輸出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

作為該驅動訊號 sqwz。

即使該規則的電位驅動訊號 wqdz 返回至低準位，該 NMOS 電晶體 110 由於反相器 105 的高準位輸出而維持關閉，因為反相器 104 的輸出是為低。據此，電位 VPP 被輸出作為該驅動訊號 sqwz。

再者，當該提高的電位驅動訊號 wqpz 返回至低準位時，由於該 PMOS 電晶體 109 被關閉，該 NMOS 電晶體 110 被開啟。據此，該驅動訊號 sqwz 變成接地電位。

在以上的形式下，該驅動訊號 sqwz 從該接地電位開始，改變至該電位 VDD 而然後至該電位 VPP，且在最後返回至接地電位。

第 12 圖是為顯示該次字解碼器 83 之電路結構的電路圖。該次字解碼器 83 包含一 PMOS 電晶體 121、及 NMOS 電晶體 122 與 123。訊號 S1 與 S2 是為從數個次字解碼器 83 選擇其中之一者的位址訊號。當選擇在第 12 圖中所顯示之特定的次字解碼器 83 時，該等訊號 S1 與 S2 是為低。當在第 12 圖中的次字解碼器 83 被選擇時，該 PMOS 電晶體 121 被開啟，而該等 NMOS 電晶體 122 與 123 被關閉。據此，從驅動電路供應出來的驅動訊號 sqwz 被供應至該字線 WL 作為該字線作動電位。

在這結構中，字線 WL 的電位從接地電位開始，改變至電位 VDD 而然後至電位 VPP，且最後返回至接地電位。

第 13 圖描繪字線電位上的改變，其是為階梯式地改變。

五、發明說明(24)

在第 13 圖中，一電位 V_{st0} 係由一對記憶體細胞中之一者保持，而一電位 V_{st0} 係由該對記憶體細胞中之另一者保持。字線 WL 的電位首先響應於該規則之電位驅動訊號 $wqdz$ 的上升來變成規則的高準位電位 VDD，而然後響應於該提高之電位驅動訊號 $wqpz$ 的上升來變成提高的電位 VPP。在這形式下，當資料從一位元線寫入(或者重新儲存)至一記憶體細胞時，一精準且高速的資料寫入運作能夠以該提高的電位 VPP 執行，而當資料係從一記憶體細胞讀取至一位元線上時，該規則的高準位電位 VDD 係被使用俾可降低半導體記憶體元件中的電力損耗。

如上所述，當資料從一記憶體細胞讀取至一位元線上時，未被提高的電位可以足以作用來把儲存低準位資料之記憶體細胞之側上的細胞電晶體開啟。據此，該等位元線中之一者的電位被下拉，以致於該資料讀取運作能夠在沒有任何困擾下被執行。

本發明並不限於特別地揭露的實施例，然而，變化和改變能夠在沒有離開本發明的範圍下達成。

本發明係以 2000 年 2 月 29 日提出申請之日本優先權申請案第 2000-054831 號案為基礎，其之整個內容係被併合於此作為參考。

元件標號對照表

10	半導體記憶體元件	11	資料控制電路
12	讀取/寫入放大器	13	時序電路
14	位址電路	15	行解碼器

五、發明說明(25)

- | | | | |
|-------|------------------|-----------|----------|
| 16 | 主字解碼器 | 17 | 核心電路 |
| 400-0 | 感應放大器單元 | 400-1 | 感應放大器單元 |
| 340 | 次字解碼器 | WL | 字線 |
| MWL | 主字線 | CL | 行線 |
| 5 | 20 字解碼器 | BLn | 位元線 |
| | /BLn 位元線 | WL0 至 WL5 | 字線 |
| | MCxy 記憶體細胞單元 | /MCxy | 記憶體細胞單元 |
| | DB 資料匯流排 | /DB | 資料匯流排 |
| | 31 PMOS 電晶體 | 32 | PMOS 電晶體 |
| 10 | 33 至 44 NMOS 電晶體 | PSA | 訊號 |
| | NSA 訊號 | BT1 | 訊號 |
| | BRS 訊號 | 51 至 53 | 延遲電路 |
| | 54 開關 | 55 | 開關 |
| | 56 行線訊號作動電路 | EN | 核心電路作動訊號 |
| 15 | 57 感應放大器門鎖控制電路 | WRITE | 寫入訊號 |
| | 61 記憶體細胞 | 62 | 記憶體細胞 |
| | 63 電晶體 | 64 | 電晶體 |
| | 65 轉移閘極 | 66 | 轉移閘極 |
| | Csa 電容 | Cb1 | 電容 |
| 20 | Ccell 電容 | Vst1 | 電位 |
| | Vst0 電位 | 71 | 延遲單元 |
| | 72 延遲單元 | 73 | PMOS 電晶體 |
| | 74 至 76 NMOS 電晶體 | A | 選擇訊號 |
| | 81 時序控制電路 | 82 | 驅動電路 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

- | | | | |
|-----------|----------|-----------|----------|
| 83 | 次字解碼器 | 84 | 細胞電晶體 |
| 85 | 細胞電容器 | 86 | VPP 驅動電路 |
| 87 | VDD 驅動單元 | wqpz | 驅動訊號 |
| wqdz | 驅動訊號 | 91 | 延遲單元 |
| 5 | 92 延遲單元 | 101 至 105 | 反相器 |
| 106 | NOR 電路 | 110 | NMOS 電晶體 |
| 107 至 109 | PMOS 電晶體 | 111 | 準位位移電路 |
| sqwz | 驅動訊號 | 121 | PMOS 電晶體 |
| 122 | NMOS 電晶體 | 123 | NMOS 電晶體 |
| 10 | S1 訊號 | S2 | 訊號 |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要 (發明之名稱: 半導體記憶體元件)

本發明提供一種雙儲存器式的半導體記憶體元件，其具有達成較高處理速率、較低電力損耗、與較小晶片面積的運作控制方法與電路結構。這半導體記憶體元件包括成對的位元線、連接至每一對位元線的感應放大器、連接至每一對位元線中之一位元線的第一記憶體細胞、連接至每一對位元線中之另一位元線且儲存被儲存於該第一記憶體細胞中之資料之反相資料的第二記憶體細胞。這半導體記憶體元件之特徵係在於不具有將該等位元線預先充電至一預定電位的裝置。本發明的半導體記憶體元件的特徵亦在於包括一控制電路，該控制電路在開始一上拉運作之後控制該感應放大器開始一下拉運作。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱: SEMICONDUCTOR MEMORY DEVICE)

The present invention provides a semiconductor memory device of a twin-storage type having an operation control method and a circuit structure that achieve a higher process rate, a less power consumption, and a smaller chip area. This semiconductor memory device includes bit lines in pairs, a sense amplifier connected to each pair of the bit lines, a first memory cell connected to one bit line of each pair of the bit lines, a second memory cell that is connected to the other bit line of each pair of the bit lines and stores the inverted data of the data stored in the first memory cell. This semiconductor memory device is characterized by not having means to pre-charge the bit lines to a predetermined potential. The semiconductor memory device of the present invention is also characterized by including a control circuit that controls the sense amplifier to start a pull-down operation after starting a pull-up operation.

第2頁

訂

線

六、申請專利範圍

1. 一種半導體記憶體元件，包含：

成對的位元線；

一感應放大器，其係連接至每一對位元線；

5 一第一記憶體細胞，其係連接至每一對位元線中之一位元線；及

一第二記憶體細胞，其係連接至每一對位元線中之另一位元線，並且儲存被儲存於該第一記憶體細胞中之資料之反相資料；

10 其中，沒有用於將該等位元線設定至一預定電位的預先充電單元被使用。

2. 一種半導體記憶體元件，包含：

成對的位元線；

一感應放大器，其係連接至每一對位元線；

15 一第一記憶體細胞，其係連接至每一對位元線中之一位元線；

一第二記憶體細胞，其係連接至每一對位元線中之另一位元線，並且儲存被儲存於該第一記憶體細胞中之資料之反相資料；

一字線，其連接至每一另一對位元線；

20 一開啟-關閉行閘極，其將該等位元線連接至一資料匯流排；及

一控制電路，其在資料寫入運作中於感應放大器被作動之前控制該行閘極開啟。

3. 如申請專利範圍第 2 項所述之半導體記憶體元件，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

，該控制電路包含：

一感應放大器控制電路，其響應於一第一訊號來作動該感應放大器；

5 一行開作動電路，其響應於一第二訊號來開啟該行開極；及

一時序控制電路，其端視一運作模式而定來控制該第一訊號與該第二訊號的時序。

4. 如申請專利範圍第 2 項所述之半導體記憶體元件，其中
10 該等位元線中之一者作用如該等位元線中之相鄰之一者的護罩。

5. 一種半導體記憶體元件，包含：

成對的位元線；

一感應放大器，其連接至每一對位元線；

15 一第一記憶體細胞，其連接至每一對位元線中之一位元線；

一第二記憶體細胞，其連接至每一對位元線中之另一位元線，並且儲存被儲存於該第一記憶體細胞中之資料之反相資料；及

20 一控制電路，其在開始一上拉運作之後控制該感應放大器開始一下拉運作。

6. 一種半導體記憶體元件，包含：

成對的位元線；

一感應放大器，其連接至每一對位元線；

一字線；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一第一記憶體細胞，其在該字線被作動時連接至每一對位元線中之一位元線；

一第二記憶體細胞，其在該字線被作動時連接至每一對位元線中之另一位元線；及

5 一控制電路，其在一第一周期期間作動該字線於一第一電位，而然後在一個在該第一周期之後的第二周期期間作動該字線於一個比該第一電位高的第二電位。

7. 如申請專利範圍第 6 項所述之半導體記憶體元件，其中
10 該第一周期是為一個該第一與第二記憶體細胞之資料在其期間出現於該等位元線上的周期；及

該第二周期是為一個由該感應放大器門鎖於該等位元線上之資料在其期間被寫入至該第一與第二記憶體細胞內的周期。

8. 如申請專利範圍第 6 項所述之半導體記憶體元件，其中
15 該控制電路包含：

一時序控制電路，其把一第一訊號延遲並且產生一第二訊號；

一驅動電路，其響應於該第一訊號來產生該第一電位，且亦響應於該第二訊號來產生該第二電位；及

20 一字解碼器，其在由一位址訊號選擇時作動該字線於一個由該驅動電路所產生的電位。

(請先閱讀背面之注意事項再填寫本頁)

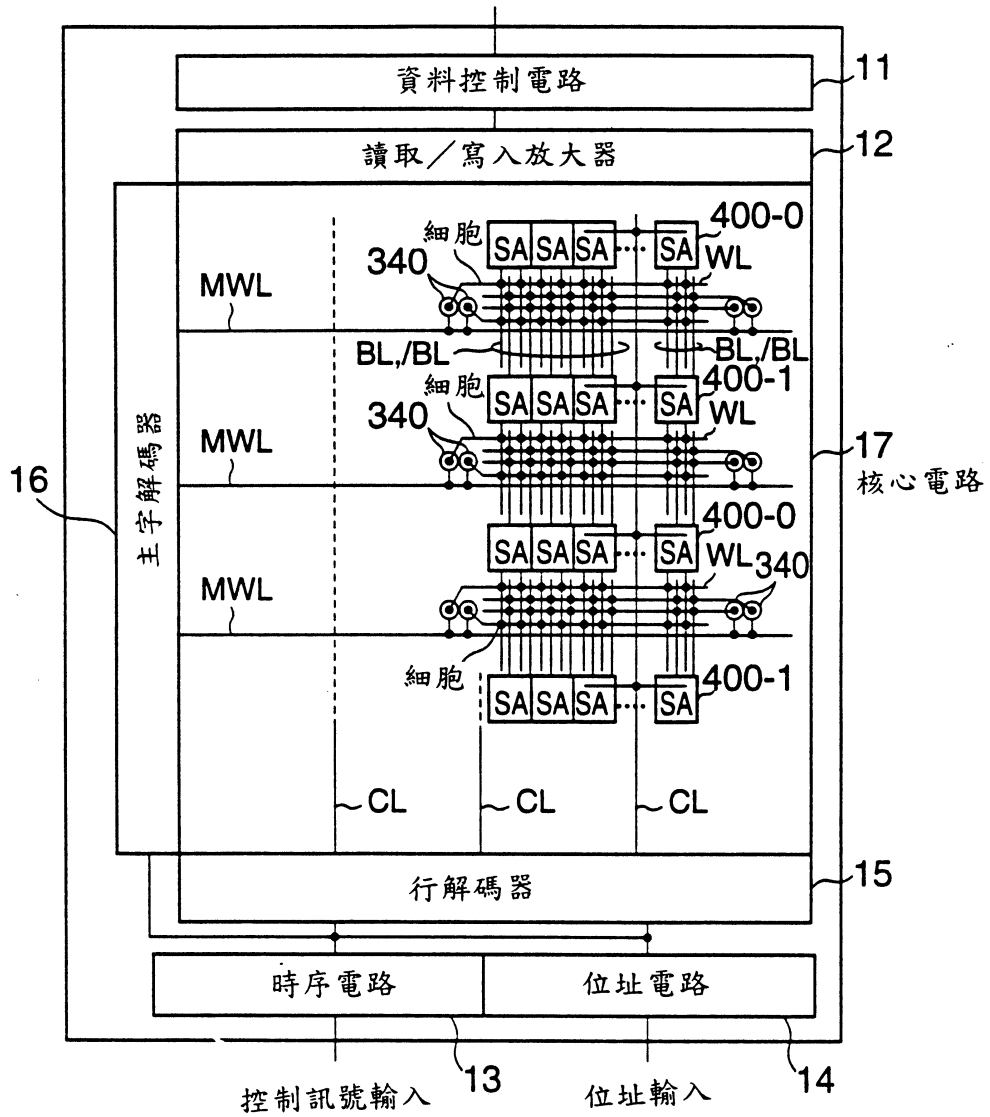
裝

訂

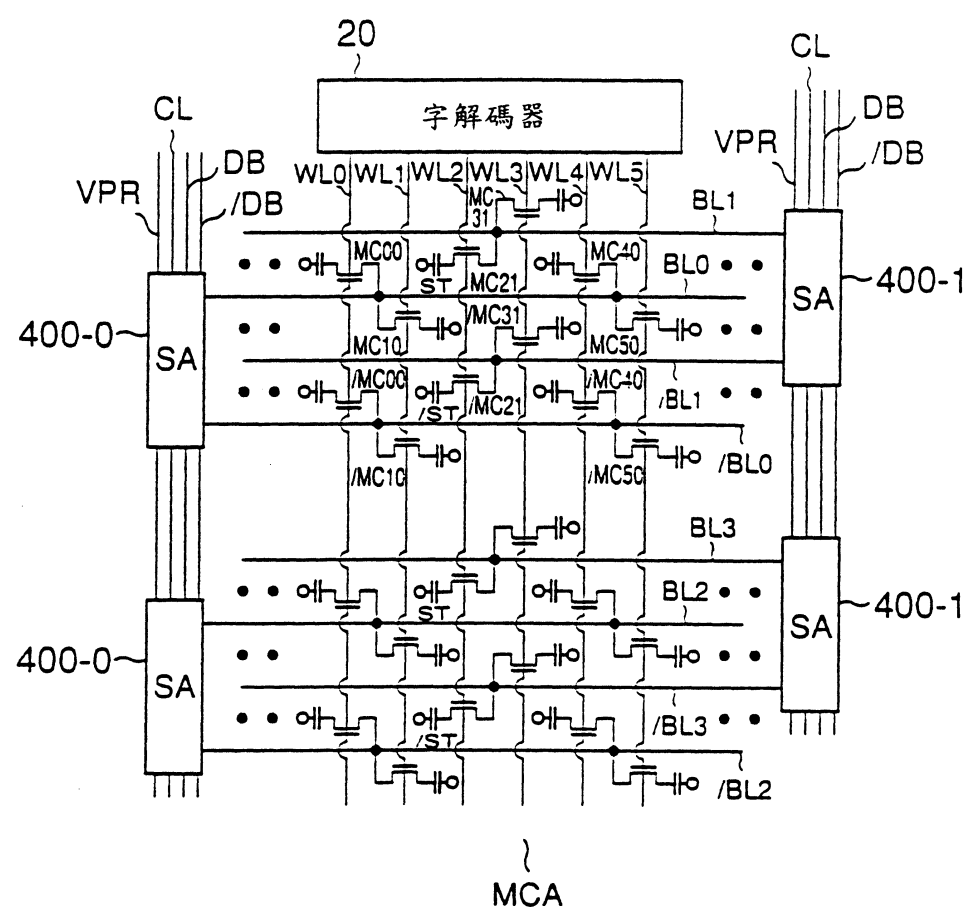
線

第 1 圖

資料輸入/輸出 10

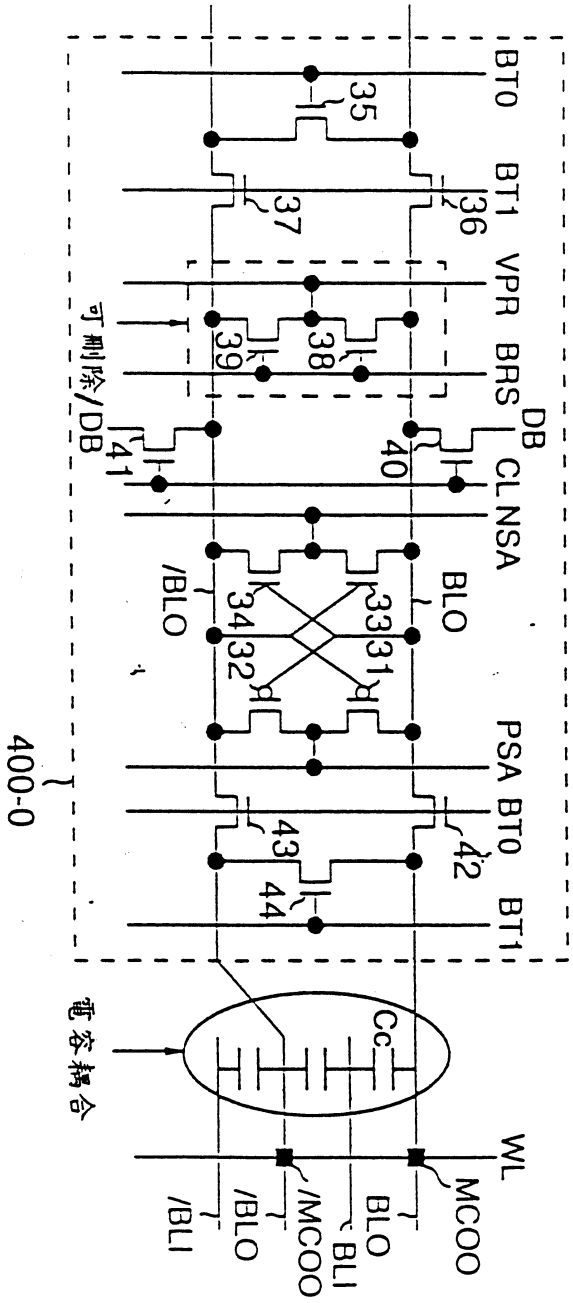


第 2 圖



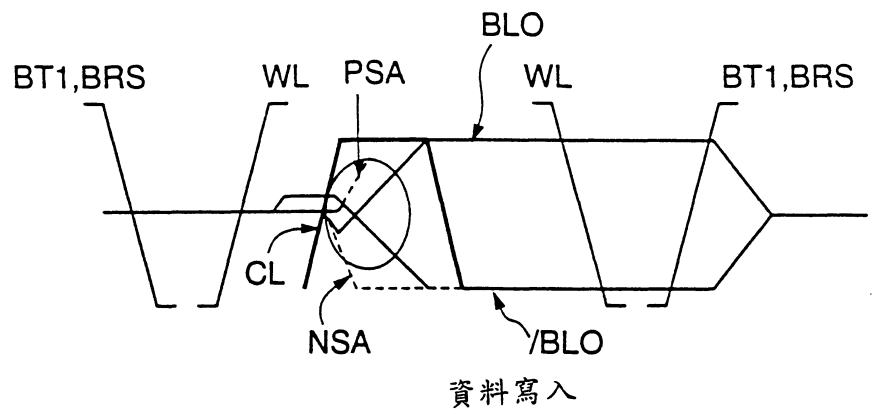
双面影印

91.7.12
光

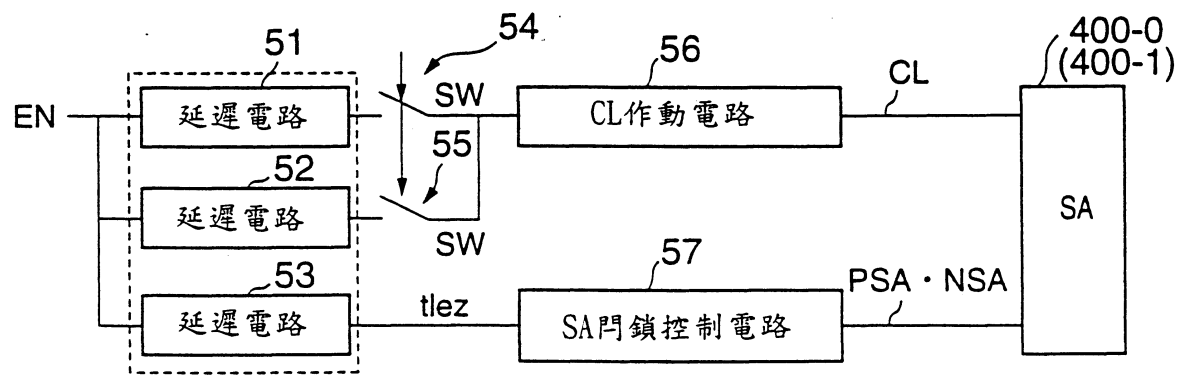


第 3 圖

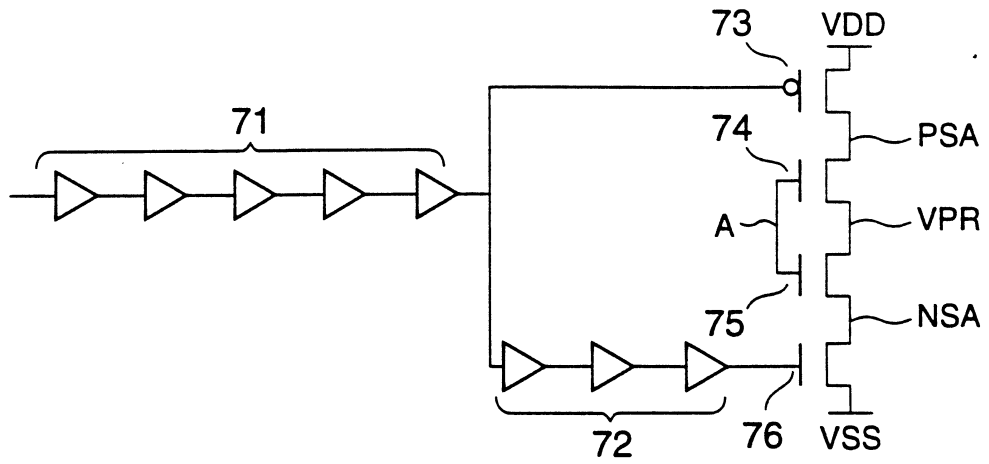
第 4 圖



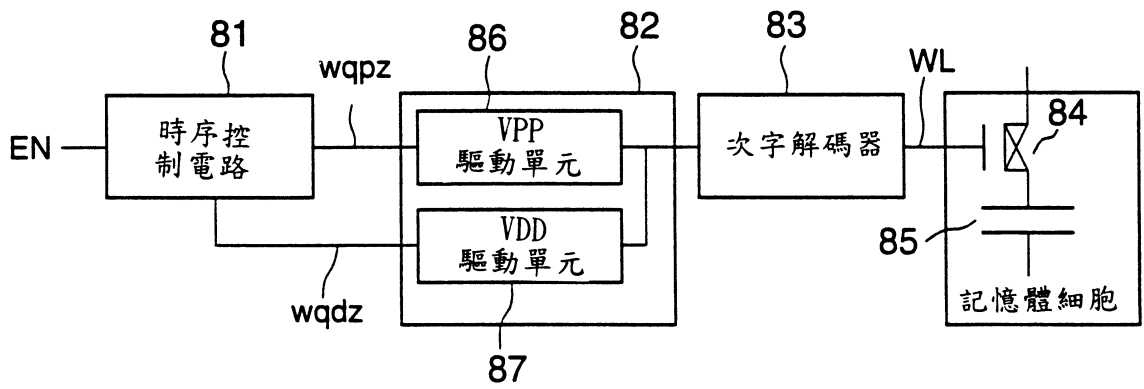
第 5 圖



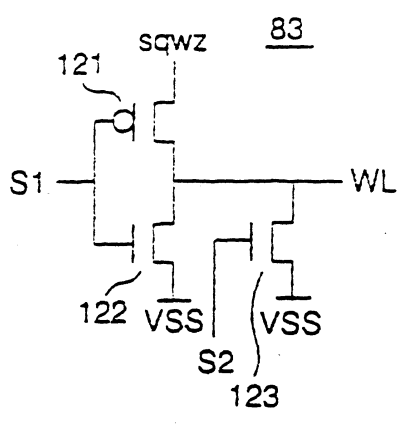
第 8 圖



第 9 圖



第 12 圖



第 13 圖

