



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월10일
(11) 등록번호 10-0757577
(24) 등록일자 2007년09월04일

(51) Int. Cl.

G01R 1/067(2006.01)

- (21) 출원번호 10-2001-7010746
- (22) 출원일자 2001년08월23일
심사청구일자 2005년02월23일
번역문제출일자 2001년08월23일
- (65) 공개번호 10-2001-0102357
공개일자 2001년11월15일
- (86) 국제출원번호 PCT/US2000/004674
국제출원일자 2000년02월23일
- (87) 국제공개번호 WO 2000/50905
국제공개일자 2000년08월31일
- (30) 우선권주장
09/258,186 1999년02월25일 미국(US)

(56) 선행기술조사문헌
US 4523312 A1
(뒷면에 계속)

전체 청구항 수 : 총 22 항

(73) 특허권자

폼팩터, 인크.

미국, 캘리포니아 94551, 리버모어, 7005 싸우스 프론트 로드

(72) 발명자

밀러, 찰스, 에이.

미국94539
캘리포니아주프리몬트세밀론드라이브48881

(74) 대리인

장수길, 주성민

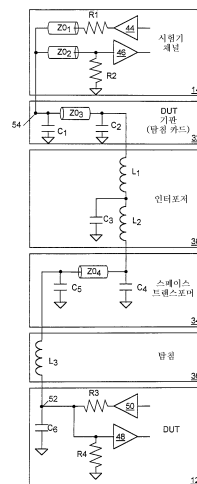
심사관 : 우귀애

(54) 고대역폭 수동 집적회로 시험기 탐침 카드 조립체

(57) 요약

여기서, 집적 회로(IC)의 접착 패드와 IC 시험기간의 고주파수 신호를 전달하기 위한 신호 경로를 제공하는 탐침 카드 조립체가 설명된다. 상호 접속 시스템이 적합하게 튜닝된 버터워스 또는 체비세프 필터로서 기능하도록, 이 탐침 카드 조립체의 주파수 응답은, 신호 경로를 따라 저항성, 용량성 및 유도성 임피던스값들을 적절하게 분산, 조절 및 임피던스 정합함으로써 최적화된다.

대표도 - 도4



(56) 선행기술조사문헌

W09615458 A1

EP0513992 A

(81) 지정국

국내특허 : 가나, 감비아, 시에라리온, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기스스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 남아프리카, 인도네시아, 그라나다, 크로아티아, 인도, 짐바브웨, 세르비아 앤 몬테네그로

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨, 탄자니아

EA 유라시아특허 : , 아르메니아, 아제르바이잔, 벨라루스, 키르기스스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : , 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스

OA OAPI특허 : , 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니비사우

특허청구의 범위

청구항 1

전자 장치의 노드를 전자장치 시험기의 단자에 연결하는 신호 경로를 갖는 시험 장치이며,

상기 노드와 접촉하는 탐침; 및

상기 탐침을 상기 단자에 연결하는 전도성 경로를 구비하고,

상기 신호 경로의 주파수 응답 특성을 실질적으로 최적화하기 위해, 상기 노드, 상기 탐침, 상기 단자, 및 상기 전도성 경로는, 임피던스들의 크기가 서로 상대적으로 정해지는 것을 특징으로 하는 시험 장치.

청구항 2

제1항에 있어서,

상기 임피던스들은, 상기 신호 경로와 직렬인 인덕턴스들 및 상기 신호 경로를 분로시키는 커패시턴스들을 포함하는 것을 특징으로 하는 시험 장치.

청구항 3

제1항에 있어서,

상기 전도성 경로는,

상기 전도성 경로의 제1 부분을 형성하는 제1 도체들을 포함하는 탐침 카드;

상기 전도성 경로의 제2 부분을 형성하는 제2 도체들을 포함하는 스페이스 트랜스포머; 및

상기 제1 및 제2 도체들간에서 신호들을 전달하는 제3 도체들을 포함하는 인터포저를 구비하고,

상기 임피던스들은, 상기 노드의 임피던스와 상기 제1, 제2 및 제3 도체들의 임피던스들을 포함하는 것을 특징으로 하는 시험 장치.

청구항 4

제1항에 있어서,

상기 주파수 응답 특성은 최대 통과 대역폭, 최대 통과 대역 평탄도 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 시험 장치.

청구항 5

제1항에 있어서,

상기 신호 경로가 다극 버터워스 필터(multiple-pole Butterworth filter)를 형성하도록, 상기 임피던스들은 서로 상대적으로 크기가 정해지는 것을 특징으로 하는 시험 장치.

청구항 6

제1항에 있어서,

상호 접속 시스템이 다극 체비세프 필터를 형성하도록, 상기 임피던스들은 서로 상대적으로 크기가 정해지는 것을 특징으로 하는 시험 장치.

청구항 7

집적 회로(IC)의 노드를 IC 시험기의 단자에 연결하는 신호 경로를 갖는 시험 장치이며,

상기 IC 상에 구현되며 상기 노드에 연결되는 전도성 패드;

상기 전도성 패드와 접촉하는 탐침; 및

상기 탐침을 상기 단자에 연결하는 전도성 수단을 구비하고,

상기 신호 경로의 주파수 응답 특성을 실질적으로 최적화하기 위해, 상기 전도성 패드, 상기 단자 및 상기 전도성 수단은, 임피던스들의 크기가 서로 상대적으로 정해지는 것을 특징으로 하는 시험 장치.

청구항 8

제7항에 있어서,

상기 임피던스들은, 상기 신호 경로와 직렬인 인덕턴스들 및 상기 신호 경로를 분로시키는 커패시턴스들을 포함하는 것을 특징으로 하는 시험 장치.

청구항 9

제7항에 있어서,

상기 전도성 수단은 상기 임피던스들 중 하나인 커패시턴스를 갖는 인쇄 회로 기판 비어(via)를 포함하는 것을 특징으로 하는 시험 장치.

청구항 10

제7항에 있어서,

상기 전도성 수단은 상기 임피던스들 중 하나인 특성 임피던스를 갖는 트레이스(trace)를 포함하는 것을 특징으로 하는 시험 장치.

청구항 11

제7항에 있어서,

상기 전도성 수단은 상기 임피던스들 중 하나인 인덕턴스를 갖는 스프링 콘택트를 포함하는 것을 특징으로 하는 시험 장치.

청구항 12

집적 회로(IC)의 노드를 IC 시험기의 단자에 연결하는 신호 경로를 갖는 시험 장치이며,

상기 시험 장치는,

상기 IC 상에 구현되며 상기 노드에 연결되는 전도성 패드;

상기 전도성 패드와 접촉하는 탐침; 및

상기 탐침을 상기 단자에 연결하는 전도성 수단을 구비하고,

상기 신호 경로의 주파수 응답 특성을 실질적으로 최적화하기 위해, 상기 전도성 패드, 상기 단자 및 상기 전도성 수단은, 임피던스들의 크기가 서로 상대적으로 정해지며,

상기 전도성 수단은,

상기 임피던스들 중 하나인 커패시턴스를 갖는 인쇄 회로 기판 비어;

상기 임피던스들 중 하나인 특성 임피던스를 갖는 트레이스; 및

상기 임피던스들 중 하나인 인덕턴스를 갖는 스프링 콘택트를 포함하는 것을 특징으로 하는 시험 장치.

청구항 13

제7항에 있어서,

상기 전도성 수단은,

상기 전도성 경로의 제1 부분을 형성하는 제1 도체들을 포함하는 탐침 카드;

상기 전도성 경로의 제2 부분을 형성하는 제2 도체들을 포함하는 스페이스 트랜스포머; 및

상기 제1 및 제2 도체들간에서 신호들을 전달하는 제3 도체들을 포함하는 인터포저를 구비하고,

상기 임피던스들은, 상기 제1, 제2 및 제3 도체들의 임피던스들을 포함하는 것을 특징으로 하는 시험 장치.

청구항 14

제7항에 있어서,

상기 주파수 응답 특성은, 최대 통과 대역폭, 최대 통과 대역 평탄도 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 시험 장치.

청구항 15

제7항에 있어서,

상호 접속 시스템이 다극 버터워스 필터를 형성하도록, 상기 임피던스들은, 서로 상대적으로 크기가 정해지는 것을 특징으로 하는 시험 장치.

청구항 16

제7항에 있어서,

상호 접속 시스템이 다극 체비세프 필터를 형성하도록, 상기 임피던스들은, 서로 상대적으로 크기가 정해지는 것을 특징으로 하는 시험 장치.

청구항 17

집적 회로(IC)의 노드를 IC 시험기의 단자에 접속하는 신호 경로 - 상기 신호 경로는 상기 노드에 접속된 접착 패드, 상기 접착 패드와 접촉하는 탐침, 및 상기 탐침을 상기 단자에 연결하는 전도성 수단을 구비함 - 의 임피던스들의 크기를 정하는 방법이며,

상기 신호 경로의 주파수 응답 특성을 최적화하기 위해, 상기 접착 패드, 상기 탐침, 및 상기 전도성 수단의 임피던스들을 서로 상대적으로 조절하는 단계를 포함하는 것을 특징으로 하는 임피던스들의 크기를 정하는 방법.

청구항 18

제17항에 있어서,

상기 주파수 응답 특성은, 최대 통과 대역폭, 최대 통과 대역 평탄도 및 최대 통과 대역 전력 중 하나인 것을 특징으로 하는 임피던스들의 크기를 정하는 방법.

청구항 19

제17항에 있어서,

상기 신호 경로가 다극 버터워스 필터로서 실질적으로 동작하도록, 상기 임피던스들이 조절되는 것을 특징으로 하는 임피던스들의 크기를 정하는 방법.

청구항 20

제17항에 있어서,

상기 신호 경로가 다극 체비세프 필터로서 실질적으로 동작하도록, 상기 임피던스들이 조절되는 것을 특징으로 하는 임피던스들의 크기를 정하는 방법.

청구항 21

집적 회로(IC)의 노드를 IC 시험기의 단자에 연결하는 신호 경로를 갖는 시험 장치이며,

상기 시험 장치는,

상기 IC 상에 구현되며 상기 노드에 연결되는 전도성 패드;

상기 전도성 패드와 접촉하는 탐침; 및

상기 탐침을 상기 단자에 연결하는 전도성 수단을 구비하고,

상기 신호 경로의 주파수 응답 특성을 실질적으로 최적화하기 위해, 상기 전도성 패드, 상기 탐침, 상기 단자 및 상기 전도성 수단은, 임피던스들의 크기가 서로 상대적으로 정해지며,

상기 전도성 수단은, 상기 임피던스들 중 하나인 커패시턴스를 갖는 인쇄 회로 기판 비어를 포함하는 것을 특징으로 하는 시험 장치.

청구항 22

집적 회로(IC)의 노드를 IC 시험기의 단자에 연결하는 시험 장치이며,

상기 시험 장치는,

상기 노드에 접촉하는 탐침; 및

상기 탐침을 상기 단자에 연결하는 전도성 수단을 구비하고,

상기 신호 경로의 주파수 응답 특성을 실질적으로 최적화하기 위해, 상기 노드, 상기 탐침, 및 상기 전도성 수단은, 임피던스들의 크기가 서로 상대적으로 정해지며,

상기 전도성 수단은 상기 임피던스들 중 하나인 커패시턴스를 갖는 인쇄 회로 기판 비어를 포함하는 것을 특징으로 하는 시험 장치.

명세서

기술분야

<1> 본 발명은, 일반적으로 시험 장치와 피시험 집적회로 다이(die)를 상호 접속하는 탐침 카드 조립체에 관한 것으로, 보다 구체적으로는, 시험 장치와 다이간에 고대역폭, 저패폭, 임피던스 정합 필터 구조물로 각각의 신호 경로를 구현하는 탐침 카드 조립체에 관한 것이다.

배경기술

<2> 통상적으로, 집적회로(IC) 다이는, 그 상부면 상에 집적회로 다이용 입력/출력 단자로서 기능하는 일군의 접착 패드를 포함한다. IC 다이가 패키징되는 경우, 그 접착 패드는 IC 를 외부 회로와 연결하는 접착 배선 또는 다른 구조물에 대한 접속점을 제공한다. 또한, 이들 접착 패드는, IC 다이를 웨이퍼로부터 분리하여 패키징하기 전 IC 다이를 시험할 때 IC 시험기에 접근(access)점을 제공할 수도 있다.

<3> 통상적으로, IC 시험기는 피시험 IC의 각 단자에 대해 별도의 채널을 포함하고 있고, 시험 동안 각 채널은 IC 단자에 시험 신호를 전송하거나, IC 단자에 나타나는 IC 출력 신호를 수신하여 처리할 수도 있다. 통상적으로, 각 채널은, "시험 헤드" 로 지칭되는 상대적으로 큰 새시에 장착된 개별 회로 기판 상에 구현된다. 통상적으로, 시험기는, 시험 헤드에 장착된 회로 기판과 IC의 접착 패드간에 신호 경로를 제공하는 탐침 카드 조립체를 포함한다.

<4> (본 명세서에서 참조적으로 기재된)1996년 5월 23일 공개된 PCT 공개 출원 WO 96/15458 호는, 3개의 개별 층 세트가 시험 헤드 아래에 수직으로 적층되어 있는 고성능 탐침 카드 조립체를 설명하고 있다. 이 조립체의 하나의 층, 즉, 탐침 헤드 상에 장착된 "탐침 카드" 는, 그 표면 상에, 시험 헤드에 장착된 회로 기판으로부터 연장되는 포고(pogo) 핀 커넥터용 접촉점을 제공한다. 이 포고 핀은 그 회로 기판들에 의해 구현된 시험 장치용 입력 및/또는 출력 단자의 기능을 한다. 탐침 카드 조립체의 "스페이스 트랜스포머" 층은, 그 아랫면에 다이의 상부면 상의 접착 패드와 접촉하기 위한 탐침 세트를 포함한다. 탐침 카드와 스페이스 트랜스포머 간에 존재하는 "인터포저" 기판은, 탐침 카드와 스페이스 트랜스포머 간에 신호 라우팅 경로를 제공하며, 탐침 카드와 스페이스 트랜스포머 사이에서, 그 인터포저 표면상의 스프링 콘택트를 통해 탐침 카드와 스페이스 트랜스포머의 전면(facing surfaces)상의 패드와 접촉하게 된다.

<5> 다이를 고주파수로 시험하기 위해서는, 시험 장치를 시험되는 IC의 접착 패드에 되도록 가깝게 위치시켜, 시험 장치와 IC의 접착 패드간에 신호가 이동하는데 필요한 시간량을 감소시키는 것이 바람직하다. 시험 헤드내의 회로 기판은 시험하려고 하는 IC 다이보다 훨씬 더 크므로, 회로 기판에서 신호를 전송하고 수신하는 포고 핀들은, 시험되는 다이 상의 접착 패드보다 훨씬 더 넓은 수평 영역 상으로 분포될 필요가 있다. 따라서, 탐침 카드 조립체는 접착 패드와 포고 핀들 간에 수직으로 신호를 라우팅해야 할 뿐만 아니라, 이들 신호를 수평으로도 라우팅해야 한다. 이 조립체의 여러 기판들 간의 탐침들, 포고 핀들, 스프링 콘택트들, 및 그 기판들내

의 비어들(vias)은, 접착 패드와 시험기 회로 간에서 수직으로 시험 신호를 이동시킨다. 탐침 카드 조립체의 여러 기관들의 표면들 또는 층들 상의 마이크로스트립 트레이스들은 그 신호들을 수평으로 라우팅한다.

- <6> 시험기 설계자가 접착 패드와 시험기 회로간의 신호 경로의 길이를 최소화하려는 이유들 중 하나는, 그 신호 경로들에서의 지연 및 임피던스 불연속성을 최소화하기 위한 것이다. 이 신호 경로들이 고주파수 시험 및 IC 출력 신호들을 전달할 때, 이 신호 경로들에서의 임피던스 불연속성은 그 신호들을 감쇠시키고 왜곡할 수 있다. 이 신호 라우팅 경로들의 고유 직렬 인덕턴스 및 병렬(shunt) 커패시턴스는, 신호를 왜곡할 수 있는 임피던스 연속성의 중요한 소스이다.
- <7> 상호 접속 시스템에 의한 신호 왜곡 및 감쇠량을 감소시키는 통상의 접근 방법은, 신호 경로 길이를 최소화하고 전송선 임피던스를 정합시키는 것이었다. 이와 같이 할 때, 통상적으로 설계자는, 시험 중인 IC의 위 또는 아래의 더 작은 수평 공간으로 시험기 회로가 패키징될 수 있도록, 적어도 수평면에서는, 시험기 회로의 물리적 크기를 최소화하는 것을 시도하게 된다. 이는, 신호들이 액세스하는 IC 접착 패드와 시험 장치간에서 이 신호들이 이동해야 하는 수평 거리를 최소화한다. 또한, 설계자는, 예를 들어 되도록 짧은 탐침 및 포고 핀을 제공하고, 탐침 카드, 인터포저 및 스페이스 트랜스포머를 되도록 얇게 만들고, 그 기관들 간에 되도록 짧은 스프링 콘택트 또는 다른 콘택트 구조물을 제공하는 것과 같이, 탐침 카드 조립체를 수직 방향으로 되도록 얇게 만듦으로써, 상호 접속 시스템내의 신호 경로 길이를 최소화하는 것도 시도하게 된다.
- <8> IC 접착 패드와 이들에 액세스하는 시험 장치간의 신호 경로에서의 신호 왜곡을 감소시키기 위한 다른 접근 방법으로는, 그 신호 경로들내의 병렬 커패시턴스량을 최소화하는 것이 있었다. 트레이스들의 크기, 이 트레이스들과 접지면과의 간격, 및 그 탐침 카드 조립체층들을 형성하는 절연 재료의 유전적 특성을 포함하는, 탐침 카드 조립체의 탐침 및 여러 층들의 물리적 특성들을 적절하게 선택함으로써, 커패시턴스를 감소시킬 수 있다. 또한, 탐침 카드, 인터포저 및 스페이스 트랜스포머를 통해 수직으로 통과하는 도체들, 즉 비어들(vias)도 병렬 커패시턴스의 소스이므로, 통상적으로, 탐침 카드 조립체 설계자는, 그들(vias)이 통과하는 임의의 접지면 또는 전원면을 통해 상대적으로 넓은 홀을 제공함으로써, 그들(vias)의 커패시턴스를 최소화하도록 비어들을 구성하는데, 이는 신호 경로의 커패시턴스가 이 신호 경로와 임의의 접지면 또는 전원면간의 거리에 반비례하기 때문이다.
- <9> 상호 접속 시스템 신호 경로 길이를 최소화하고, 이들 신호 경로의 인덕턴스와 커패시턴스를 최소화하며, 또한, 이들 신호 경로 전체에 걸쳐서 전송선 임피던스를 정합시키는 것은, 대역폭을 증가시키고, 주파수 응답을 평탄하게 하며, 또한 신호 왜곡을 감소시키는 것을 도울 수 있다. 그러나, 신호 경로 길이를 제로로 감소시키거나, 탐침 카드 조립체 신호 경로 인덕턴스 및 커패시턴스를 완전히 제거하는 것은 가능하지 않다. 따라서, 신호 주파수가 충분히 높은 경우, 소정 레벨의 신호 왜곡 및 감쇠는 불가피하게 된다. 신호 주파수에 따라 왜곡 및 감쇠가 증가하므로, 이와 같은 신호 왜곡 및 감쇠는 정확한 고주파수 시험에 대한 장벽을 제공하게 된다.
- <10> 단순히 이들 신호 경로의 길이 및 임피던스를 최소화하여 제공될 수 있는 레벨 이하로 신호의 왜곡 및 감쇠를 감소시키기 위해서는, 탐침 카드 조립체를 통과하는 신호 경로의 주파수 응답을 충분히 향상시키는 방법이 필요하다.

발명의 상세한 설명

- <11> 본 발명은, 집적 회로 시험기의 시험 헤드에 설치된 IC 시험 장치에 집적 회로(IC) 다이의 접착 패드를 상호 접속시키는 형태의 종래 탐침 카드 조립체를 개선한 것이다. 본 발명에 따르면, 각 신호 경로는, 서로 관련된 그 자신의 병렬 커패시턴스와 직렬 인덕턴스의 크기를 적당히 조절하여, 신호 경로의 주파수 응답의 관련된 특성과 임피던스 특성을 최적화하는 필터 기능을 제공하도록 배열되고 적용된다. 예를 들어, 왜곡을 피하는 것이 가장 중요한 저주파수 아날로그 신호를 이용하여 시험 장치와 다이가 통신하는 경우, 그 신호를 전달하는 신호 경로의 "최적" 주파수 응답은 좁지만, 최대로 평탄한 통과 대역을 갖게 된다. 또는, 다른 예로서, 시험 장치와 다이가 고주파수 디지털 신호를 통해 통신하는 경우, 최적 주파수 응답은 최대로 넓은 통과 대역을 갖게 된다. 신호 경로의 인덕턴스와 커패시턴스를 단순히 최소화하거나 그들을 전송선 세그먼트들로 취급하기 보다는, 본 발명에 따라 탐침 카드 조립체를 통과하는 신호 경로의 인덕턴스와 커패시턴스를 적당히 분배하고 조절함으로써, 탐침 카드 조립체 주파수 응답에서의 충분한 향상이 얻어지게 된다.
- <12> 따라서, 본 발명의 목적은, 시험 장치를 집적회로 장치의 단자에 상호 접속하기 위한 시스템으로서, 그 사이를 통과하는 신호의 성질에 대해 이 상호 접속 시스템의 주파수 응답과 임피던스 정합 특성이 최적화되는, 상기 시

시스템을 제공하는 것이다.

- <13> 이 명세서의 결말 부분은, 본 발명의 주제를 구체적으로 지적하여 명확히 그에 대한 권리를 주장하고 있다. 그러나, 당해 기술분야에서 숙련된 당업자들은, 동일 참조부호가 동일 구성요소를 지칭하는 첨부된 도면(들)을 참조하여 이 명세서의 나머지 부분들을 읽음으로써, 본 발명의 또 다른 이점들 및 목적들과 함께, 본 발명의 구성과 운용 방법 모두를 이해할 수 있을 것이다.

실시예

- <19> 본 발명은, 집적 회로(IC) 시험기에 관한 것으로, 더욱 자세하게는, 시험 중인 집적 회로 장치(DUT)의 접촉 패드와 시험 동안 이 DUT 에 액세스하는 IC 시험기의 여러 채널들간에 신호를 전달하는 개선된 탐침 카드 조립체에 관한 것이다. 도 1은, 적절하게는 아직 웨이퍼로부터 분리되어 패키징되지 않은 실리콘 웨이퍼(13) 상의 다이 형태인, DUT(12) 상에서 시험을 수행하는 통상의 IC 시험기(10)를 블록도 형태로 나타낸다. 통상적으로, IC 다이는, 그 상부면 상에 내부 회로 노드에 연결되며 IC 용 입력/출력 단자로서 기능하는 일군의 접촉 패드들을 포함한다. 다이 상의 접촉 패드들은, 회로 노드를 IC 패키지의 핀 또는 레그에 연결하는 접촉 배선용 접속점을 제공하게 된다. 그러나, 패키징되기 전 다이를 시험하는 경우, 이들 접촉 패드들은, 시험기와 IC의 내부 회로간에 신호를 전달하는 시험기로부터 탐침들에 대한 접촉점들로서 이용될 수도 있다.
- <20> 시험기(10)는, DUT(12) 상의 각 접촉 패드에 대해 하나씩인, 일군의 채널들(14)을 포함한다. 시험 동안, 각 채널(14)은, 디지털 또는 아날로그 시험 신호 입력을 생성하여 DUT(12)의 접촉 패드에 전송하거나, 접촉 패드를 통해 전달된 디지털 또는 아날로그 DUT 출력 신호를 수신하고 처리하게 된다. 시험 시작 전, 호스트 컴퓨터(16)는 버스(18)를 통해 각 채널(14)에 명령을 전송한다. 시험 동안, 각 채널(14) 내의 패턴 발생기는 이들 명령을 실행하여, 연속된 시험 사이클 동안 무엇을 해야하는지를 채널에 말해주는 벡터들(데이터 값들)의 시퀀스를 생성한다. 시험 종료시, 채널(14)은 결과 데이터를 호스트 컴퓨터(14)에 다시 전송하여 시험 동안 모니터링한 DUT 출력 신호의 행동에 관해 보고하게 된다.
- <21> 채널들(14)은, 도 1의 예시적인 시험기 아키텍처에서 "시험 헤드"(20)로 지칭되는 장치 새시내에 장착되는 일군의 인쇄 회로 기관들 상에 구현된다. 또한, 채널들은 시험 헤드로부터 멀리 떨어져 장착되지만 전송선을 통해 시험 헤드와 연결될 수도 있다. DUT(12)의 접촉 패드들과 접촉하는 탐침들을 포함하는, 탐침 카드 조립체(22)는, 이들 접촉 패드와 채널(14)을 구현하는 시험 헤드내의 회로 기관들간의 신호 경로를 제공한다. 고주파수로 동작하는 최신 시험기들은, 시험기 채널(14)과 IC의 접촉 패드간의 신호 전송 시간을 최소화하기 위해, 시험 헤드(20)를 DUT(12)에 되도록 가깝게 위치시킨다. 또한, 신호 경로 임피던스가 DUT 입력 및 출력 신호를 상당히 감소시키고 왜곡할 수 있으므로, IC 시험기 설계자들은, 이들 신호 경로의 임피던스를 최소화하기 위해 접촉 패드와 채널(14)간의 신호 경로의 길이를 최소화하려고도 한다.
- <22> 통상적으로 도 1의 예시적인 시험기 아키텍처가 이용되지만, 많은 다른 시험기 아키텍처들도 이용되고 있다. 예를 들어, 많은 시험기들은, 시험 동안 채널들에 데이터를 공급하는 중앙 패턴 발생기를 제공함으로써, 채널(14)의 패턴 발생 기능을 집중시킨다. 또한, 어떤 시험기들의 경우, 채널(14)은 시험 헤드로부터 멀리 떨어져 장착되고 전송선을 통해 이 시험 헤드에 접속된다. 본 발명은 모든 시험기 아키텍처들에 적용할 수 있다.
- <23> 도 2는 도 1의 채널들(14)을 구현하는 일군의 회로 기관들(24)을 포함하는 도 1의 시험 헤드(20)의 개략 단면도이다. 도 3은, 웨이퍼(13) 상에 형성된 IC 다이(12; DUT) 상의 접촉 패드들에 회로 기관들(24)을 연결하는 탐침 카드 조립체(22)의 입면도와 함께, 도 2의 시험 헤드(20)의 부분 입단면도를 포함한다. 탐침 카드 조립체(22)의 여러 부분들을 강조하기 위해, 도 2 및 도 3은 의도적으로 축척으로 제도하지 않았다. 예를 들어, 당해 기술분야에서 숙련된 당업자들은, 특히 시험 헤드(20)가 도 3에 나타난 것보다 DUT(12)에 비해 훨씬 더 폭이 넓고 키가 큰 것을 알 수 있을 것이다.
- <24> 시험 헤드(20) 내부에 도 1의 채널들(14)을 구현하는 회로 기관들(24)은 시험하려고 하는 DUT(12) 보다 훨씬 더 크므로, 채널들(14)은 반드시 DUT(12)의 접촉 패드들보다 훨씬 더 넓은 수평 영역 상에서 분포되어야 한다. 따라서, 탐침 카드 조립체(22)는 DUT(12)의 접촉 패드들과 회로 기관들(24) 간에서 수직으로 신호를 라우팅해야 할 뿐만 아니라, 이들 신호를 수평으로도 라우팅해야 한다. 아래에 설명하는 바와 같이, 탐침 카드 조립체(22)를 형성하는 여러 층들내에서 여러 탐침들, 포고 핀들, 스프링 콘택트들, 및 비어들은 시험 신호를 수직으로 이동시키지만, 탐침 카드 조립체(22)의 여러 층들내에 포함된 마이크로스트립 및 스트립라인 트레이스들은 이들 신호를 수평으로 라우팅하게 된다.

- <25> 통상적으로, 설계자들은, DUT(12)의 위 또는 아래에서 더 작은 수평 공간으로 회로 기판들(24)을 패키징할 수 있도록, 적어도 수평면에서, 회로 기판들(24)의 물리적 크기를 최소화시키려고 한다. 이는, 시험기 채널들과 이들이 액세스하는 IC 접착 패드들간에서 신호가 이동해야 하는 수평 거리를 최소화한다. 시험 헤드(20) 아래의 DUT(12)를 통해 통과하는 중심 수직축(26) 주위에 방사상으로 회로 기판들(24)이 배열되므로, 모든 회로 기판들(24)은 DUT(12)로부터 거의 동일 거리에 있게 된다. 각 회로 기판(24)은, 축(26)에 가장 가까운 회로 기판의 가장 낮은 코너(28) 근방에 장착된 회로 기판의 신호 구동기 및 수신기들과 함께 적절하게 배열된다. 각 회로 기판(24)의 코너(28)로부터 아래쪽으로 연장되는 하나 이상의 포고 핀 커넥터들(30)이, 회로 기판(24)과 탐침 카드 조립체(22) 간에 신호를 전송하는 것이 바람직하다. 중심축(26) 주위에 회로 기판들(24)을 방사상으로 배열하고 그 구동기 및 수신기들을 코너(28)에 위치시킴으로써, 시험 및 DUT 출력 신호들이 이동해야 하는 거리를 최소화하는 것을 돕게 된다.
- <26> DUT(12)와 회로 기판들(24)의 포고 핀들(30) 간에 신호를 전달하는, 탐침 카드 조립체(22)는, 3개의 수직으로 적층된 층들의 세트를 포함한다. 탐침 카드 조립체(22)의 첫번째 층, 즉 "탐침 카드"(32)는, 시험 헤드(20) 바로 아래에 장착된다. 탐침 카드(32)는, 그 상부면 상에 회로 기판들(24)에 의해 구현되는 시험기 채널들(14)용 입력 및/또는 출력 단자로서 기능하는 포고 핀 커넥터(30)용 접촉점들을 제공한다. "스페이스 트랜스포머"(34)는 DUT(12) 상의 접착 패드들과 접촉하도록 배향된 일군의 탐침들(36)을 포함한다. 탐침 카드(32)와 스페이스 트랜스포머(34) 간에 위치한 "인터포저"(38)는, 그 상부면과 하부면 상에 탐침 카드(32)와 스페이스 트랜스포머(34)의 전면(facing surfaces) 상의 접촉 패드들간의 신호 경로를 제공하기 위한 스프링 콘택트(40 및 42)를 포함한다.
- <27> 도 3의 탐침 카드 조립체(22)와 대체로 유사한 탐침 카드 조립체는, 본 명세서에 참조로 포함되는, 1996년 5월 23일 공개된, PCT 공개 출원 WO 96/15458 호에 더욱 상세하게 설명되어 있다. 여기서 설명된 특정 탐침 카드 조립체 아키텍처와 함께 본 발명의 바람직한 실시예를 여기서 설명하였지만, 여기서 설명된 본 발명을 다른 형태의 탐침 카드 조립체 아키텍처들에도 적용할 수 있음을 알 수 있다.
- <28> 또한, 설계자들은, 예를 들어, 되도록 짧은 탐침들(36) 및 커넥터들(40 및 42)을 제공하고, 또한 탐침 카드(32), 스페이스 트랜스포머(34) 및 인터포저(38)를 되도록 얇게 만드는 것과 같이, 탐침 카드 조립체(22)를 수직 방향으로 되도록 얇게 만들도록 신호 경로 길이를 최소화하려고도 한다. 그러나, 탐침 카드 조립체(22)의 여러 구성요소들을 얼마 만큼 작게, 얇게 그리고 짧게 할 수 있는가에 대한 구조적인 제한이 있으므로, 신호들은 포고 핀(30)과 DUT(12) 표면 상의 접착 패드들간의 상당한 거리를 여전히 이동해야 하며, 이 신호들이 따르는 신호 경로들의 임피던스는 그 신호들을 왜곡하고 감쇠시키게 된다.
- <29> 신호 경로 길이를 가능한 범위까지 최소화하면, IC 접착 패드와 시험기 채널간의 신호 경로에서의 신호 왜곡 및 감쇠를 감소시키기 위한 다음 단계는, 그 신호 경로들을 신중히 설계하여 그들의 임피던스, 특히 그들의 병렬 커패시턴스와 직렬 인덕턴스를 최소화시키는 것이었다. 신호 경로의 커패시턴스는, 그 신호 경로의 면적, 근방의 접지면 및 전원면들(power planes)에 대한 신호 경로의 간격과 배향, 및 이 경로와 그 접지면 및 전원면들간 재료의 유전율에 주로 의존하게 된다. 따라서, 탐침 카드 조립체(22)를 통과하는 신호 경로의 커패시턴스는, 그 신호 경로들을 형성하는 탐침 카드 조립체(22) 층들 내의 탐침들(36), 콘택트들(40 및 42), 및 여러 트레이스들과 비어들의 물리적 특성들을 적당히 선택함으로써, 더 감소시킬 수 있게 된다.
- <30> 신호 경로의 직렬 인덕턴스는, 대부분 그 길이의 함수이므로, 신호 경로의 길이를 감소시킬 때, 그 인덕턴스도 감소시키게 된다. 그러나, 널리 공지된 바와 같이, 다른 도체들에 대한 신호 경로의 간격과 폭 등의, 신호 경로의 다른 물리적 특성들도 경로 인덕턴스에 영향을 줄 수 있다. 탐침 카드 조립체 설계자들은, 그 경로들의 상기 물리적 특성들을 적절히 조절함으로써 탐침 카드 조립체를 통과하는 신호 경로의 인덕턴스를 더 감소시키기 위한 상당한 노력을 기울여 왔다.
- <31> 탐침 카드 조립체(22)를 통과하는 신호 경로 인덕턴스와 커패시턴스를 최소화하는 것이, 일반적으로 대역폭을 증가시키고 신호 왜곡을 감소시킬 수 있지만, 신호 경로 인덕턴스와 커패시턴스를 완전히 제거하는 것은 불가능하지 않다. 이와 마찬가지로, 탐침 구조물을 통과하는 전송선의 임피던스를 일정하게 유지하는 것도 어렵다. 따라서, 소정 레벨의 신호 왜곡과 감쇠가 불가피하게 된다. 왜곡과 감쇠는 일반적으로 신호 주파수에 따라 증가하므로, 이와 같은 신호 왜곡과 감쇠는 정확한 고주파수 시험에 대한 장애물을 제공하게 된다.
- <32> 본 발명은 탐침 카드 조립체(22)의 주파수 응답을 향상시키는 처리 방법에서의 다음 단계를 나타내며, 본 발명을 이해하기 위해서는, 우선 탐침 카드 조립체(22)를 통과하는 신호 경로, 및 시험기 회로와 이 신호 경로가 상호 접속하는 DUT 를, 등가 회로도 모델링하는 것이 도움이 된다. 그 후, 공지된 방법으로 등가 회로의 주

과수 응답을 시뮬레이션하도록 프로그램된 통상의 회로 시뮬레이터를 이용하여 탐침 카드 조립체에 의해 제공되는 신호 경로에서의 여러 임피던스 값들의 주과수 응답에 관한 영향을 연구할 수 있게 된다.

<33> 도 4는, 단일 시험기 채널(14) 내의 구동기(44) 및 수신기(46)와, DUT(12) 내의 접촉 패드에 연결된 수신기(48) 및 구동기(50) 간의 신호 경로의 등가 회로도이다. 이 예에서, 시험되고 있는 DUT 단자가 양(兩)방향 입력/출력 단자인 것으로 가정하므로, 접촉 패드(52)로부터 DUT 출력 신호를 전송하는 구동기(50), 및 접촉 패드(52)에 도달한 DUT 입력 신호를 수신하는 수신기(48)를 모두 포함하는 것으로, DUT(12)를 나타낸다. 시험기 채널(14)은, 그 출력 저항(R_1), (만약 있으면) 특성 임피던스(Z_0)를 갖는 전송선, 및 포고 핀(30)을 통해 탐침 카드(32) 상부면의 패드(54)에 연결되는 이상적인 구동기(44)로서 모델링된다. 포고 핀(30)의 커패시턴스와, 이 포고 핀을 받아들이는 탐침 카드(32) 표면 상의 패드의 커패시턴스는, 병렬 커패시터(C_1)로 나타낸다. 도 3의 탐침 카드(32)는, 그 표면들 중 하나의 표면 상에 패드(54)로부터 수평으로 신호를 라우팅하는 특성 임피던스(Z_0)의 마이크로스트립 트레이스를 포함한다. 또한, 탐침 카드(32)는, 탐침 카드(32)를 통해 신호를 수직으로 라우팅하는 하나 이상의 비어들(vias)도 포함한다. 이와 같은 비어들의 커패시턴스는 커패시터(C_1 및 C_2)에 포함된다. 또한, 비어도 인덕턴스 및 저항을 갖지만, 비어의 커패시턴스가 지배적이므로, 단일 병렬 커패시터로 적절하게 모델링될 수 있다.

<34> 도 3의 인터포저(38)의 스프링 커넥터들(40 및 42)은 도 4에서 한 쌍의 직렬 접속 인덕터들(L_1 및 L_2)에 의해 모델링된다. 인터포저(38)는 커넥터들(40 및 42)을 연결하는 수직 비어를 포함하고, 그 비어의 커패시턴스는 단일 병렬 커패시터(C_3)로 적절하게 나타내어져 있다. 도 3의 스페이스 트랜스포머는 그 표면들 중 하나의 표면을 가로질러 신호를 수평으로 라우팅하는 마이크로스트립 트레이스를 포함하고, 이 트레이스는 도 4에서 특성 임피던스(Z_0)로서 나타낸다. 한 쌍의 병렬 커패시터들(C_4 및 C_5)은, 스페이스 트랜스포머(34) 상부면 상의 접촉 패드의 커패시턴스 및 스페이스 트랜스포머(22)를 통해 수직으로 통과하는 비어의 커패시턴스를 나타낸다. 이 스페이스 트랜스포머(22)를 DUT(12)의 접촉 패드(52)에 연결하는 도 3의 탐침(36)은 주로 유도성이며 도 4에서 인덕터(L_3)에 의해 적절하게 나타내어져 있다. DUT 출력 구동기(50)는 그 출력 저항(R_3)을 통해 접촉 패드(52)에 DUT 출력 신호를 공급하는 반면, DUT(12)의 수신기(48)는 접촉 패드(52)에 나타나는 DUT 입력 신호를 입력 저항(R_4)로 수신한다. 통상적으로, DUT(12)는, 고전압 정전 잡음으로부터 DUT(12)를 보호하기 위해 접촉 패드(52)에 연결된 내부 정전 보호 장치(ESD)를 포함하게 된다. (대부분 용량성인) ESD 장치 임피던스는 도 4에서 병렬 커패시터(C_6)에 의해 나타내어져 있다.

<35> 커패시터(C_1 내지 C_6), 인덕터(L_1 내지 L_3), 저항(R_1 내지 R_4), 및 전송선 임피던스(Z_0 내지 Z_0)로 형성된 회로는, 구동기(44)와 수신기(48)간을 통과하는 신호를 상당히 감쇠시키고 왜곡할 수 있는 리액티브 임피던스를 갖는다. 상술한 바와 같이, 신호 왜곡 및 감쇠량을 감소시키기 위한 종래 접근 방법은, 신호 경로를 따라 여러 직렬 인덕턴스들(L_1 내지 L_3)과 병렬 커패시턴스들(C_1 내지 C_6)을 가능한 범위까지 최소화하는 것이었다. 또한, 모든 저항들(R_1 내지 R_4)과 특성 임피던스들(Z_0 내지 Z_0)을 유사한 값들(고주파수 애플리케이션에서 통상적으로 표준화된 50 Ω 으로 조절하는 것이 일반적인 방법이었다. 이와 같은 임피던스 정합은 신호 반사를 감소시키므로, 신호 경로에 의한 왜곡량을 감소시키게 된다.

<36> 아래의 표 I 은, 종래 방법에 따라 임피던스들(R_1 내지 R_4)을 50 Ω 으로 설정하고 모든 인덕턴스들과 커패시턴스들을 통상적으로 도달할 수 있는 최소값들로 설정한 경우에 있어서, 도 4의 여러 구성요소들의 임피던스 값들을 표로 작성한 것이다.

【표 I】

구성 요소	값
R_1 내지 R_4	50 Ω
Z_0 내지 Z_0	50 Ω
C_1	0.4 pF
C_2	0.1 pF
C_3	0.1 pF

C ₄	0.1 pF
C ₅	0.1 pF
C ₆	0.05 pF
L ₁	0.8 nH
L ₂	0.8 nH
L ₃	0.8 nH

<38> 도 5(A 선)는, 표 I 에 나타난 값들로 구성 요소들을 설정할 때 도 4의 상호 접속 시스템 모델의 주파수 응답을 나타낸다. 특히, 도 5는 시험기 구동기(44)로부터 DUT 수신기(48)로 통과하는 신호들에 대한 주파수의 함수로서 신호 감쇠량을 도시한다. 구동기(50)로부터 수신기(46)로의 다른 방향으로 통과하는 신호에 대한 주파수 응답은, 대칭성의 결여로 인한 미소한 차이는 있지만, 도 5에 도시된 주파수 응답과 대체로 유사하게 된다.

<39> 도 4에 도시된 상호 접속 시스템에 대한 "최적" 주파수 응답 특성은, 이 상호 접속 시스템이 전달하는 신호들의 성질에 따라 달라진다. 예를 들어, DUT(12)가 고주파수 디지털 신호에 의해 통신하는 경우, 상호 접속 시스템이 고주파수 신호들을 통과시키기를 원하지만, 신호 왜곡에 관해서는 별다른 관심이 없을 수도 있으므로, 통과 대역내에서 어느 정도의 리플량을 허용할 수도 있다. 이와 같은 상황하에서는, 상호 접속 시스템의 통과 대역이 되도록 넓은 것을 원하지만, 상호 접속 시스템 주파수 응답의 다른 특성들은 덜 중요하게 된다. 한편, DUT(12)가, 예를 들어 저주파수 아날로그 신호에 의해 통신하는 경우, 상호 접속 시스템이 저주파수 신호들을 왜곡이나 잡음 없이 전달하기를 원하지만, 넓은 대역폭을 원할 수도 있다. 이와 같은 조건하에서, 상호 접속 시스템에 대한 최적 주파수 응답은, 되도록 평탄하지만 예상되는 최고주파수 신호를 통과시키기에 필요한 정도만큼만 넓은 통과 대역을 포함할 수도 있다. 또한, 고주파수 잡음을 차단하기 위해 정지 대역의 모든 영역들이 최대 감쇠를 갖는 것을 원할 수도 있다.

<40> 도 5(A 선)에서 알 수 있는 바와 같이, (대개, 감쇠가 제로 주파수에서의 그 레벨로부터 처음으로 3 dB 만큼 떨어지는 주파수로 정의되는) 통과 대역은 약 2 GHz 이다. 따라서, 최대 3 dB 감쇠가 허용되는 경우, 상호 접속 시스템 성능은 "0" 내지 "2" GHz 범위의 주파수 신호에 대해서는 허용할 수 있지만, 2 GHz 를 초과하는 주파수의 신호를 전달하는데 A 선으로 나타난 상호 접속 시스템 주파수 응답은 적합하지 않게 된다. 또한, 1 GHz 이상의 주파수에서는 이 통과 대역이 현저하게 평탄하지 않음을 알 수 있다. 통과 대역 리플이 신호들을 왜곡하므로, 저왜곡이 요구되는 애플리케이션의 경우, 도 5의 A 선으로 나타난 상호 접속 시스템 주파수 응답은 1 MHz 이상의 신호들을 전달하는데에는 적합하지 않게 된다. 또한, 정지 대역은 2 GHz 이상의 주파수들에서 몇몇의 큰 피크들을 가지므로, 그 주파수들에서 잡음을 충분히 감쇠시킬 수 없게 됨을 더 알 수 있다. 따라서, 일정한 최대 신호 주파수 이상의 모든 고주파수 잡음을 충분히 감쇠시키기를 원하는 애플리케이션들에서, 이 상호 접속 시스템은 적합하지 않게 된다.

<41> 개선된 상호 접속 시스템

<42> 종래 방법에 따르면, 탐침 카드 조립체의 주파수 응답은, 그 병렬 커패시턴스와 직렬 인덕턴스를 모두 최소화함으로써 모든 애플리케이션들에 대해 "최적화"된다. 그러나, 상호 접속 시스템 인덕턴스와 커패시턴스를 감소시키는 것이, 일반적으로 대역폭을 증가시키고 신호 왜곡을 감소시키는데 도움을 주지만, 시스템 인덕턴스와 커패시턴스를 되도록 낮게 설정하는 것이 임의의 특정 애플리케이션에 대해서도 시스템의 주파수 응답을 최적화하는 것은 아니다. 본 발명에 따르면, 탐침 카드 조립체를 통과하는 신호 경로를 형성하는 하나 이상의 소자들의 인덕턴스와 커패시턴스를 그들의 최소 레벨 이상으로 증가시켜, 서로 상대적으로 그 값들을 적절하게 조절함으로써, 시스템 주파수 응답을 실제로 향상시키게 된다.

<43> 표 II 는, 종래 방법(A 열)에 따라 설정된 도 4의 소자들의 통상적인 임피던스값들과, 통과 대역 전력을 최대화하고자 하는 애플리케이션에서 본 발명(열 B)에 따라 선택된 적당한 임피던스를 비교한다.

【표 II】

구성 요소	임피던스 A	임피던스 B
R1 내지 R4	50 Ω	50 Ω

ZO ₁ 내지 ZO ₄	50 Ω	50 Ω
C ₁	0.4 pF	0.4 pF
C ₂	0.1 pF	0.7 pF
C ₃	0.1 pF	1.3 pF
C ₄	0.1 pF	0.5 pF
C ₅	0.1 pF	1.1 pF
C ₆	0.05 pF	0.1 pF
L ₁	0.8 nH	0.8 nH
L ₂	0.8 nH	0.8 nH
L ₃	0.8 nH	0.8 nH

- <45> 표 I 에 기재된 임피던스값들은, 표 II의 A 열에서 반복된다. 따라서, 도 5의 A 선도, 표 II의 A 열에 기재된 바와 같이, 달성할 수 있는 통상의 최소값들로 그 회로 구성 요소들의 값들을 종래 방법에 따라 설정할 때, 도 4의 탐침 카드 조립체 등가 회로의 주파수 응답을 나타낸다. 도 5의 B 선은, 표 II의 B 열기재된 바와 같이, 본 발명에 따라 그 회로 구성 요소들의 값들을 설정할 때, 도 4의 탐침 카드 조립체 등가 회로의 주파수 응답을 나타낸다.
- <46> 열(A 및 B)은 동일한 저항을 제공하지만, B 열에 기재된 특성 임피던스와 인덕턴스값들, 및 커패시턴스들은 A 열에 기재된 것들보다 다소 높음을 알 수 있다. 종래 기술에 따르면, A 선에서 B 선으로 이동할 때, 커패시턴스값의 증가로 인해, 주파수 응답이 저하될 것이라고 예상하게 된다. 예를 들어, B 선은 A 선보다 통과 대역에서 더 좁은 대역폭 및/또는 더 많은 리플을 나타낼 것이라고 예상하게 된다. 그러나, 사실은 이와는 정반대로 된다. A 선은 약 2 GHz의 대역폭을 갖지만, B 선은 약 5 GHz의 충분히 넓은 대역폭을 갖는 것을 알 수 있다. 또한, B 선은 약 8 GHz 까지의 모든 주파수 범위에서 A 선 보다 리플을 상대적으로 더 적게 갖고 있음을 알 수 있다.
- <47> 본 발명에 따르면, 표 II의 B 열의 임피던스값들은 단순히 그들의 달성가능한 최소값들로 설정되지 않고, 그 대신 상호 접속 시스템의 물리적 토폴로지와 관련하여 또한 서로 상대적으로 신중하게 조절되어, 탐침 카드 조립체의 주파수 응답을 최적화하게 된다. 상기 특정 예에서, 표 II의 B 열에 기재된 값들은, 통과 대역에서 전달되는 전력을 최대화하도록, 즉 전체 통과 대역 범위 상에서 적분되는 감쇠량을 최대화하도록, 선택된다. 그러나, 소정의 애플리케이션에 대한 주파수 응답 특성들의 조합 또는 다른 특성들을 최적화하기 위해 다른 임피던스값들을 선택할 수도 있다. 따라서, 예를 들어, 대역폭을 최대화하거나, 리플을 최소화하거나, 정지 대역에서 신속한 하락(fall off)을 제공하거나, 또는 그들의 임의의 조합을 제공하기 위해, 임피던스값들을 조절할 수도 있다. 물론, 그 임피던스값들에 대한 선택에 있어서 제약이 있으며; 이 임피던스값들은 표 I의 A 열에 기재된 달성할 수 있는 최소값 이상이다. 그러나, 이와 같은 제약하에서도, 임의의 주어진 애플리케이션에 대해 상호 접속 시스템의 주파수 응답을 최적화하게 되는 임피던스값들을 선택하는데 있어서 광범위한 허용 여유를 갖게 된다.
- <48> 따라서, 도 4에 도시된 상호 접속 시스템의 주파수 응답을 최적화하기 위해서는, 우선 최적화하기를 원하는 주파수 응답 특성(들)을 정의하게 된다. 또한, 상호 접속 시스템의 각 구성 요소에 대해 실제로 달성할 수 있는 최소 임피던스값도 결정하게 된다. 그 후, 소망의 주파수 응답 특성들을 최적화하게 되는 그 달성할 수 있는 최소값들보다 같거나 큰 임피던스값들의 조합을 결정하게 된다. 표 II, B 열의 예에서, 임피던스 파라미터들의 최적 세트는, 인덕턴스들은 최소화되고 커패시턴스들은 그들의 최소값 이상으로 증가되도록 하였다. 그러나, 다른 주파수 응답 특성들을 최적화하기를 원하는, 다른 적용예들에서는, 인덕턴스를 그들의 최소값 이상으로 증가시킬 수도 있다. 또한, 아래에 설명하는 바와 같이, 임피던스 부정합을 보상하기 위해 인덕턴스들을 증가시킬 수도 있다.
- <49> 버터워스 및 체비셰프 필터들
- <50> 도 4에 도시된 상호 접속 시스템의 등가 회로를 다극(multi-pole) 필터로 생각하는 것이 도움이 된다. 직렬 인덕턴스와 병렬 커패시턴스를, 서로 상대적으로 또한 상호 접속 시스템의 다른 임피던스 구성 요소들과 관련하여 적절하게 조절함으로써, 예를 들어, 널리 공지된 다극 "버터워스" 또는 "체비셰프" 필터와 같이, 이 상호 접속 시스템이 행동하도록 할 수 있다. 원하는 주파수 응답을 얻기 위해 상기 필터들의 구성 요소값들을 조절

하는 방법은 널리 공지되어 있다.

<51> 상술한 바와 같이, 상호 접속 시스템의 주파수 응답은 많은 특성들을 가지며, 또한 그 상호 접속 시스템의 "최적" 주파수 응답은 적용예에 따라 다르다. 따라서, 탐침 카드 조립체의 신호 경로를 따라 여러 임피던스들이 조절되는 적합한 값들은, 특정 애플리케이션에 대한 주파수 응답과 임피던스 특성들중 어느 특성이 더 중요한지에 따라 조절되어야 한다. 표 II의 B 열의 예에서는, 통과 대역 전력을 최대화하도록 커패시턴스값들을 선택하였다. 그러나, 임피던스값들의 다른 조합은, 상호 접속 시스템의 다른 특성들을 최적화할 수 있다.

따라서, 예를 들어, 상호 접속 시스템이 저주파수 아날로그 신호를 최소의 왜곡으로 전달하고자 하는 경우, 여기서 대역폭은 중요하지 않지만, 이 상호 접속 시스템의 주파수 응답이 "최대한 평탄한" 통과 대역을 갖는 것, 즉 되도록 최소량의 리플을 갖는 것이 바람직하게 된다. 이와 같은 경우에는, 상호 접속 시스템이 최대한 평탄한 주파수 응답을 제공하는 버터워스 필터처럼 동작하도록, 이 상호 접속 시스템 구성 요소 임피던스값들의 조절을 원하게 될 것이다.

<52> 그러나, 대부분의 애플리케이션들에서, 최적 주파수 응답은, 대역폭, 허용가능한 통과 대역 리플, 위상 응답 및 정지 대역 감쇠간에서 트레이드오프가 된다. 따라서, 상호 접속 시스템이, 널리 공지된 다극 체비셰프 필터의 형태로 행동하도록, 유도성 및 용량성 구성 요소들의 값을 선택할 수 있게 된다. 필터 주파수 응답의 특성들 중 하나 이상의 조합을 최적화하기 위해 필터 구성 요소값들에 대한 적합한 선택을 포함하는, 다극 버퍼워스 및 체비셰프 필터의 설계는, 당해 기술분야에서 널리 공지되어 있다. 예를 들어, 본 명세서에 참조로 포함된, 프렌티스-홀에 의해 1982년에 간행된 W.H.Hayward 著, 책 무선 주파수 설계 입문의 59 내지 68 페이지를 참조하자. 당해 기술분야에서 숙련된 자라면, 도 3의 탐침 카드 조립체(22)에 의해 제공되는 신호 경로들을 따라 여러 구조물의 여러 부분들의 인덕턴스와 커패시턴스를 조절하는 방법에 관해 잘 알고 있을 것이다. 본 발명은, 종래 필터 설계 원리들을 적용하여, 의도된 적용예의 그 인덕턴스와 커패시턴스에 대해 가장 적합한 값들을 선택하는 방법을 결정하게 된다.

산업상 이용 가능성

<53> 임피던스 정합

<54> 통상적으로, 시스템 주파수 응답을 저하시키는 신호 반사를 방지하기 위해, 구동기 및 수신기 임피던스들(R1 내지 R4), 및 여러 전송선 임피던스들(Z₀₁ 내지 Z₀₄)은, 유사한 값들(예를 들어, 50 Ω)로 설정되며, 산업상 관행을 따르도록 이들 구성 요소들의 값들이 표 II의 B 열에서 선택되었다. 그러나, 본 발명에 따르면, 직렬 인덕턴스와 병렬 커패시턴스값들을 적합하게 조절하여 저항 또는 특성 임피던스 부정합을 보상할 수 있으므로, 반드시 그와 같이 할 필요는 없다. 예를 들어, 상술한 책 무선 주파수 설계 입문의 59 내지 68 페이지는, 상기 저항 및 특성 임피던스들이 부정합되는 경우에도 버터워스 및 체비셰프 필터 주파수 응답 행동을 얻기 위해 다른 필터 구성 요소값들을 조절하는 방법을 설명하고 있다.

<55> 상술한 명세서에는 본 발명의 바람직한 실시예(들)을 설명하였지만, 당해 기술분야에서 숙련된 자들은, 본 발명의 더 넓은 태양들내에서 본 발명으로부터 일탈함이 없이 바람직한 실시예를 다양하게 변형할 수도 있을 것이다. 따라서, 첨부된 청구항들은 본 발명의 진정한 정신 및 범위와 부합하는 모든 상기 변형들을 포함하도록 의도된 것이다.

도면의 간단한 설명

<14> 도 1은 집적 회로 시험기의 블록도이다.

<15> 도 2는 도 1의 집적 회로 시험기의 시험 헤드의 개략 단면도이다.

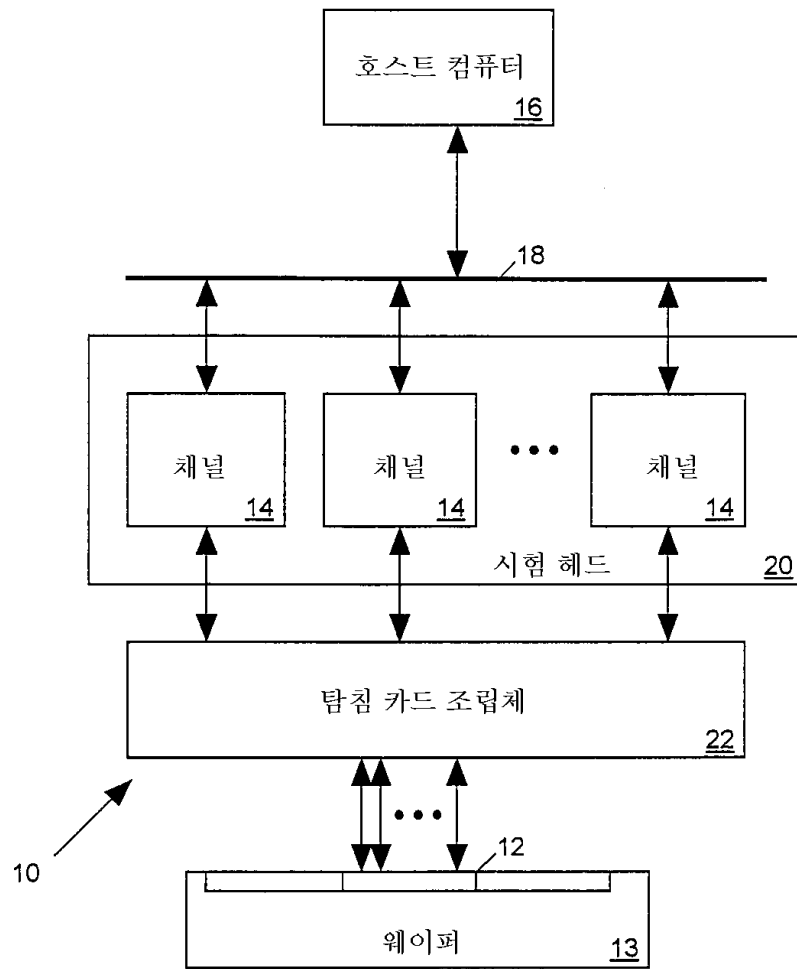
<16> 도 3은, 도 2의 시험 헤드, 및 시험 중인 집적 회로 장치(DUT)에 시험 헤드를 연결하기 위한 본 발명에 따른 탐침 카드 조립체의 개략 입면도이다.

<17> 도 4는 도 3의 시험 헤드의 한 채널과 DUT의 접촉 패드간의 단일 신호 경로를 모델링하는 등가 회로도이다.

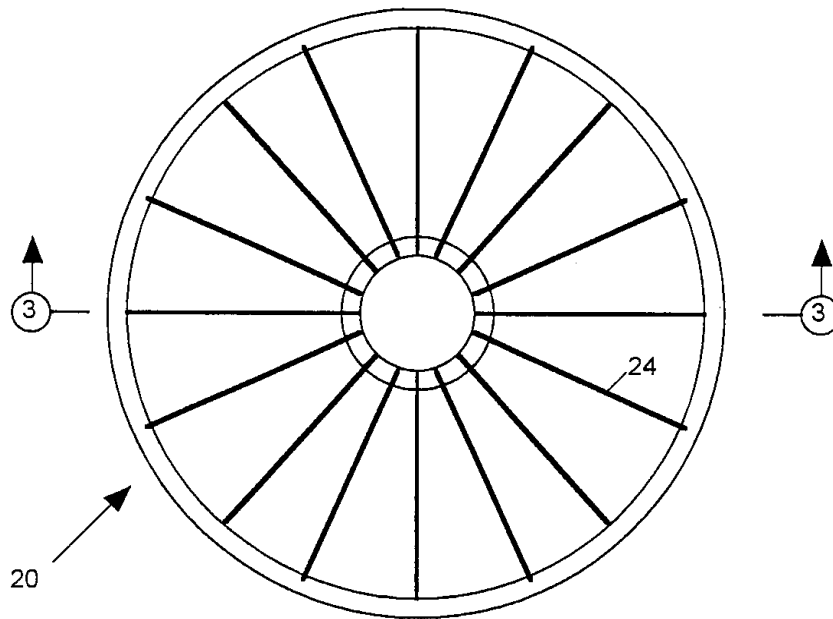
<18> 도 5는, 종래 기술에 따라 인덕턴스와 커패시턴스값들을 최소화할 때(A 선)와, 본 발명에 따라 인덕턴스와 커패시턴스값들을 조절할 때에 있어서, 도 4의 등가 회로의 주파수 응답 특성을 비교한 도면이다.

도면

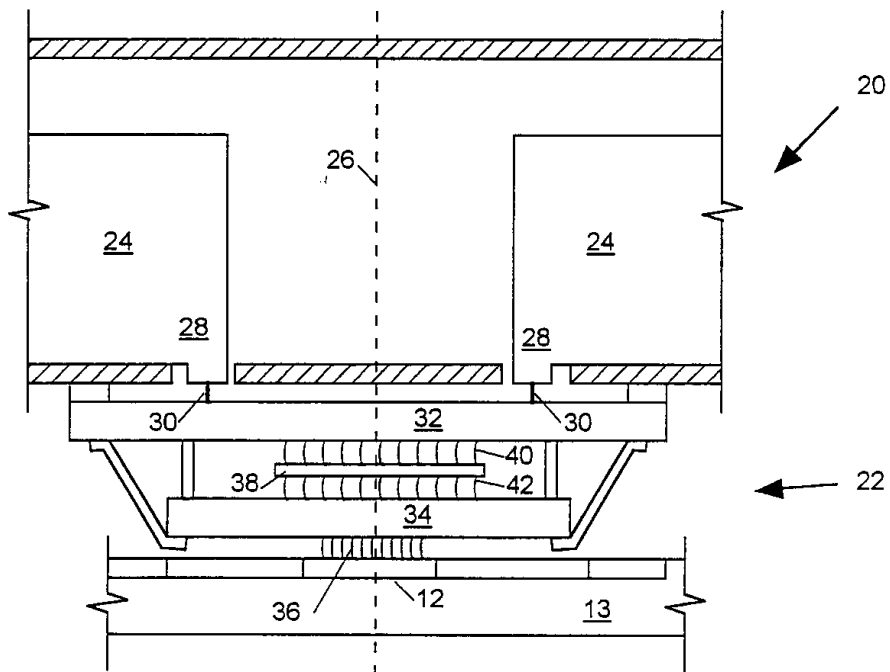
도면1



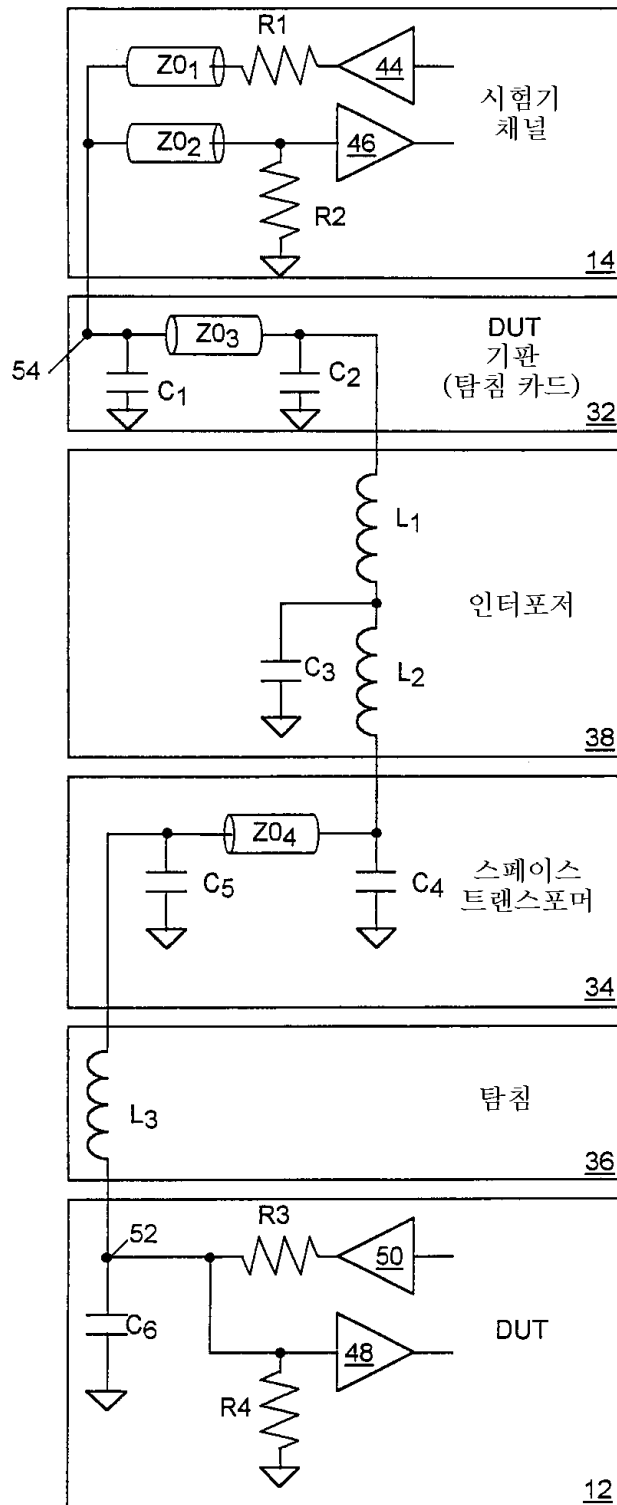
도면2



도면3



도면4



도면5

