

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年8月6日 (06.08.2020)



(10) 国际公布号
WO 2020/155801 A1

- (51) 国际专利分类号:
H01L 29/786 (2006.01)
- (21) 国际申请号: PCT/CN2019/119932
- (22) 国际申请日: 2019年11月21日 (21.11.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910103639.5 2019年2月1日 (01.02.2019) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 李正亮(LI, Zhengliang); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176

(CN)。贺家煜(HE, Jiayu); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
胡合合(HU, Hehe); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
张文林(ZHANG, Wenlin); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
刘松(LIU, Song); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
马啸尘(MA, Xiaochen); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
姚念琦(YAO, Nianqi); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。
黄杰(HUANG, Jie); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制作方法和显示面板

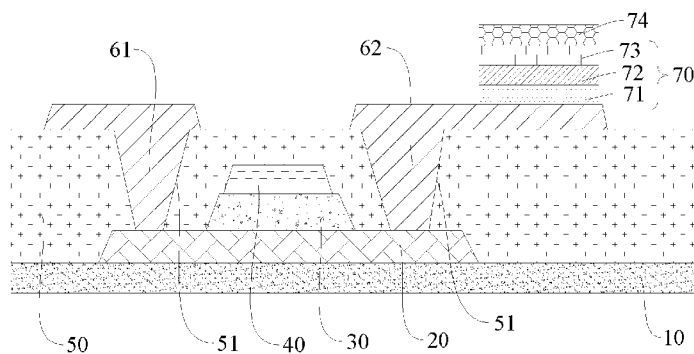


图1

(57) Abstract: An array substrate and a manufacturing method therefor, and a display panel. The array substrate, comprising: a substrate (10); a thin film transistor on the substrate (10); and a PIN diode (70), on one side of the thin film transistor away from the substrate (10). From a direction of the thin film transistor away from the substrate (10), the PIN diode (70) comprises a first conductive type semiconductor layer (71), an intrinsic semiconductor layer (72), and a second conductive type semiconductor layer (73) which are sequentially stacked, wherein the materials of the first conductive type semiconductor layer (71) comprise one or more of the following materials: metal oxides, metal sulfides, metal selenides, metal nitrides, metal phosphides, or metal arsenides.

(57) 摘要: 一种阵列基板及其制作方法和显示面板。阵列基板, 包括: 衬底(10); 薄膜晶体管, 在衬底(10)上; 和PIN二极管(70), 在薄膜晶体管远离衬底(10)的一侧, 从薄膜晶体管朝向远离衬底(10)的方向上, PIN二极管(70)包括依次层叠设置的第一导电类型半导体层(71)、本征半导体层(72)和第二导电类型半导体层(73); 其中, 第一导电类型半导体层(71)的材料包括下述材料中的一种或几种: 金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物。

WO 2020/155801 A1

AGENT LTD.); 中国北京市海淀区西三环北路
87号4-1105室, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制作方法和显示面板

相关申请的交叉引用

本申请要求于 2019 年 2 月 1 日递交的中国专利申请 CN201910103639.5 的权益，其全部内容通过参考并入本文中。

技术领域

本公开的实施例涉及显示技术领域，具体的，涉及阵列基板及其制作方法和显示面板。

背景技术

由于 OLED 显示面板具有自发光特性，与液晶显示面板相比，具有广色域、高对比度和超轻薄等诸多优点，但是由于 OLED 显示面板长时间工作在高对比度、高亮度的条件下，OLED 显示面板中的各个子像素中的有机发光层的发光亮度衰退不一致，进而导致 OLED 显示面板发光不均匀，所以需要 OLED 显示面板中的子像素进行亮度补偿。目前常见的补偿方法为电学补偿和光学补偿。

公开内容

根据本公开的一个方面，本公开的实施例提供了一种阵列基板，包括：衬底；薄膜晶体管，在所述衬底上；和 PIN 二极管，在所述薄膜晶体管远离所述衬底的一侧，从所述薄膜晶体管朝向远离所述衬底的方向上，所述 PIN 二极管包括依次层叠设置的第一导电类型半导体层、本征半导体层和第二导电类型半导体层；其中，所述第一导电类型半导体层的材料包括下述材料中的一种或几种：金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物。

根据本公开的一些实施例，所述薄膜晶体管包括有源层、栅绝缘层、栅极、层间绝缘层、源极和漏极，其中，所述 PIN 二极管设置在所述漏极或所述源极的远离所述有源层的一侧。

根据本公开的一些实施例，所述第一导电类型半导体层的厚度约为 100 Å~2000 Å；所述本征半导体层的厚度约为 7000 Å~15000 Å；所述第二导电类型半导体层的厚度约为 20 Å~500 Å。

根据本公开的一些实施例，所述第一导电类型半导体层为 n 型导电，且形成所述第一导电类型半导体层材料选自铟镓锌氧化物、铟锡锌氧化物、铟锡镓氧化物、铟镓锡氧化物、铟锌氧化物、镓锌氧化物、氮氧化锌、铝掺杂的铟锌氧化物、铝钨掺杂的铟锌氧化物、

铝掺杂的镓锌氧化物、铝钨掺杂的镓锌氧化物中的至少一种；

所述第二导电类型半导体层为 p 型导电，且形成所述第二导电类型半导体层的材料选自氧化亚铜、氧化铝铜、硫化镓、硫化铟、硒化镓、氮化锌、磷化锌、磷化镓、砷化锌和非晶硅中的至少一种。

根据本公开的一些实施例，所述第一导电类型半导体层为 p 型导电，且形成所述第一导电类型半导体层材料选自氧化亚铜、氧化铝铜、硫化镓、硫化铟、硒化镓、氮化锌、磷化锌、磷化镓、砷化锌中的至少一种；

所述第二导电类型半导体层为 n 型导电，且形成所述第二导电类型半导体层的材料选自铟镓锌氧化物、铟锡锌氧化物、铟锡镓氧化物、铟镓锌锡氧化物、铟锌氧化物、镓锌氧化物、氮氧化锌、铝掺杂的铟锌氧化物、铝钨掺杂的铟锌氧化物、铝掺杂的镓锌氧化物、铝钨掺杂的镓锌氧化物和非晶硅中的至少一种。

根据本公开的一些实施例，所述本征半导体层的材料包括非晶硅。

根据本公开的一些实施例，所述层间绝缘层包括多个层叠设置的子层间绝缘层，其中相邻的两个子层间绝缘层的制造工艺不同。

根据本公开的一些实施例，所述阵列基板还包括两个电极层，两个电极层分别设置在第一导电类型半导体层和第二导电类型半导体层的远离本征半导体层的一侧，并分别与第一导电类型半导体层和第二导电类型半导体层电连接。

根据本公开的一些实施例，所述阵列基板还包括一个电极层，所述电极层设置在第二导电类型半导体层的远离本征半导体层的一侧，并与第二导电类型半导体层电连接，并且所述第一导电类型半导体层与所述漏极或所述源极直接接触而电连接。

根据本公开的一些实施例，所述栅绝缘层设置在所述有源层远离所述衬底的表面上；所述栅极设置在所述栅绝缘层远离所述衬底的表面上；所述层间绝缘层设置在所述衬底的靠近有源层的一侧，并覆盖暴露的所述有源层、所述栅绝缘层和所述栅极；所述源极和所述漏极设置在所述层间绝缘层远离所述衬底的表面上，所述源极和所述漏极分别通过第一过孔与所述有源层电连接。

根据本公开的一些实施例，所述阵列基板还包括：

遮光层，所述遮光层设置在所述衬底上；

缓冲层，所述缓冲层设置在所述衬底上，且覆盖所述遮光层，

其中，所述有源层和所述层间绝缘层设置在缓冲层远离所述遮光层的表面上。

根据本公开的一些实施例，还包括：

第一绝缘层，所述第一绝缘层设置在所述层间绝缘层远离所述衬底的表面上，并覆盖所述源极和所述漏极；

氢阻挡层，所述氢阻挡层设置在所述第一绝缘层远离所述衬底的表面上，所述氢阻挡层通过第二过孔与所述栅极电连接；

第一电极层，所述第一电极层通过第三过孔与所述漏极或所述源极电连接；

第二电极层，所述第二电极层设置在所述第二导电类型半导体层远离所述衬底的表面上；

第二绝缘层，所述第二绝缘层设置在所述第一绝缘层远离所述衬底的表面上，并覆盖暴露的所述氢阻挡层、所述第一电极层、所述第一导电类型半导体层、所述本征半导体层、所述第二导电类型半导体层和所述第二电极层；

平坦层，所述平坦层设置在所述第二绝缘层远离所述衬底的表面上；

第三电极层，所述第三电极层设置在所述平坦层远离所述衬底的表面上，并通过第四过孔与所述第二电极层电连接；

像素界定层，所述像素界定层设置在所述第三电极层远离所述衬底的表面上，

其中，所述第一导电类型半导体层设置在所述第一电极层远离所述衬底的表面上；

所述本征半导体层设置在所述第一导电类型半导体层远离所述衬底的表面上；

所述第二导电类型半导体层设置在所述本征半导体层远离所述衬底的表面上。

根据本公开的一些实施例，还包括：

第二电极层，所述第二电极层设置在所述第二导电类型半导体层远离所述衬底的表面上；

第二绝缘层，所述第二绝缘层设置在所述层间绝缘层远离所述衬底的表面上，并覆盖暴露的所述源极、所述漏极、所述第一导电类型半导体层、所述本征半导体层、所述第二导电类型半导体层和所述第二电极层；

平坦层，所述平坦层设置在所述第二绝缘层远离所述衬底的表面上；

第三电极层，所述第三电极层设置在所述平坦层远离所述衬底的表面上，并通过第四过孔与所述第二电极层电连接；

像素界定层，所述像素界定层设置在所述第三电极层远离所述衬底的表面上，

其中，所述第一导电类型半导体层设置在所述漏极或所述源极远离所述衬底的表面上；

所述本征半导体层设置在所述第一导电类型半导体层远离所述衬底的表面上；

所述第二导电类型半导体层设置在所述本征半导体层远离所述衬底的表面上。

根据本公开的一些实施例，所述氢阻挡层和所述第一电极层同层设置。

根据本公开的一些实施例，所述第一导电类型半导体层在不含有氢的氛围中制作。

根据本公开的另一个方面，本公开的实施例提供了一种显示面板，其中，包括前述实施例中任一项所述的阵列基板。

根据本公开的另一个方面，本公开的实施例提供了一种制作阵列基板的方法，包括：

在衬底上形成薄膜晶体管；

在所述薄膜晶体管远离所述衬底的一侧形成第一半导体层；

在所述第一半导体层远离所述薄膜晶体管的表面上形成中间半导体层，所述中间半导体层覆盖所述第一半导体层；

在所述中间半导体层远离所述薄膜晶体管的表面上形成第二半导体层，所述第二半导体层覆盖所述中间半导体层；

对所述第一半导体层、所述中间半导体层和所述第二半导体层进行图案化，以便在所述薄膜晶体管远离所述衬底的表面上形成构成 PIN 二极管的第一导电类型半导体层、本征半导体层和第二导电类型半导体层，

其中，所述第一导电类型半导体层的材料包括下述材料中的一种或几种：金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物。

根据本公开的一些实施例，在衬底上形成薄膜晶体管的步骤包括：在衬底上依次形成有源层、栅绝缘层、栅极、层间绝缘层、源极和漏极，

其中，第一半导体层形成在所述漏极或所述源极远离所述有源层的一侧，且所述第一半导体层覆盖暴露的所述层间绝缘层。

根据本公开的一些实施例，形成所述层间绝缘层的步骤包括：

依次形成多个层叠设置的子层间绝缘层，其中，形成相邻两个所述子层间绝缘层的功率和速度均不同。

根据本公开的一些实施例，还包括：

在所述衬底上形成遮光层；

在所述衬底上形成缓冲层，所述缓冲层覆盖所述遮光层，

其中，所述有源层和所述层间绝缘层形成在缓冲层远离所述遮光层的表面上。

根据本公开的一些实施例，所述第一导电类型半导体层在不含有氢的氛围中制作。

附图说明

图 1 是本公开一个实施例中薄膜晶体管的结构示意图；

图 2 是本公开一个实施例中薄膜晶体管的结构示意图；

图 3 是本公开一个实施例中薄膜晶体管的结构示意图；

图 4 是本公开一个实施例中制作薄膜晶体管的方法流程示意图；

图 5 是本公开一个实施例中制作薄膜晶体管的结构流程示意图；

图 6 是本公开一个实施例中制作薄膜晶体管的结构流程示意图；

图 7 是本公开一个实施例中制作薄膜晶体管的结构流程示意图；
图 8 是本公开一个实施例中制作薄膜晶体管的结构流程示意图；
图 9 是本公开一个实施例中制作薄膜晶体管的结构流程示意图；
图 10 是本公开一个实施例中制作薄膜晶体管的结构流程示意图；以及
图 11 是本公开一个实施例中制作薄膜晶体管的结构流程示意图。

具体实施方式

下面详细描述本公开的实施例。下面描述的实施例是示例性的，仅用于解释本公开，而不能理解为对本公开的限制。实施例中未注明具体技术或条件的，按照本领域内的文献所描述的技术或条件或者按照产品说明书进行。

常见的对 OLED 显示面板中的子像素进行亮度补偿的方法为电学补偿和光学补偿，但是电学补偿的效果有限，不能很好的解决显示面板发光不均匀的问题；光学补偿方法是通过在子像素中设置光敏传感器（PIN 二极管）感应 OLED 发光的强弱，并将检测到的信号反馈给该子像素中的薄膜晶体管，薄膜晶体管根据检测光亮度的结果对子像素区域的亮度进行相应的补偿，该方法虽能较好的解决显示面板发光不均匀的问题，但是依然存在一些其它问题，比如影响 TFT 特性。

目前为了实现对 OLED 的光学补偿，PIN 二极管包括层叠设置在源极或漏极表面上的 n（或 p）型掺杂的非晶硅、非晶硅、p（或 n）型掺杂的非晶硅，由于沉积形成 PIN 二极管各层结构时气体氛围主要为 SiH₄ 和氢气，为了防止在制作 PIN 二极管时氢扩散到有源层进而将有源层导体化的现象，通常在源极和漏极远离衬底的一侧设置氢阻挡层，其中，氢阻挡层的材质通常与源极和漏极的材质相同。对于该结构的薄膜晶体管（TFT），设计人意外发现，氢阻挡层并不能完全阻挡氢扩散到有源层中，即在一定程度上有源层依然被氢导体化，导致有源层处于大电流的状态，严重影响 TFT 特性。针对上述问题，设计人提出将设置在源极或漏极表面上的掺杂非晶硅更换为不含氢且制作氛围中也不含氢的第一导电类型半导体层，其中该第一导电类型半导体层由金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物形成，而且在制作本征半导体层和第二导电类型半导体层时可以作为阻挡层防止氢对有源层产生负面影响，防止有源层被导体化，解决有源层大电流的问题，进而大大改善 TFT 特性。

本公开的实施例旨在提出一种具有光补偿效果佳、TFT 特性稳定或制作工艺简单等优点的薄膜晶体管。

在本公开的一个方面，本公开的实施例提供了一种薄膜晶体管，参照图 1，薄膜晶体管包括有源层 20、栅绝缘层 30、栅极 40、层间绝缘层 50、源极 61 和漏极 62，根据本公开

的实施例，在漏极 62 或源极 61 远离有源层 20 的一侧（附图中均以设置在漏极 62 的一侧为例）上设置有 PIN 二极管 70，在从漏极 62 或源极 61 朝向远离有源层 20 的方向上，PIN 二极管 70 包括依次层叠设置的第一导电类型半导体层 71、本征半导体层 72 和第二导电类型半导体层 73，其中，第一导电类型半导体层 71 由金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物形成。由此，由于金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物形成的第一导电类型半导体层设置在源极或漏极的一侧，且上述材料及其制作氛围中均不含有氢，不会对有源层产生不良影响，而且在制作本征半导体层和第二导电类型半导体层时可以作为阻挡层防止氢对有源层产生负面影响，防止有源层被导体化，进而改善薄膜晶体管的特性。

根据本公开的实施例，薄膜晶体管的结构类型没有限制要求，本领域技术人员可以根据实际需求灵活选择。在本公开的实施例中，薄膜晶体管可以是顶栅结构、底栅结构、刻蚀阻导型结构或背沟道刻蚀型结构。由此，对薄膜晶体管的具体类型没有限制要求。下面均以顶栅结构为例，详细描述一下薄膜晶体管的结构：

根据本公开的实施例，如图 1 所示，为满足 TFT 的使用需求，有源层 20 设置在衬底 10 的表面上；栅绝缘层 30 设置在有源层 20 远离衬底 10 的表面上；栅极 40 设置在栅绝缘层 30 远离衬底 10 的表面上；层间绝缘层 50 设置在衬底 10 的表面上，且层间绝缘层 50 覆盖暴露的有源层 20、栅绝缘层 30 和栅极 40；源极 61 和漏极 62 设置在层间绝缘层 50 远离衬底 10 的表面上，并通过第一过孔 51 与有源层 20 电连接；PIN 二极管 70 设置在设置在漏极 62 的表面上；为了实现 PIN 二极管的光学补偿作用，在 PIN 二极管 70 远离衬底 10 的表面上还设置有第二电极层 74，PIN 二极管 70 通过分别与漏极 62 和第二电极层 74 电连接实现其光学补偿作用。

根据本公开的实施例，PIN 二极管的两侧需设置电极，以满足其工作需求。在本公开的一些实施例中，可以在第一导电类型半导体层和第二导电类型半导体层的表面上分别设置电极；在本公开的另一一些实施例中，如图 1 所示，可以将第一导电类型半导体层设置在源极或漏极的表面上，以源极或漏极作为 PIN 二极管的一个电极，然后在第二导电类型半导体层的表面上再设置另一个电极（即图 1 中的第二电极层 74）。

根据本公开的实施例，形成衬底、有源层、栅绝缘层、栅极、层间绝缘层、源极、漏极和第二电极层的具体材料没有限制要求，本领域技术人员可以根据实际需求灵活选择，比如，形成衬底的具体材料包括但不限于聚合物和玻璃；形成有源层的材料包括但不限于铟镓锌氧化物、非晶硅、多晶硅、六噻吩或聚噻吩等材料；形成栅绝缘层和层间绝缘层的材料分别包括但不限于氮化硅、氧化硅、氮氧化硅或有机绝缘材料；形成栅极的材料选自银、铜、铝、钼、金属合金和氧化铟锡中的至少一种；形成源极和漏极的材料选自银、铜、

铝、钼、金属合金和氧化铟锡中的至少一种；形成第二电极层的材料选自银、铜、铝、钼、金属合金和氧化铟锡中的至少一种。

相关技术中，层间绝缘层通常只是作为绝缘层，在沉积层间绝缘层的整个工艺中所设定的功率和速度是保持不变的，但是设计人发现，层间绝缘层在一定程度上也可以防止氢扩散到有源层，且采用高功率、低速度沉积得到的层间绝缘层阻挡氢的效果更佳，但是这样制作工艺时间较长，成本较高。由于本公开的实施例中第一导电类型半导体层已经可以很好的阻挡氢扩散到有源层，所以为了可以进一步提高制作速率，层间绝缘层包括多个层叠设置的子层间绝缘层，其中相邻的两个子层间绝缘层形成的功率和速度不同。在沉积形成层间绝缘层的方法中，通过高功率和低速度可以制作高质量、性能佳的层间绝缘层薄膜（高质量薄膜），通过低功率和高速度可以制作质量相对欠佳的层间绝缘层薄膜（低质量薄膜，需要说明的是，此处“低质量薄膜”并非是指层间绝缘层薄膜质量很差，是指阻挡氢扩散的作用相对高质量薄膜欠佳），如此，便可以通过配合调整形成各个子层间绝缘层的高低功率和高低速度来同时满足对薄膜质量和形成速率的要求，由此得到的层间绝缘层不仅可以较好的阻挡氢的扩散，还可以缩短层间绝缘层的制作时间，进而提升薄膜晶体管的制作效率。

根据本公开的实施例，上述制备层间绝缘层的功率为 100W~5kw，速率为 2Å/s~100Å/s，其中，高功率为 1.2 kw~5kw（比如 1.2 kw、1.4 kw、1.6 kw、1.8 kw、2 kw、2.3 kw、2.5 kw、2.8 kw、3 kw、3.3 kw、3.5 kw、4 kw、4.2 kw、4.5 kw、4.8 kw、5 kw），低功率为 100 W~1.2kw（比如 100W、300W、500W、800W、1.0 kw、1.05 kw、1.1 kw、1.15 kw），高速率为 15 Å/s~100 Å/s（比如 15 Å/s、20 Å/s、25Å/s、30 Å/s、40 Å/s、50 Å/s、60 Å/s、70 Å/s、80 Å/s、90 Å/s、100 Å/s），低速率为 2 Å/s~15 Å/s（比如 2 Å/s、4 Å/s、6 Å/s、8 Å/s、10 Å/s、12 Å/s、14 Å/s）。

在本公开的一些实施例中，高质量薄膜和低质量薄膜交替层叠设置以构成层间绝缘层，即一层高质量薄膜，一层低质量薄膜，一层高质量薄膜，一层高质量薄膜，以此类推，层叠设置。

根据本公开的实施例，层间绝缘层的厚度没有限制要求，本领域技术人员可以根据实际需求灵活选择。在本公开的一些实施例中，层间绝缘层的厚度约为 3000 Å~9000 Å，比如 3000 Å、3500 Å、4000 Å、4500 Å、6000 Å、6500 Å、7000 Å、7500 Å、8000 Å、8500 Å 或 9000 Å。由此，层间绝缘层的使用性能佳，且还可以很好的阻挡氢的扩散。

在本公开的实施例中，采用“约”限定数值时，它的范围是指该限定的数值±10%的范围。

根据本公开的实施例，PIN 二极管光补偿作用的原理为：光照射 PIN 二极管，激发了

第一导电类型半导体层和第二导电类型半导体层的载流子电子和空穴，电子和空穴在本征半导体层复合产生了光生载流子，并随着光强越大，载流子产生的电流越大，由此根据电流的大小可以精确的反应光的强弱，根据电流的大小，进而改变所加的电压，从而达到控制光的强弱的作用，实现补偿功能。

根据本公开的实施例，为实现上述光学补偿作用，第一导电类型半导体层为 n 型导电，且形成第一导电类型半导体层材料选自铟镓锌氧化物 (IGZO)、铟锡锌氧化物 (ITZO)、铟锡镓氧化物 (ITGO)、铟镓锌锡氧化物 (IGZTO)、铟锌氧化物 (IZO)、镓锌氧化物 (GZO)、氮氧化锌 (ZnON)、铝掺杂的铟锌氧化物 (Al-IZO)、铝钕掺杂的铟锌氧化物 (AlNd-IZO)、铝掺杂的镓锌氧化物 (Al-GZO)、铝钕掺杂的镓锌氧化物 (AlNd-GZO) 中的至少一种；所述第二导电类型半导体层为 p 型导电，且形成所述第二导电类型半导体层的材料选自氧化亚铜 (Cu_2O)、氧化铝铜 (CuAl_2O)、硫化镓 (GaS)、硫化铟 (InS)、硒化镓 (GaSe)、氮化锌 (ZnN)、磷化锌 (ZnP)、磷化镓 (GaP)、砷化锌 (ZnAs) 和非晶硅中的至少一种。由此，PIN 二极管在有效实现其光学补偿作用的前提下，形成上述第一导电类型半导体层的材料均具有很好的阻挡氢扩散的功能，进而改善使用该薄膜晶体管的显示面板的显示效果；且当第二导电类型半导体层采用上述除非晶硅之外的材料时，由于其本身和制作氛围中也均不含氢，可以进一步的降低有源层被导体化的风险。

根据本公开的实施例，第一导电类型半导体层为 p 型导电，且形成第一导电类型半导体层材料选自氧化亚铜 (Cu_2O)、氧化铝铜 (CuAl_2O)、硫化镓 (GaS)、硫化铟 (InS)、硒化镓 (GaSe)、氮化锌 (ZnN)、磷化锌 (ZnP)、磷化镓 (GaP)、砷化锌 (ZnAs) 中的至少一种；所述第二导电类型半导体层为 n 型导电，且形成所述第二导电类型半导体层的材料选自铟镓锌氧化物 (IGZO)、铟锡锌氧化物 (ITZO)、铟锡镓氧化物 (ITGO)、铟镓锌锡氧化物 (IGZTO)、铟锌氧化物 (IZO)、镓锌氧化物 (GZO)、氮氧化锌 (ZnON)、铝掺杂的铟锌氧化物 (Al-IZO)、铝钕掺杂的铟锌氧化物 (AlNd-IZO)、铝掺杂的镓锌氧化物 (Al-GZO)、铝钕掺杂的镓锌氧化物 (AlNd-GZO) 和非晶硅中的至少一种。由此，PIN 二极管在有效实现其光学补偿作用的前提下，形成上述第一导电类型半导体层的材料均具有很好的阻挡氢扩散的功能，进而改善使用该薄膜晶体管的显示面板的显示效果；且当第二导电类型半导体层采用上述除非晶硅之外的材料时，由于其本身和制作氛围中也均不含氢，可以进一步的降低有源层被导体化的风险。

根据本公开的实施例，为了提高 PIN 二极管的光学补偿效果，形成本征半导体层的材料包括非晶硅。由此，PIN 二极管的光学补偿效果较佳。

根据本公开的实施例，第一导电类型半导体层的厚度为 $100 \text{ \AA} \sim 2000 \text{ \AA}$ ，比如 100 \AA 、 300 \AA 、 500 \AA 、 700 \AA 、 900 \AA 、 1000 \AA 、 1200 \AA 、 1400 \AA 、 1600 \AA 、 1800 \AA 或 2000 \AA ，如

此，第一导电类型半导体层的性能较佳，电阻不会太大，不会影响光电流的大小，若厚度太薄，第一导电类型半导体层不能形成连续的薄膜，若厚度太厚，电阻会上升，易造成光电流下降；本征半导体层的厚度为 7000 Å~15000 Å，比如 7000 Å、8000 Å、9000 Å、10000 Å、11000 Å、12000 Å、13000 Å、14000 Å、15000 Å，如此，可以形成厚度均匀的本征半导体层，且使用性能较佳；第二导电类型半导体层的厚度为 20 Å~500 Å，比如 20 Å、40 Å、70 Å、100 Å、150 Å、200 Å、300 Å、350 Å、400 Å、450 Å 或 500 Å。如此，可以形成厚度均匀的第二导电类型半导体层，且使用性能较佳。

下面根据本公开的一些具体实施例详细描述一些薄膜晶体管的结构：

在本公开的一些具体实施例中，参照图 2，薄膜晶体管包括：衬底 10；遮光层 80，遮光层 80 设置在衬底 10 的上表面上；缓冲层 90，缓冲层 90 设置在衬底 10 的上表面上，且覆盖遮光层 80；有源层 20，有源层 20 设置在缓冲层 90 远离遮光层 80 的表面上；栅绝缘层 30，栅绝缘层 30 设置在有源层 20 远离衬底 10 的表面上；栅极 40，栅极 40 设置在栅绝缘层 30 远离衬底 10 的表面上；层间绝缘层 50，层间绝缘层 50 设置在缓冲层 90 远离衬底 10 的表面上，并覆盖暴露的有源层 20、栅绝缘层 30 和栅极 40；源极 61 和漏极 62，源极 61 和漏极 62 设置在层间绝缘层 50 远离衬底 10 的表面上，源极 61 和漏极 62 分别通过第一过孔 51 与有源层 20 电连接；第一绝缘层 100，第一绝缘层 100 设置在层间绝缘层 50 远离衬底 10 的表面上，并覆盖源极 61 和漏极 62；氢阻挡层 110，氢阻挡层 110 设置在第一绝缘层 100 远离衬底的表面上，氢阻挡层 110 通过第二过孔 101 与栅极电连接；第一电极层 112（在制备工艺中，氢阻挡层 110 和第一电极层 112 可以采用同一构图工艺形成，使得二者同层），第一电极层 112 通过第三过孔 102 与漏极 62 或源极 61 电连接；第一导电类型半导体层 71，第一导电类型半导体层 71 设置在第一电极层 112 远离衬底 10 的表面上；本征半导体层 72，本征半导体层 72 设置在第一导电类型半导体层 71 远离衬底的表面上；第二导电类型半导体层 73，第二导电类型半导体层 73 设置在本征半导体层 72 远离衬底 10 的表面上；第二电极层 74，第二电极层 74 设置在第二导电类型半导体层 73 远离衬底 10 的表面上；第二绝缘层 120，第二绝缘层 120 设置在第一绝缘层 100 远离衬底 10 的表面上，并覆盖暴露的氢阻挡层 110、第一电极层 112、第一导电类型半导体层 71、本征半导体层 72、第二导电类型半导体层 73 和第二电极层 74；平坦层 130，平坦层 130 设置在第二绝缘层 120 远离衬底 10 的表面上；第三电极层 140，第三电极层 140 设置在平坦层 130 远离衬底 10 的表面上，并通过第四过孔 131 与第二电极层 74 电连接；像素界定层 150，像素界定层 150 设置在第三电极层 140 远离衬底 10 的表面上。在该结构的薄膜晶体管中，氢阻挡层、第一导电类型半导体层和层间绝缘层均可以用于阻挡氢的扩散，更好的防止有源层被导体化，进而解决有源层大电流的问题。

这里，氢阻挡层 110 和第一电极层 112 同层设置并不限于二者在相同的竖直高度上，或者具有相同的厚度，当二者采用相同的材料、由同一构图工艺形成时，它们被视为同层设置。

在本公开的另一些具体实施例中，参照图 3，薄膜晶体管包括：衬底 10；遮光层 80，遮光层 80 设置在衬底 10 的上表面上；缓冲层 90，缓冲层 90 设置在衬底 10 的上表面上，且覆盖遮光层 80；有源层 20，有源层 20 设置在缓冲层 90 远离遮光层 80 的表面上；栅绝缘层 30，栅绝缘层 30 设置在有源层 20 远离衬底 10 的表面上；栅极 40，栅极 40 设置在栅绝缘层 30 远离衬底 10 的表面上；层间绝缘层 50，层间绝缘层 50 设置在缓冲层 90 远离衬底 10 的表面上，并覆盖暴露的有源层 20、栅绝缘层 30 和栅极 40；源极 61 和漏极 62，源极 61 和漏极 62 设置在层间绝缘层 50 远离衬底 10 的表面上，源极 61 和漏极 62 分别通过第一过孔 51 与有源层 20 电连接；第一导电类型半导体层 71，第一导电类型半导体层 71 设置在漏极 62 或源极 61 远离衬底 10 的表面（图中以设置在漏极远离衬底的表面上为例）上；本征半导体层 72，本征半导体层 72 设置在第一导电类型半导体层 71 远离衬底 10 的表面上；第二导电类型半导体层 73，第二导电类型半导体层 73 设置在本征半导体层 72 远离衬底 10 的表面上；第二电极层 74，第二电极层 74 设置在第二导电类型半导体层 73 远离衬底 10 的表面上；第二绝缘层 120，第二绝缘层 120 设置在层间绝缘层 50 远离衬底 10 的表面上，并覆盖暴露的源极 61、漏极 62、第一导电类型半导体层 71、本征半导体层 72、第二导电类型半导体层 73 和第二电极层 74；平坦层 130，平坦层 130 设置在第二绝缘层 120 远离衬底 10 的表面上；第三电极层 140，第三电极层 140 设置在平坦层 130 远离衬底 10 的表面上，并通过第四过孔 131 与第二电极层 74 电连接；像素界定层 150，像素界定层 150 设置在第三电极层 140 远离衬底 10 的表面上。由此，在保护有源层不被导体化的前提下，为了简化工艺，上述结构的薄膜晶体管不设置氢阻挡层和第一绝缘层，通过第一导电类型半导体层和层间绝缘层，依然可以保持较佳的阻挡作用，即依然可以解决有源层被导体化的问题，且在制备工艺上可以缩减工艺流程，节省 mask 数量。

根据本公开的实施例，形成上述第二电极层、第三电极层、第一绝缘层、第二绝缘层、平坦层、氢阻挡层、像素界定层的材料没有特殊要求，本领域技术人员可以根据实际需求灵活选择。在本公开的一些实施例中，形成第二电极层、第三电极层的材料包括但不限于氧化铟锡（ITO）；形成第一绝缘层、第二绝缘层、平坦层和像素界定层的材料分别选自氮化硅、氧化硅、氮氧化硅或绝缘有机材料等；形成氢阻挡层和第一电极层的材料可以选择用于制作源极和漏极的材料。由此，材料来源广泛，成本较低，且上述各个结构的使用性能较佳。

在本公开的又一方面，本公开的实施例提供了一种制作前面所述的薄膜晶体管的方法。

根据本公开的实施例，参照图 4，上述方法包括：

S100：在衬底 10 的一个表面上依次形成有源层 20、栅绝缘层 30、栅极 40、层间绝缘层 50、源极 61 和漏极 62，结构示意图参照图 5。

根据本公开的实施例，在形成有源层之前，可进一步的包括形成遮光层 80 和缓冲层 90 的步骤，结构示意图参照图 6，其中，上述形成遮光层 80、缓冲层 90、有源层 20、栅绝缘层 30、栅极 40、层间绝缘层 50、源极 61 和漏极 62 的方法没有限制要求，本领域技术人员可以根据实际需求灵活常规技术手段，下面根据本公开的一些具体实施例详细描述一下上述各个结构的形成步骤和方法：

在衬底 10 的一个表面上沉积遮光层薄膜，之后通过构图工艺（包括形成光刻胶、刻蚀、剥离等步骤）对遮光层薄膜图案化，得到遮光层 80；在衬底 10 的表面上沉积缓冲层 90，并覆盖遮光层 80；在缓冲层 90 远离衬底的表面上沉积形成有源层薄膜，之后通过构图工艺对有源层薄膜图案化，得到有源层 20；在有源层 20 远离衬底的表面上沉积形成栅绝缘层 30，其中栅绝缘层可以是一整层，也可以是通过构图工艺得到的图案化结构；在栅绝缘层 30 远离衬底的表面上沉积形成栅极薄膜，栅极薄膜覆盖暴露的有源层和衬底，之后通过构图工艺对栅极薄膜图案化得到栅极 40；在衬底的表面上沉积形成层间绝缘层 50，层间绝缘层 50 覆盖暴露的有源层 20、栅绝缘层 30 和栅极 40；通过刻蚀的方法在层间绝缘层中形成第一过孔 51，第一过孔 51 暴露部分有源层 20；在层间绝缘层 50 远离衬底的表面上沉积源漏极薄膜，之后通过构图工艺对源漏极薄膜图案化得到源极 61 和漏极 62，源极 61 和漏极 62 通过第一过孔 51 与有源层 20 电连接。

根据本公开的实施例，如前所述，层间绝缘层的设置在一定程度上也可以防止氢扩散到有源层，在此基础上，为了提高制作速率，形成所述层间绝缘层的步骤包括：依次形成多个层叠设置的子层间绝缘层，其中，形成相邻两个所述子层间绝缘层的功率和速度不同。在沉积形成层间绝缘层的方法中，通过高功率和低速度可以制作高质量、性能佳的层间绝缘层薄膜，通过低功率和高速度可以快速制作质量相对欠佳的层间绝缘层薄膜，如此，便可以通过配合调整形成各个子层间绝缘层的高低功率和高低速度来同时满足对薄膜质量和形成速率的要求，由此得到的层间绝缘层不仅可以较好的阻挡氢的扩散，还可以缩短层间绝缘层的制作时间，进而提升薄膜晶体管的制作效率。

根据本公开的实施例，上述沉积的具体方法没有限制要求，可以选择物理气相沉积（比如磁控溅射），也可以选择化学气相沉积（比如等离子体增强化学的气相沉积法），在此不作限制要求。

S200：在漏极 62 和源极 61 远离衬底 10 的一侧形成第一半导体层 75，且第一半导体层 75 覆盖暴露的层间绝缘层 50，结构示意图参照图 7 和图 8。

根据本公开的实施例，可以根据实际需求选择在形成第一半导体层之前是否在源极和漏极远离衬底的一侧设置氢阻挡层，下面根据本公开的一些具体实施例详细描述一下上述两种情况：

在本公开的一些实施例中，参照图 7，不设置氢阻挡层，即在源极 61 和漏极 62 的表面上直接设置第一半导体层 75。虽没有氢阻挡层的设置，第一半导体层 75 依然可以很好的阻挡后续工艺中氢的扩散，很好的保护有源层不被导体化，即依然可以很好的解决有源层大电流的问题；且相比设置氢阻挡层的方案，该方法可以缩减两道光刻工艺，节省 mask 数量，进而缩减薄膜晶体管的制作工艺流程，提高制作效率。

在本公开的另一一些实施例，参照图 8，在形成第一半导体层 75 之前，可以进步包括：在层间绝缘层 50 远离衬底 10 的表面上沉积形成第一绝缘层 100，第一绝缘层 100 覆盖源极 61 和漏极 62；对第一绝缘层 100 进行刻蚀形成第二过孔 101 和第三过孔 102，第二过孔 101 和第三过孔 102 分别暴露出栅极 40 的部分表面和漏极 62 的部分表面；在第一绝缘层 100 远离衬底的表面上沉积形成氢阻挡层 110 和第一电极层 112，氢阻挡层 110 通过第二过孔 101 与栅极电连接，第一电极层 112 通过第三过孔 102 与漏极 62 或源极 61 电连接（图 8 中以漏极为例）；之后在氢阻挡层 110 和第一电极层 112 的表面上沉积形成第一半导体层 75，且第一半导体层 75 覆盖暴露的第一绝缘层 100 表面。由此，第一绝缘层 100 和氢阻挡层 110 的设置可进一步防止氢的扩散，保护有源层不被导体化。

根据本公开的实施例，形成第一半导体层 75 的具体方法也没有限制要求，可以选择物理气相沉积（比如磁控溅射），也可以选择化学气相沉积（比如等离子体增强化学的气相沉积法），在此不作限制要求。

根据本公开的实施例，形成第一半导体层的材料为 n 型掺杂的铟镓锌氧化物（IGZO）、铟锡锌氧化物（ITZO）、铟锡镓氧化物（ITGO）、铟镓锡氧化物（IGZTO）、铟锌氧化物（IZO）、镓锌氧化物（GZO）、氮氧化锌（ZnON）、铝掺杂的铟锌氧化物（Al-IZO）、铝钨掺杂的铟锌氧化物（AlNd-IZO）、铝掺杂的镓锌氧化物（Al-GZO）、铝钨掺杂的镓锌氧化物（AlNd-GZO）中的至少一种，或者 p 型掺杂的氧化亚铜（ Cu_2O ）、氧化铝铜（ CuAl_2O ）、硫化镓（GaS）、硫化铟（InS）、硒化镓（GaSe）、氮化锌（ZnN）、磷化锌（ZnP）、磷化镓（GaP）、砷化锌（ZnAs）中的至少一种，由于上述材料本身均不含有氢，且其制作氛围中也不含有氢，所以第一半导体层的设置不会对有源层产生任何负面影响，即不会使有源层导体化。

S300：在第一半导体层 75 远离衬底的表面上形成中间半导体层 76，中间半导体层 76 覆盖第一半导体层 75，结构示意图参照图 9（图 9 中以不设置氢阻挡层为例）。

根据本公开的实施例，形成中间半导体层 76 的具体方法也没有限制要求，可以选择物

理气相沉积（比如磁控溅射），也可以选择化学气相沉积（比如等离子体增强化学的气相沉积法），在此不作限制要求。

根据本公开的实施例，由于层间绝缘层和第一半导体层的设置，在制备中间半导体层时，即使在氢气氛围中采用含大量氢的非晶硅制备中间半导体层，即使长时间沉积，氢在层间绝缘层和第一半导体层分层阻挡下，也不会扩散到有源层中。

S400：在中间半导体层 76 远离衬底 10 的表面上形成第二半导体层 77，第二半导体层 77 覆盖中间半导体层 76，结构示意图参照图 10（图 10 中以不设置氢阻挡层为例）。

根据本公开的实施例，形成第二半导体层 77 的具体方法也没有限制要求，可以选择物理气相沉积（比如磁控溅射），也可以选择化学气相沉积（比如等离子体增强化学的气相沉积法），在此不作限制要求。

根据本公开的实施例，由于第一半导体层的设置，在制备第二半导体层时，无论采用的材料是否含氢，沉积氛围是否含氢，是否长时间沉积，氢在层间绝缘层和第一半导体层分层阻挡下，都不会扩散到有源层中。

S500：对第一半导体层 75、中间半导体层 76 和第二半导体层 77 进行图案化，以便在漏极 62 或源极 61 远离衬底的表面上形成 PIN 二极管 70，结构示意图参照图 11（图 11 中以不设置氢阻挡层为例）。

根据本公开的实施例，图案化的具体方法和步骤没有限制要求，本领域技术人员可以根据中间半导体层和第二半导体层的具体材料灵活设定。在本公开的一些实施例中，形成中间半导体层和第二半导体层均为非晶硅，与第一半导体材料不同，所以可以先利用干刻对中间半导体层和第二半导体层图案化，形成本征半导体层和第二导电类型半导体层，然后再利用湿刻对第一半导体层图案化形成第一导电类型半导体层，进而得到 PIN 二极管。在本公开的另一一些实施例，若形成中间半导体层为非晶硅，形成第二半导体层的材料为金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物，则可以分别通过湿刻、干刻、湿刻对第二半导体层、中间半导体层和第一半导体层分布进行图案化，得到 PIN 二极管。

根据本公开的实施例，为了进一步完善薄膜晶体管的结构，进一步包括：通过构图工艺在第二导电类型半导体层 73 远离衬底 10 的表面上形成第二电极层 74；在第一绝缘层 100 或层间绝缘层 50 远离衬底 10 的表面上沉积形成第二绝缘层 120，且第二绝缘层 120 覆盖暴露的源极 61、漏极 62、第一导电类型半导体层 71、本征半导体层 72、第二导电类型半导体层 73 和第二电极层 74；在第二绝缘层 120 远离衬底的表面上沉积形成平坦层 130；通过刻蚀在平坦层 130 的表面上形成第四过孔 131，第四过孔 131 穿透第二绝缘层 120，且暴露出第二电极层 74 的部分表面；通过沉积、刻蚀和剥离等步骤在平坦层 130 远离衬底的表

面上形成第三电极层 140；通过沉积、刻蚀和剥离等步骤在第三电极层 140 远离衬底 10 的表面上形成像素界定层 150，结构示意图参照图 2 和图 3。

根据本公开的实施例，由于金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物本身及其制作氛围中均不含有氢，所以第一导电类型半导体层的设置和制作均不会将有源层导体化；而且先在源极或漏极的第一表面上先形成第一导电类型半导体层，在制作本征半导体层和第二导电类型半导体层时便可以用于防止氢向有源层扩散（在制作本征半导体层和第二导电类型半导体层时便可以作为阻挡层防止氢对有源层产生负面影响），防止有源层被导体化，进而改善薄膜晶体管的特性；此外，上述制作工艺成熟，易操作，易于工业化生产。

本领域技术人员可以理解，上述各个结构的形成材料与前面所述的一致，不再一一赘述。

在本公开的另一方面，本公开的实施例提供了一种显示面板。根据本公开的实施例，显示面板包括前面所述的薄膜晶体管。由此，该显示面板中的薄膜晶体管特性良好，且显示面板的显示效果较佳。本领域技术人员可以理解，该显示面板具有前面所述的薄膜晶体管的所有特征和优点。

当然，本领域技术人员可以理解，除了前面所述的薄膜晶体管，上述显示面板还包括常规显示面板所必备的结构或部件，比如空穴传输层、发光层、电子传输层和封装薄膜等结构或部件。

在本公开的又一方面，本公开的实施例提供了一种显示装置，根据本公开的实施例，该显示装置包括前面所述的显示面板或薄膜晶体管。由此，该显示装置的显示效果较佳，性能稳定。本领域技术人员可以理解，该显示装置具有前面所述薄膜晶体管或显示面板的所有特征和优点，在此不再过多赘述。

当然，本领域技术人员可以理解，除了前面所述的薄膜晶体管或显示面板，上述显示装置还包括常规显示装置所必备的结构或部件，以手机为例，除了前面所述的薄膜晶体管或显示面板，还包括玻璃盖板、壳体、CPU 处理器、指纹模组、音频模组、触控模组等结构或部件。

在本说明书的描述中，参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施例或示例中。在本说明书中，对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合

和组合。

尽管上面已经示出和描述了本公开的实施例，可以理解的是，上述实施例是示例性的，不能理解为对本公开的限制，本领域的普通技术人员在本公开的范围内可以对上述实施例进行变化、修改、替换和变型。

权利要求书

1、一种阵列基板，包括：

衬底；

薄膜晶体管，在所述衬底上；和

PIN 二极管，在所述薄膜晶体管远离所述衬底的一侧，从所述薄膜晶体管朝向远离所述衬底的方向上，所述 PIN 二极管包括依次层叠设置的第一导电类型半导体层、本征半导体层和第二导电类型半导体层；

其中，所述第一导电类型半导体层的材料包括下述材料中的一种或几种：金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物。

2、根据权利要求 1 所述的阵列基板，其中，所述薄膜晶体管包括有源层、栅绝缘层、栅极、层间绝缘层、源极和漏极，其中，所述 PIN 二极管设置在所述漏极或所述源极的远离所述有源层的一侧。

3、根据权利要求 1 所述的阵列基板，其中，所述第一导电类型半导体层的厚度约为 100 Å ~2000 Å；所述本征半导体层的厚度约为 7000 Å ~15000 Å；所述第二导电类型半导体层的厚度约为 20 Å ~500 Å。

4、根据权利要求 1 所述的阵列基板，其中，所述第一导电类型半导体层为 n 型导电，且形成所述第一导电类型半导体层材料选自铟镓锌氧化物、铟锡锌氧化物、铟锡镓氧化物、铟镓锌锡氧化物、铟锌氧化物、镓锌氧化物、氮氧化锌、铝掺杂的铟锌氧化物、铝钽掺杂的铟锌氧化物、铝掺杂的镓锌氧化物、铝钽掺杂的镓锌氧化物中的至少一种；

所述第二导电类型半导体层为 p 型导电，且形成所述第二导电类型半导体层的材料选自氧化亚铜、氧化铝铜、硫化镓、硫化铟、硒化镓、氮化锌、磷化锌、磷化镓、砷化锌和非晶硅中的至少一种。

5、根据权利要求 1 所述的阵列基板，其中，所述第一导电类型半导体层为 p 型导电，且形成所述第一导电类型半导体层材料选自氧化亚铜、氧化铝铜、硫化镓、硫化铟、硒化镓、氮化锌、磷化锌、磷化镓、砷化锌中的至少一种；

所述第二导电类型半导体层为 n 型导电，且形成所述第二导电类型半导体层的材料选自铟镓锌氧化物、铟锡锌氧化物、铟锡镓氧化物、铟镓锌锡氧化物、铟锌氧化物、镓锌氧化物、氮氧化锌、铝掺杂的铟锌氧化物、铝钽掺杂的铟锌氧化物、铝掺杂的镓锌氧化物、铝钽掺杂的镓锌氧化物和非晶硅中的至少一种。

6、根据权利要求 1 所述的阵列基板，其中，所述本征半导体层的材料包括非晶硅。

7、根据权利要求 2 所述的阵列基板，其中，所述层间绝缘层包括多个层叠设置的子层

间绝缘层，其中相邻的两个子层间绝缘层的制造工艺不同。

8、根据权利要求2所述的阵列基板，其中，所述阵列基板还包括两个电极层，两个电极层分别设置在第一导电类型半导体层和第二导电类型半导体层的远离本征半导体层的一侧，并分别与第一导电类型半导体层和第二导电类型半导体层电连接。

9、根据权利要求2所述的阵列基板，其中，所述阵列基板还包括一个电极层，所述电极层设置在第二导电类型半导体层的远离本征半导体层的一侧，并与第二导电类型半导体层电连接，并且所述第一导电类型半导体层与所述漏极或所述源极直接接触而电连接。

10、根据权利要求2所述的阵列基板，其中，所述栅绝缘层设置在所述有源层远离所述衬底的表面上；所述栅极设置在所述栅绝缘层远离所述衬底的表面上；所述层间绝缘层设置在所述衬底的靠近有源层的一侧，并覆盖暴露的所述有源层、所述栅绝缘层和所述栅极；所述源极和所述漏极设置在所述层间绝缘层远离所述衬底的表面上，所述源极和所述漏极分别通过第一过孔与所述有源层电连接。

11、根据权利要求10所述的阵列基板，其中，所述阵列基板还包括：

遮光层，所述遮光层设置在所述衬底上；

缓冲层，所述缓冲层设置在所述衬底上，且覆盖所述遮光层，

其中，所述有源层和所述层间绝缘层设置在缓冲层远离所述遮光层的表面上。

12、根据权利要求10~11中任一项所述的阵列基板，还包括：

第一绝缘层，所述第一绝缘层设置在所述层间绝缘层远离所述衬底的表面上，并覆盖所述源极和所述漏极；

氢阻挡层，所述氢阻挡层设置在所述第一绝缘层远离所述衬底的表面上，所述氢阻挡层通过第二过孔与所述栅极电连接；

第一电极层，所述第一电极层通过第三过孔与所述漏极或所述源极电连接；

第二电极层，所述第二电极层设置在所述第二导电类型半导体层远离所述衬底的表面上；

第二绝缘层，所述第二绝缘层设置在所述第一绝缘层远离所述衬底的表面上，并覆盖暴露的所述氢阻挡层、所述第一电极层、所述第一导电类型半导体层、所述本征半导体层、所述第二导电类型半导体层和所述第二电极层；

平坦层，所述平坦层设置在所述第二绝缘层远离所述衬底的表面上；

第三电极层，所述第三电极层设置在所述平坦层远离所述衬底的表面上，并通过第四过孔与所述第二电极层电连接；

像素界定层，所述像素界定层设置在所述第三电极层远离所述衬底的表面上，

其中，所述第一导电类型半导体层设置在所述第一电极层远离所述衬底的表面上；

所述本征半导体层设置在所述第一导电类型半导体层远离所述衬底的表面上；

所述第二导电类型半导体层设置在所述本征半导体层远离所述衬底的表面上。

13、根据权利要求 10~11 中任一项所述的阵列基板，还包括：

第二电极层，所述第二电极层设置在所述第二导电类型半导体层远离所述衬底的表面上；

第二绝缘层，所述第二绝缘层设置在所述层间绝缘层远离所述衬底的表面上，并覆盖暴露的所述源极、所述漏极、所述第一导电类型半导体层、所述本征半导体层、所述第二导电类型半导体层和所述第二电极层；

平坦层，所述平坦层设置在所述第二绝缘层远离所述衬底的表面上；

第三电极层，所述第三电极层设置在所述平坦层远离所述衬底的表面上，并通过第四过孔与所述第二电极层电连接；

像素界定层，所述像素界定层设置在所述第三电极层远离所述衬底的表面上，

其中，所述第一导电类型半导体层设置在所述漏极或所述源极远离所述衬底的表面上；

所述本征半导体层设置在所述第一导电类型半导体层远离所述衬底的表面上；

所述第二导电类型半导体层设置在所述本征半导体层远离所述衬底的表面上。

14、根据权利要求 12 所述的阵列基板，其中，所述氢阻挡层和所述第一电极层同层设置。

15、根据权利要求 1 所述的阵列基板，其中，所述第一导电类型半导体层在不含有氢的氛围中制作。

16、一种显示面板，其中，包括权利要求 1-15 中任一项所述的阵列基板。

17、一种制作阵列基板的方法，包括：

在衬底上形成薄膜晶体管；

在所述薄膜晶体管远离所述衬底的一侧形成第一半导体层；

在所述第一半导体层远离所述薄膜晶体管的表面上形成中间半导体层，所述中间半导体层覆盖所述第一半导体层；

在所述中间半导体层远离所述薄膜晶体管的表面上形成第二半导体层，所述第二半导体层覆盖所述中间半导体层；

对所述第一半导体层、所述中间半导体层和所述第二半导体层进行图案化，以便在所述薄膜晶体管远离所述衬底的表面上形成构成 PIN 二极管的第一导电类型半导体层、本征半导体层和第二导电类型半导体层，

其中，所述第一导电类型半导体层的材料包括下述材料中的一种或几种：金属氧化物、金属硫化物、金属硒化物、金属氮化物、金属磷化物或金属砷化物。

18、根据权利要求 17 所述的方法，其中，在衬底上形成薄膜晶体管的步骤包括：在衬底上依次形成有源层、栅绝缘层、栅极、层间绝缘层、源极和漏极，

其中，第一半导体层形成在所述漏极或所述源极远离所述有源层的一侧，且所述第一半导体层覆盖暴露的所述层间绝缘层。

19、根据权利要求 18 所述的方法，其中，形成所述层间绝缘层的步骤包括：

依次形成多个层叠设置的子层间绝缘层，其中，形成相邻两个所述子层间绝缘层的功率和速度均不同。

20、根据权利要求 18 所述的方法，还包括：

在所述衬底上形成遮光层；

在所述衬底上形成缓冲层，所述缓冲层覆盖所述遮光层，

其中，所述有源层和所述层间绝缘层形成在缓冲层远离所述遮光层的表面上。

21、根据权利要求 17 所述的方法，其中，所述第一导电类型半导体层在不含有氢的氛围中制作。

1/6

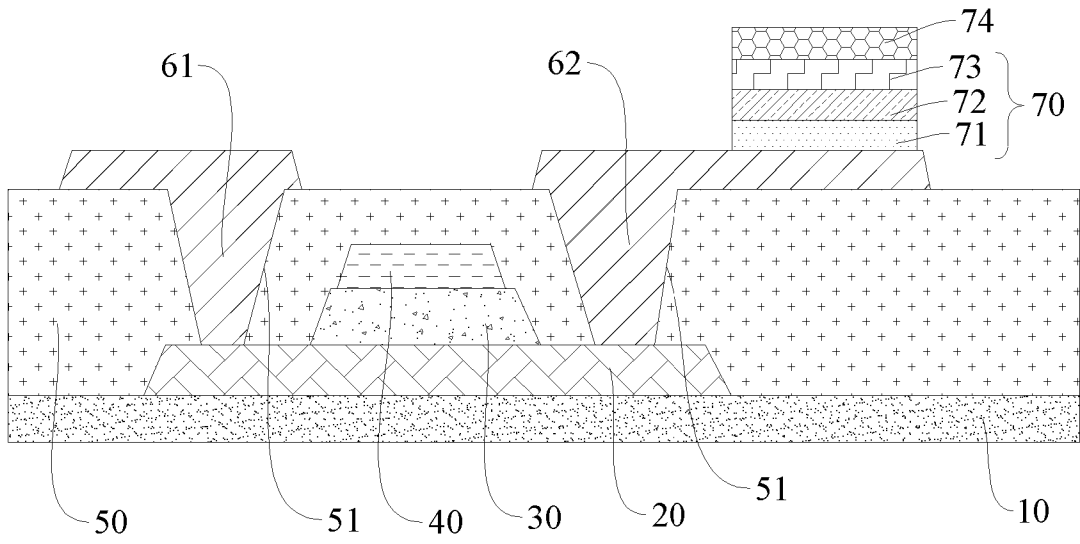


图 1

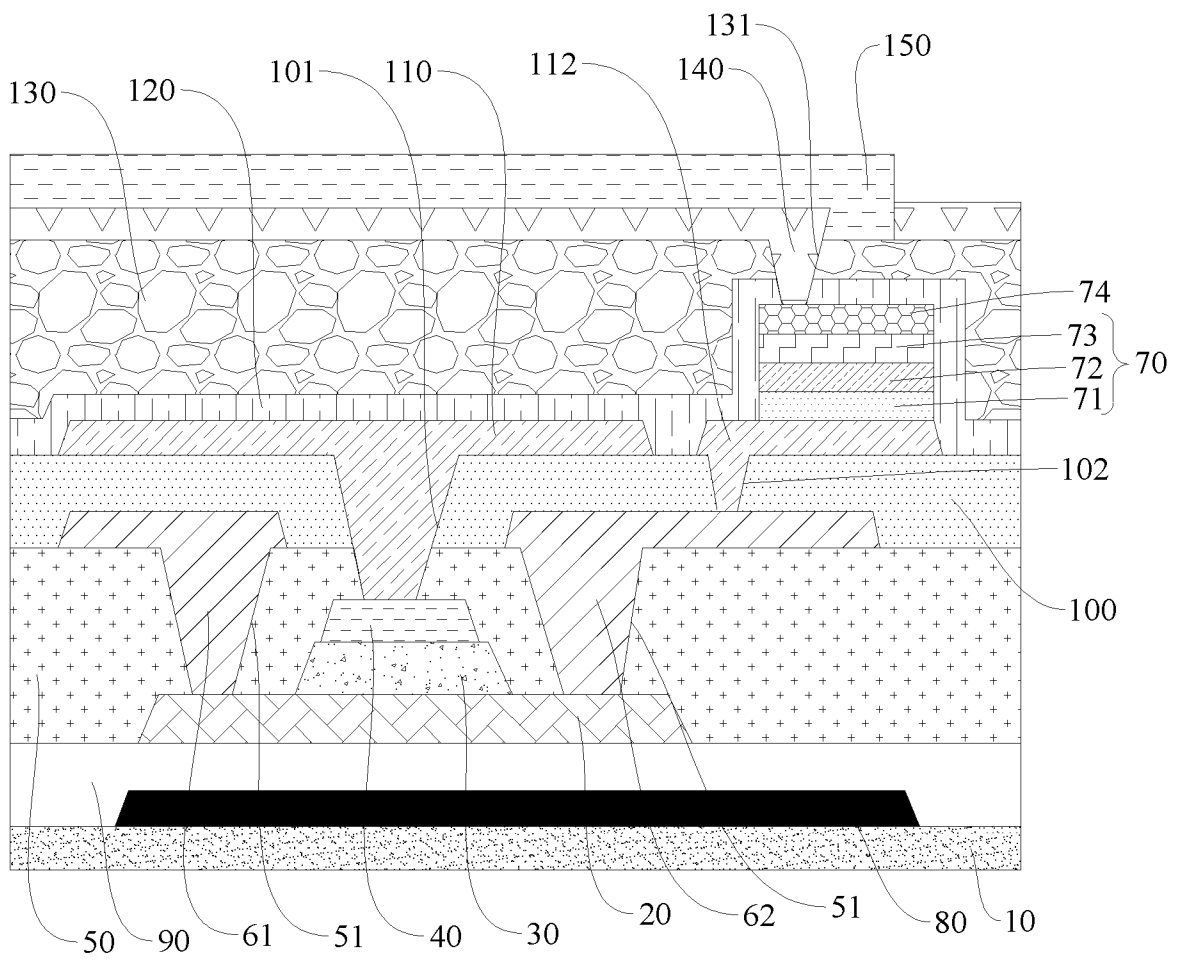


图 2

2/6

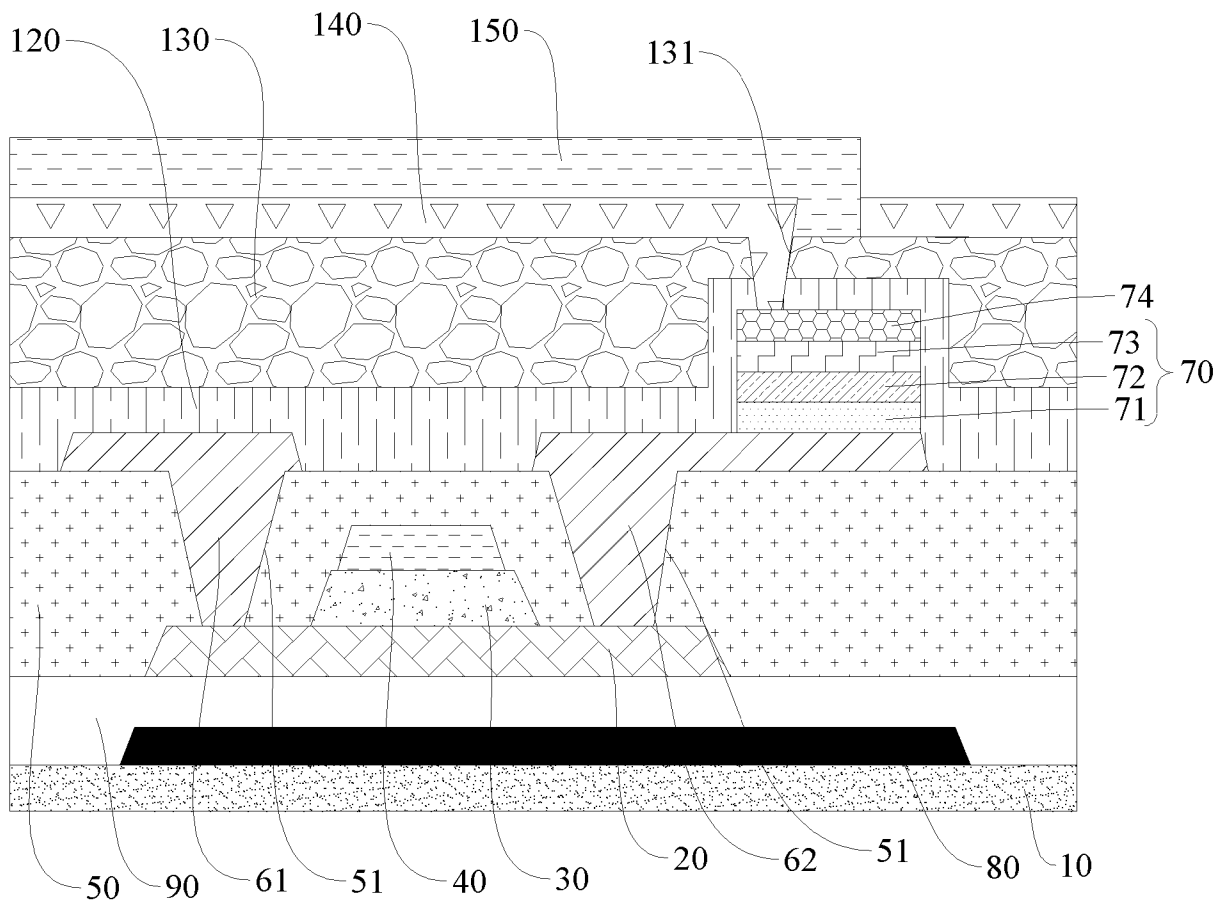


图 3

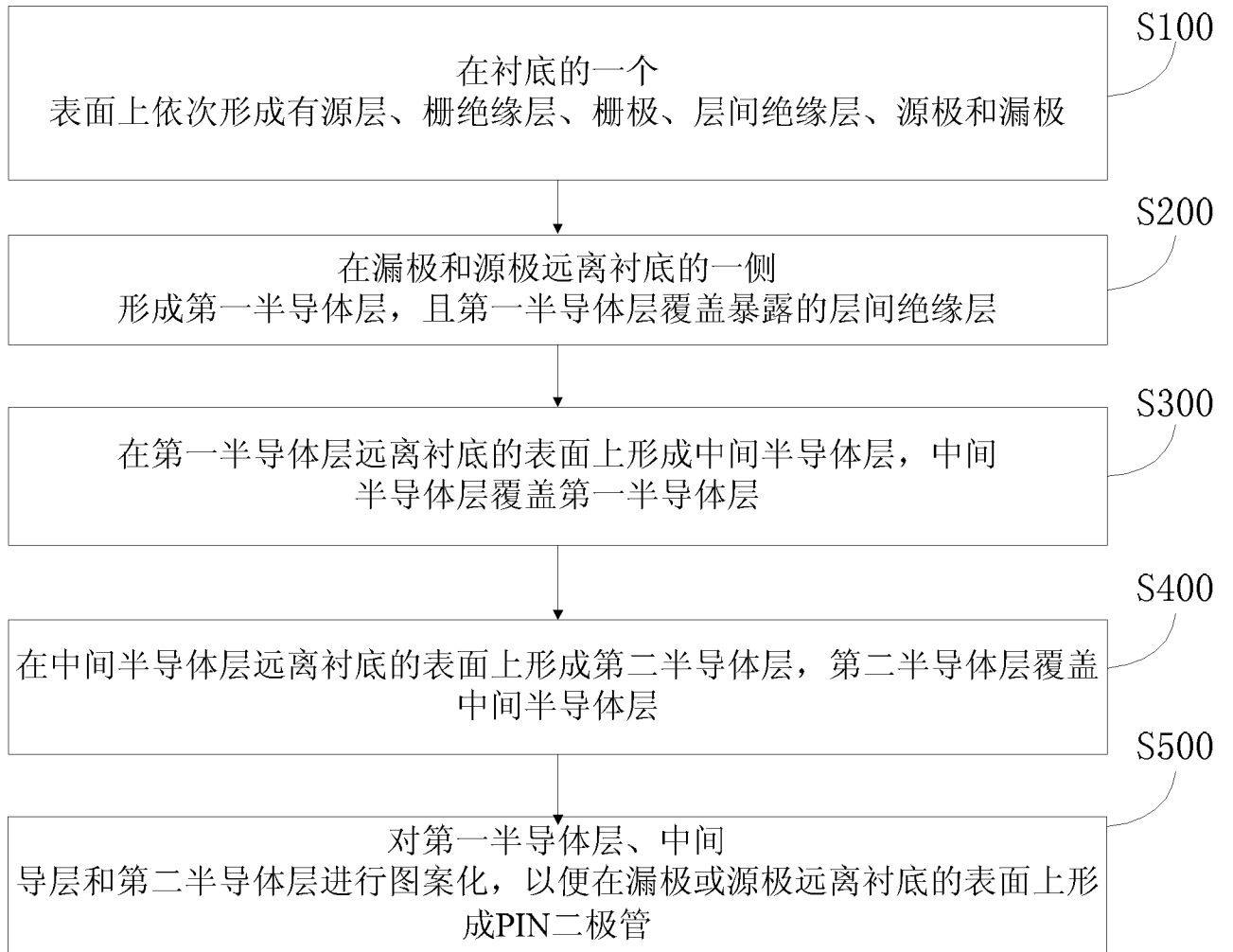


图 4

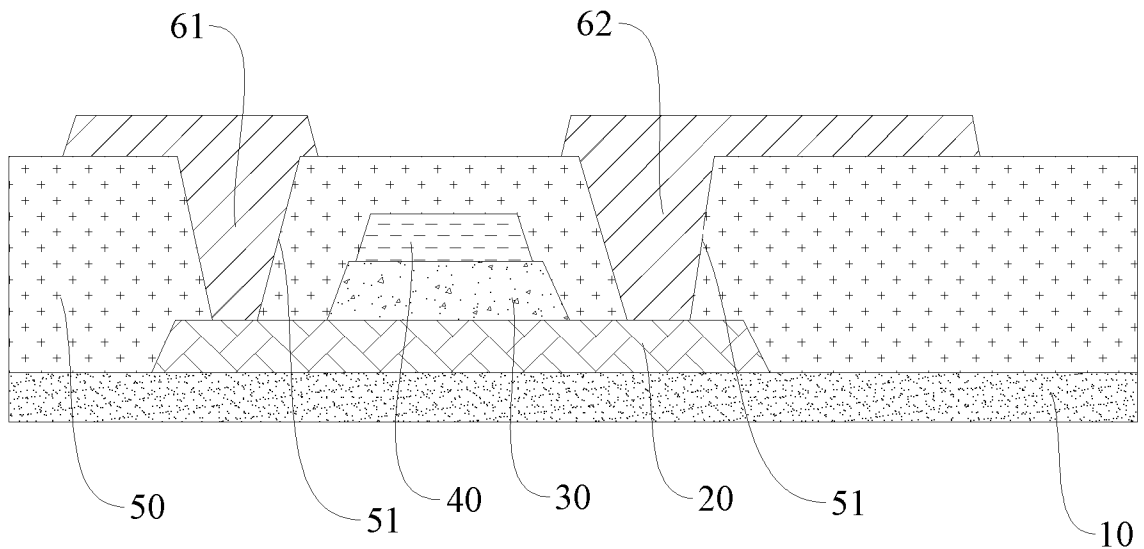


图 5

4/6

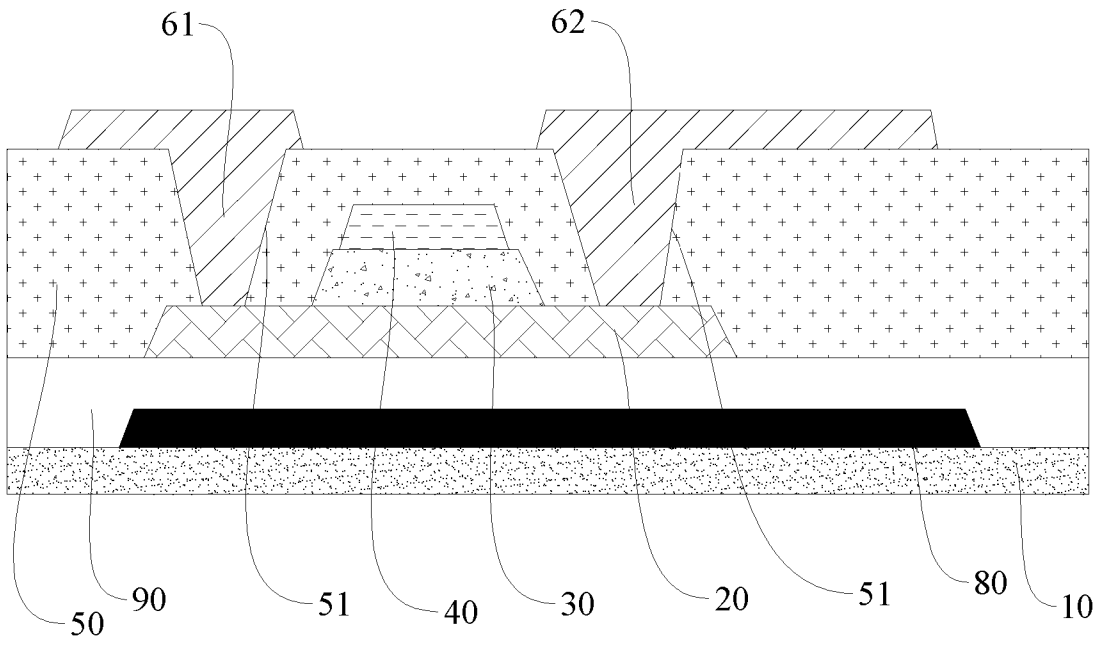


图 6

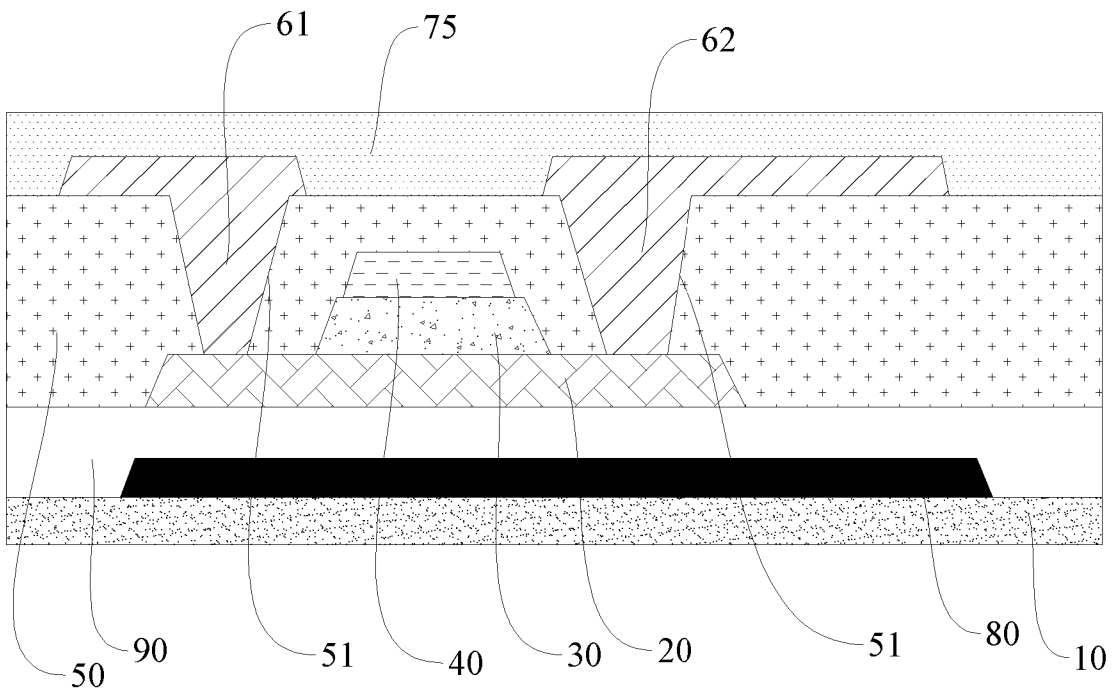


图 7

5/6

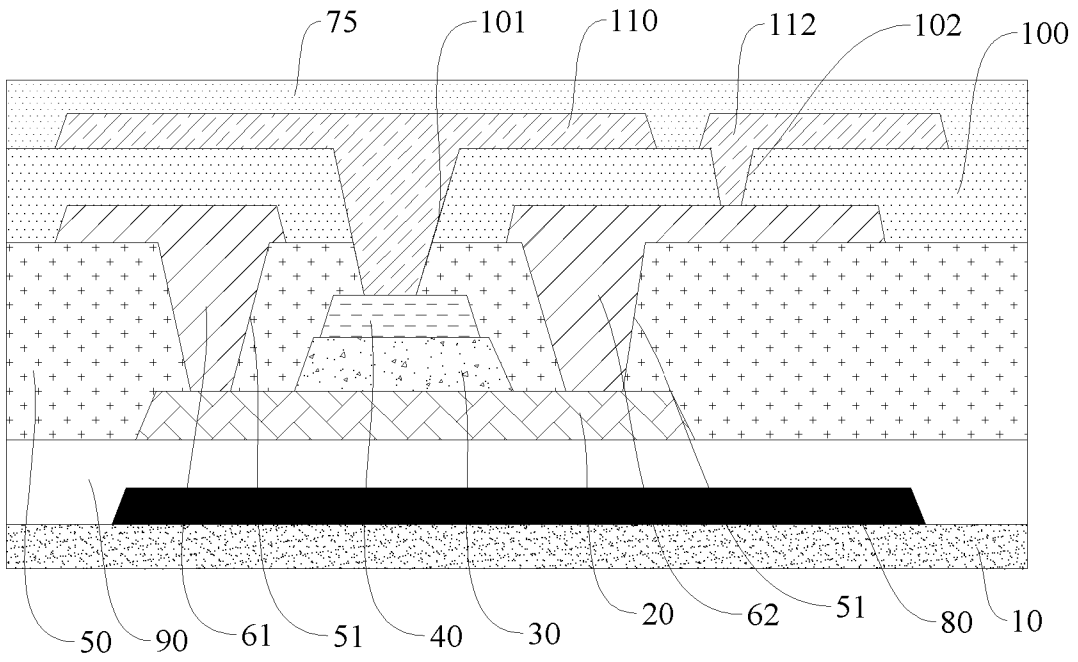


图 8

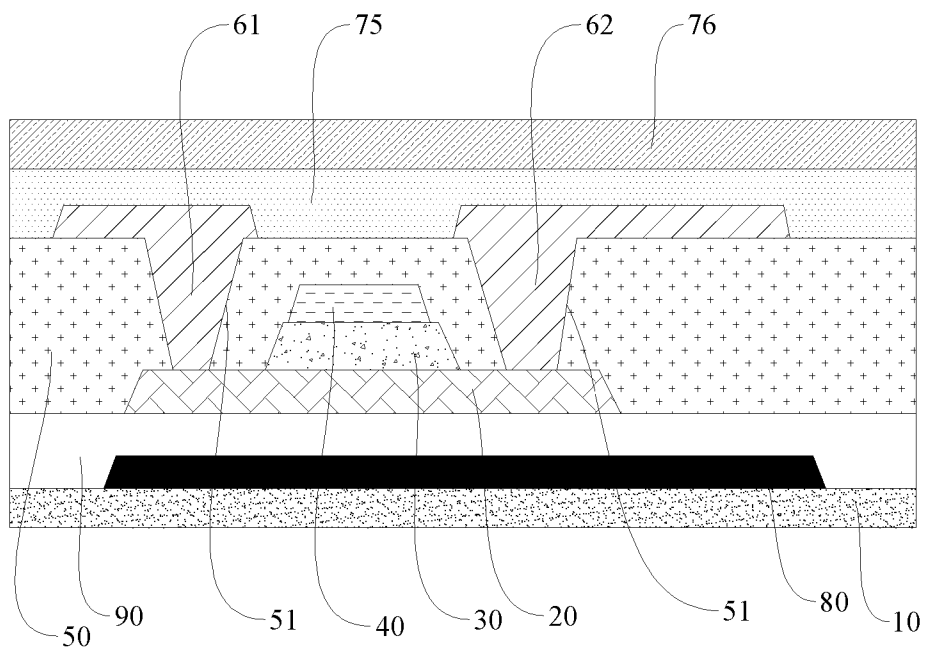


图 9

6/6

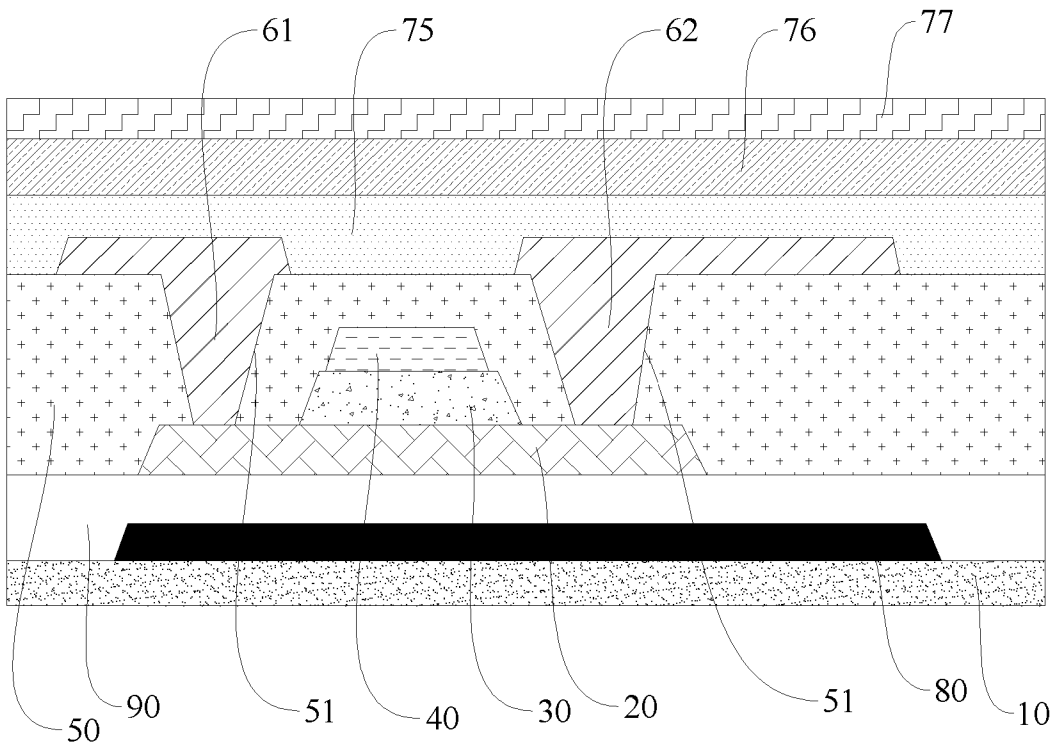


图 10

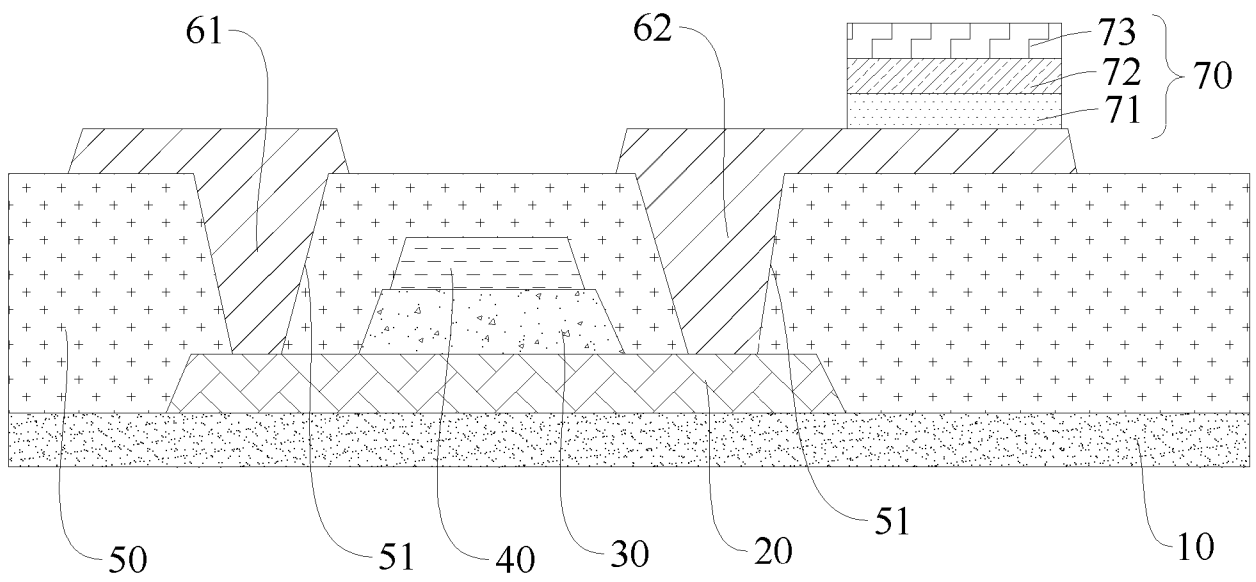


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/119932

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/786(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, EPODOC, CNKI: 阵列, 基板, 显示, 像素, 面板, 薄膜晶体管, TFT, PIN, PN, 光电, 光敏, 补偿, 金属氧化物半导体; array, substrate, display, pixel, panel, thin, film, transistor, photosensitive, compensate+, oxide, metal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109786470 A (BOE TECHNOLOGY GROUP CO., LTD.) 21 May 2019 (2019-05-21) claims 1-10, description, paragraphs [0043]-[0067], and figures 1-11	1-21
X	CN 109065582 A (BOE TECHNOLOGY GROUP CO., LTD.) 21 December 2018 (2018-12-21) description, paragraphs [0038]-[0081], and figures 2 and 5-6	1-11, 13, 15-21
A	CN 104009067 A (TRULY (HUIZHOU) SMART DISPLAY LIMITED) 27 August 2014 (2014-08-27) entire document	1-21
A	CN 108963112 A (BOE TECHNOLOGY GROUP CO., LTD.) 07 December 2018 (2018-12-07) entire document	1-21
A	CN 108666342 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 16 October 2018 (2018-10-16) entire document	1-21
A	US 2013256676 A1 (JIN, Guanghai et al.) 03 October 2013 (2013-10-03) entire document	1-21
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
17 January 2020		05 February 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/119932

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109786470	A	21 May 2019	None			
CN	109065582	A	21 December 2018	None			
CN	104009067	A	27 August 2014	US	2017123542	A1	04 May 2017
				US	10488962	B2	26 November 2019
				WO	2015192649	A1	23 December 2015
CN	108963112	A	07 December 2018	None			
CN	108666342	A	16 October 2018	WO	2018176852	A1	04 October 2018
US	2013256676	A1	03 October 2013	KR	101924078	B1	03 December 2018
				US	8853702	B2	07 October 2014
				KR	20130110991	A	10 October 2013

<p>A. 主题的分类</p> <p>H01L 29/786(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																			
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI: 阵列, 基板, 显示, 像素, 面板, 薄膜晶体管, TFT, PIN, PN, 光电, 光敏, 补偿, 金属氧化物半导体; array, substrate, display, pixel, panel, thin, film, transistor, photosensitive, compensate+, oxide, metal</p>																																			
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 109786470 A (京东方科技集团股份有限公司) 2019年 5月 21日 (2019 - 05 - 21) 权利要求1-10, 说明书第[0043]-[0067]段, 附图1-11</td> <td>1-21</td> </tr> <tr> <td>X</td> <td>CN 109065582 A (京东方科技集团股份有限公司) 2018年 12月 21日 (2018 - 12 - 21) 说明书第[0038]-[0081]段, 附图2, 5-6</td> <td>1-11, 13, 15-21</td> </tr> <tr> <td>A</td> <td>CN 104009067 A (信利惠州智能显示有限公司) 2014年 8月 27日 (2014 - 08 - 27) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 108963112 A (京东方科技集团股份有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>CN 108666342 A (京东方科技集团股份有限公司 等) 2018年 10月 16日 (2018 - 10 - 16) 全文</td> <td>1-21</td> </tr> <tr> <td>A</td> <td>US 2013256676 A1 (JIN, Guanghai 等) 2013年 10月 3日 (2013 - 10 - 03) 全文</td> <td>1-21</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 109786470 A (京东方科技集团股份有限公司) 2019年 5月 21日 (2019 - 05 - 21) 权利要求1-10, 说明书第[0043]-[0067]段, 附图1-11	1-21	X	CN 109065582 A (京东方科技集团股份有限公司) 2018年 12月 21日 (2018 - 12 - 21) 说明书第[0038]-[0081]段, 附图2, 5-6	1-11, 13, 15-21	A	CN 104009067 A (信利惠州智能显示有限公司) 2014年 8月 27日 (2014 - 08 - 27) 全文	1-21	A	CN 108963112 A (京东方科技集团股份有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文	1-21	A	CN 108666342 A (京东方科技集团股份有限公司 等) 2018年 10月 16日 (2018 - 10 - 16) 全文	1-21	A	US 2013256676 A1 (JIN, Guanghai 等) 2013年 10月 3日 (2013 - 10 - 03) 全文	1-21	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件	“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																																	
PX	CN 109786470 A (京东方科技集团股份有限公司) 2019年 5月 21日 (2019 - 05 - 21) 权利要求1-10, 说明书第[0043]-[0067]段, 附图1-11	1-21																																	
X	CN 109065582 A (京东方科技集团股份有限公司) 2018年 12月 21日 (2018 - 12 - 21) 说明书第[0038]-[0081]段, 附图2, 5-6	1-11, 13, 15-21																																	
A	CN 104009067 A (信利惠州智能显示有限公司) 2014年 8月 27日 (2014 - 08 - 27) 全文	1-21																																	
A	CN 108963112 A (京东方科技集团股份有限公司) 2018年 12月 7日 (2018 - 12 - 07) 全文	1-21																																	
A	CN 108666342 A (京东方科技集团股份有限公司 等) 2018年 10月 16日 (2018 - 10 - 16) 全文	1-21																																	
A	US 2013256676 A1 (JIN, Guanghai 等) 2013年 10月 3日 (2013 - 10 - 03) 全文	1-21																																	
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																																		
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																																		
“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																																		
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“&” 同族专利的文件																																		
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																			
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																			
国际检索实际完成的日期	国际检索报告邮寄日期																																		
2020年 1月 17日	2020年 2月 5日																																		
ISA/CN的名称和邮寄地址	授权官员																																		
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	罗慧晶																																		
传真号 (86-10)62019451	电话号码 86-(10)-53961204																																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/119932

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109786470	A	2019年 5月 21日	无			
CN	109065582	A	2018年 12月 21日	无			
CN	104009067	A	2014年 8月 27日	US	2017123542	A1	2017年 5月 4日
				US	10488962	B2	2019年 11月 26日
				WO	2015192649	A1	2015年 12月 23日
CN	108963112	A	2018年 12月 7日	无			
CN	108666342	A	2018年 10月 16日	WO	2018176852	A1	2018年 10月 4日
US	2013256676	A1	2013年 10月 3日	KR	101924078	B1	2018年 12月 3日
				US	8853702	B2	2014年 10月 7日
				KR	20130110991	A	2013年 10月 10日