



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0098444
(43) 공개일자 2016년08월18일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
<i>G06F 13/40</i> (2006.01)</p> <p>(52) CPC특허분류
<i>G06F 13/4081</i> (2013.01)</p> <p>(21) 출원번호 10-2016-7019072</p> <p>(22) 출원일자(국제) 2015년01월21일
심사청구일자 2016년07월14일</p> <p>(85) 번역문제출일자 2016년07월14일</p> <p>(86) 국제출원번호 PCT/US2015/012279</p> <p>(87) 국제공개번호 WO 2015/126559
국제공개일자 2015년08월27일</p> <p>(30) 우선권주장
61/941,687 2014년02월19일 미국(US)
14/578,191 2014년12월19일 미국(US)</p> | <p>(71) 출원인
인텔 코퍼레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200</p> <p>(72) 발명자
모란, 브라이언 피.
미국 95670 캘리포니아주 골드 리버 마리사 코트 11599
강글리, 요니카
미국 97229 오리건주 포틀랜드 란스브룩 테라스 3698
(뒷면에 계속)</p> <p>(74) 대리인
양영준, 김연송, 백만기</p> |
|---|--|

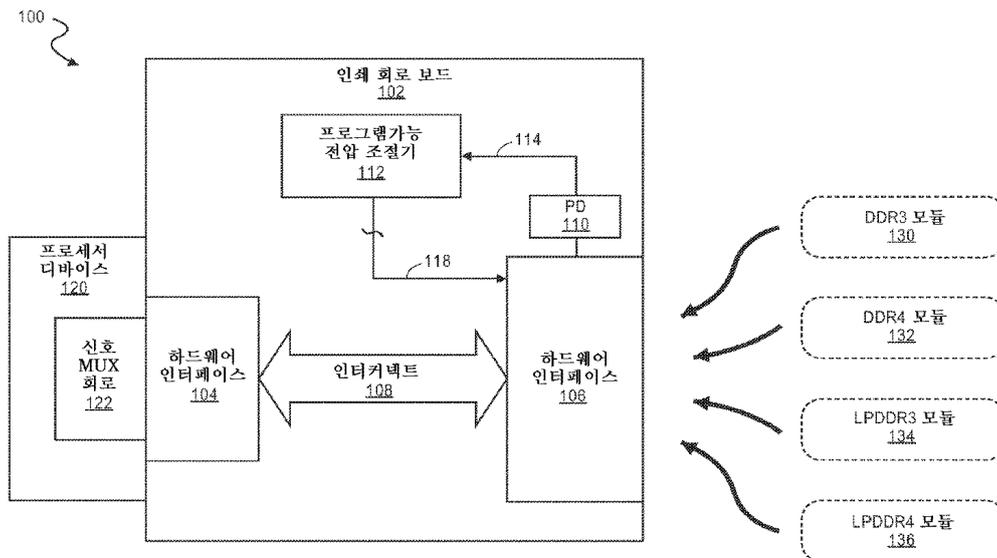
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 **다수의 메모리 기술들에 대한 플랫폼 지원을 제공하는 장치, 시스템 및 방법**

(57) 요약

프로세서 디바이스와 메모리 디바이스 사이에 인쇄 회로 보드(PCB)를 통해 통신들을 교환하는 기술들 및 메커니즘들이 개시되어 있다. 일 실시예에서, 프로세서 디바이스는, 메모리 디바이스의 메모리 타입에 기초하여, 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 각각 대응하는 다수의 인터페이스 모드들 중의 인터페이스 모드로 구성된다. 전압 조절기(VR)는, 메모리 타입에 기초하여, PCB 상의 하드웨어 인터페이스를 통해 하나 이상의 전압들을 메모리 디바이스에 제공하도록 VR 모드로 프로그래밍된다. 다른 실시예에서, PCB 내에 또는 상에 배치된 인터커넥트의 x개의 신호 라인들은 각각 프로세서 디바이스와 메모리 디바이스 사이에서 서로 결합된다. 값 x는 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정되는 신호들의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수이다.

대표도



(72) 발명자

루프, 레베카 제트.

미국 97229 오리건주 힐스버러 노스이스트 25번 애
비뉴 2111

리, 시앙

미국 97229 오리건주 포틀랜드 노스웨스트 아노트
레인 2553

콕스, 크리스토퍼 이.

미국 95667 캘리포니아주 플레이서빌 글라이더 로
드 4120

명세서

청구범위

청구항 1

디바이스로서,

신호들의 다수의 세트들 중의 신호들의 상이한 각각의 세트에 각각 대응하는 메모리 디바이스들 중 임의의 것에 인쇄 회로 보드(PCB)를 결합하는 제1 하드웨어(HW) 인터페이스;

상기 PCB를 프로세서 디바이스에 결합하는 제2 HW 인터페이스 - 상기 프로세서 디바이스는 상기 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 검출하고, 상기 메모리 디바이스의 메모리 타입에 기초하여, 상기 신호들의 다수의 세트들 중의 상이한 각각의 세트에 각각 대응하는 인터페이스 모드들 중 제1 인터페이스 모드를 구성함 -;

상기 제1 HW 인터페이스에 결합된 전압 조절기(VR) - 상기 VR은, 상기 메모리 타입에 기초하여, 상기 메모리 디바이스들 중의 상이한 각각의 메모리 디바이스에 각각 대응하는 VR 모드들 중 제1 VR 모드로 프로그래밍되고, 상기 제1 VR 모드에 기초하여 하나 이상의 전압들을 상기 제1 인터페이스에 제공함 -; 및

상기 PCB 내에 또는 상에 배치되며, 상기 제1 HW 인터페이스의 각각의 입력/출력(I/O) 콘택을 상기 제2 HW 인터페이스의 각각의 I/O 콘택에 각각 결합하는 x개의 신호 라인들을 포함하는 인터커넥트 - x는 상기 신호들의 다수의 세트들의 슈퍼세트(superset)의 신호들의 총 수와 동일한 정수임 -

를 포함하는 디바이스.

청구항 2

제1항에 있어서,

상기 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정되는 (specified) 디바이스.

청구항 3

제2항에 있어서,

상기 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함하는 디바이스.

청구항 4

제1항에 있어서,

상기 PCB 내에 또는 상에 배치된 검출기 로직을 더 포함하고, 상기 검출기 로직은 상기 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호를 발생시켜 상기 프로세서 디바이스에 송신하는 디바이스.

청구항 5

제4항에 있어서,

상기 검출기 로직은 직렬 프레즌스 검출(serial presence detect) 표준에 기초하는 디바이스.

청구항 6

제4항에 있어서,

상태 머신 로직이, 상기 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호에 응답하여 상기 메모리 디바이스의 메모리 타입을 식별하는 디바이스.

청구항 7

제6항에 있어서,

상기 상태 머신 로직은 상기 프로세서 디바이스의 상태 머신 회로를 포함하는 디바이스.

청구항 8

제6항에 있어서,

상기 프로세서 디바이스는 상기 상태 머신 로직을 포함하는 기본 입력/출력 시스템(BIOS) 프로세스를 실행하는 디바이스.

청구항 9

제1항에 있어서,

상기 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함하는 디바이스.

청구항 10

시스템으로서,

인쇄 회로 보드(PCB);

상기 PCB 내에 또는 상에 배치된 제1 하드웨어(HW) 인터페이스 - 상기 제1 HW 인터페이스는 신호들의 다수의 세트들 중의 신호들의 상이한 각각의 세트에 각각 대응하는 메모리 디바이스들 중 임의의 것에 결합됨 -;

상기 PCB 내에 또는 상에 배치된 제2 HW 인터페이스;

상기 제2 HW 인터페이스를 통해 상기 PCB에 결합된 프로세서 디바이스 - 상기 프로세서 디바이스는 상기 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 검출하고, 상기 메모리 디바이스의 메모리 타입에 기초하여, 상기 신호들의 다수의 세트들 중의 상이한 각각의 세트에 각각 대응하는 인터페이스 모드들 중 제1 인터페이스 모드를 구성함 -;

상기 제1 HW 인터페이스에 결합된 전압 조절기(VR) - 상기 VR은, 상기 메모리 타입에 기초하여, 상기 메모리 디바이스들 중의 상이한 각각의 메모리 디바이스에 각각 대응하는 VR 모드들 중 제1 VR 모드로 프로그래밍되고, 상기 제1 VR 모드에 기초하여 하나 이상의 전압들을 상기 제1 인터페이스에 제공함 -; 및

상기 PCB 내에 또는 상에 배치되며, 상기 제1 HW 인터페이스의 각각의 입력/출력(I/O) 콘택을 상기 제2 HW 인터페이스의 각각의 I/O 콘택에 각각 결합하는 x개의 신호 라인들을 포함하는 인터커넥트 - x는 상기 신호들의 다수의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수임 -

를 포함하는 시스템.

청구항 11

제10항에 있어서,

상기 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정되는 시스템.

청구항 12

제11항에 있어서,

상기 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함하는 시스템.

청구항 13

제10항에 있어서,

상기 PCB 내에 또는 상에 배치된 검출기 로직을 더 포함하고, 상기 검출기 로직은 상기 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호를 발생시켜 상기 프로세서 디바이스에 송신하는 시스템.

청구항 14

제13항에 있어서,
 상기 검출기 로직은 직렬 프레즌스 검출 표준에 기초하는 시스템.

청구항 15

제13항에 있어서,
 상태 머신 로직이, 상기 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호에 응답하여 상기 메모리 디바이스의 메모리 타입을 식별하는 시스템.

청구항 16

제15항에 있어서,
 상기 상태 머신 로직은 상기 프로세서 디바이스의 상태 머신 회로를 포함하는 시스템.

청구항 17

제10항에 있어서,
 상기 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함하는 시스템.

청구항 18

방법으로서,
 인쇄 회로 보드(PCB) 내에 또는 상에 배치된 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 검출하는 단계;

상기 연결성을 검출하는 것에 응답하여, 상기 메모리 디바이스의 메모리 타입을 식별하는 단계 - 상기 메모리 타입에 기초하여, 프로세서 디바이스가 상기 프로세서 디바이스의 다수의 인터페이스 모드들 중 제1 인터페이스 모드를 구성하고, 상기 다수의 인터페이스 모드들은 신호들의 다수의 세트들 중의 신호들의 상이한 각각의 세트에 각각 대응하고, 상기 프로세서 디바이스는 상기 PCB 내에 또는 상에 배치된 제2 하드웨어 인터페이스를 통해 상기 PCB에 결합됨 -;

상기 메모리 타입에 기초하여, 전압 조절기(VR)의 다수의 VR 모드들 중 제1 VR 모드를 프로그래밍하는 단계 - 상기 다수의 VR 모드들은 다수의 메모리 타입들 중의 상이한 각각의 메모리 타입에 각각 대응하고, 상기 VR은 상기 제1 VR 모드에 기초하여 하나 이상의 전압들을 상기 제1 인터페이스에 제공함 -; 및

상기 하나 이상의 전압들에 기초한 상기 메모리 디바이스의 동작 동안, 상기 PCB 내에 또는 상에 배치된 인터커넥트의 x개의 신호 라인들을 통해 상기 메모리 디바이스와 상기 프로세서 디바이스 사이에 신호들을 교환하는 단계 - x는 상기 신호들의 다수의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수임 -

를 포함하는 방법.

청구항 19

제18항에 있어서,
 상기 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정되는 방법.

청구항 20

제19항에 있어서,
 상기 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함하는 방법.

청구항 21

제18항에 있어서,

상기 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함하는 방법.

발명의 설명

기술 분야

[0001] **관련 출원들**

[0002] 본 출원은 2014년 2월 19일자로 출원된 미국 가특허 출원 제61/941,687호에 기초한 진출원이며, 그 가출원의 우선권의 혜택을 주장한다. 가출원 제61/941,687호는 이로써 참조로 포함된다.

[0003] **기술분야**

[0004] 다양하게 본원에서 논의된 실시예들은 컴퓨터 플랫폼 설계에 관한 것이다. 더 구체적으로는, 특정 실시예들은 다수의 상이한 메모리 기술들 중 임의의 것을 수용하는 플랫폼을 포함하지만, 이에 제한되지는 않는다.

배경 기술

[0005] 메모리 시스템들에 대한 개선들은 더 빠른 동적 랜덤 액세스 메모리(DRAM), 더 높은 더블 데이터 레이트(DDR) 버스 주파수들, 더 큰 용량 듀얼 인라인 메모리 모듈들(DIMM들), 채널 당 더 많은 DIMM들 및 다른 증가된 능력들을 포함하는 많은 형태들을 취했고, 계속해서 취한다. JEDEC(Joint Electron Device Engineering Council) 고체 상태 기술 협회에 의해 정의되는 DDR 표준들은 메모리 기능성을 다양하게 구현하고, 상이한 각각의 메모리 인터페이스 하드웨어와 함께 그렇게 수행하는 메모리 기술들의 일부 예들이다.

[0006] 레거시 메모리 시스템들에 대한 지원에 관한 산업 요건들로 인해, 메모리 디바이스 기술들의 연속적 세대들이 개발됨에 따라 시장에 더욱더 다양한 메모리 인터페이스 하드웨어가 있다. 지금까지, 플랫폼 개발자들은 대응하는 플랫폼 타입으로 상이한 메모리 기술들 각각의 통합을 지원하기 위해 상이한 인쇄 회로 보드들의 설계에 의존했다.

[0007] 메모리 디바이스 테스트 및 플랫폼 어셈블리는 테스트되고/되거나 마케팅되는 다양한 이전, 현재 및 다음 메모리 기술들에 영향을 받는 2개의 산업 영역들이다. 이러한 영역들에서 직면되는 하나의 공통 문제는 하나의 대응하는 메모리 기술만을 지원하기 위해 주어진 인쇄 회로 보드 설계의 제한된 적용성이다.

도면의 간단한 설명

[0008] 본 발명의 다양한 실시예들은 첨부 도면들에서 제한이 아니라 예로서 예시되어 있다.

도 1은 일 실시예에 따른 다수의 메모리 기술들 중 임의의 것을 지원하는 시스템의 요소들을 예시하는 하이 레벨 블록도이다.

도 2는 일 실시예에 따른 다수의 메모리 기술들 중 임의의 것을 지원하는 시스템의 요소들을 예시한다.

도 3은 일 실시예에 따른 메모리 디바이스에 액세스하는 방법의 요소들을 예시하는 흐름도이다.

도 4는 일 실시예에 따른 메모리 기술을 수용하도록 플랫폼을 구성하는 방법의 요소들을 예시하는 흐름도이다.

도 5는 각각의 실시예에 따른 플랫폼에 의해 지원되는 대응하는 메모리 기술의 신호들을 각각 설명하는 테이블들의 세트이다.

도 6은 일 실시예에 따른 플랫폼에 의해 지원되는 각각의 메모리 기술에 의해 각각 지정되는 신호 타입들 및 전압들을 다양하게 열거하는 테이블들의 세트이다.

도 7a 내지 도 7c는 일 실시예에 따른 플랫폼의 상이한 인터페이스 모드들에 걸친 신호들의 매핑을 각각 설명하는 테이블들의 세트이다.

도 8a 내지 도 8d는 대응하는 실시예에 따른 각각의 메모리 기술을 수용하기 위한 핀아웃의 요소들을 각각 예시하는 테이블들의 세트이다.

도 9a 내지 도 9c는 대응하는 실시예에 따른 각각의 메모리 기술을 수용하기 위한 핀아웃의 요소들을 각각 예시하는 테이블들의 세트이다.

도 10은 일 실시예에 따른 다수의 메모리 기술들 중 임의의 것을 지원하는 컴퓨터 시스템의 요소들을 예시하는 하이 레벨 블록도이다.

도 11은 일 실시예에 따른 다수의 메모리 기술들 중 임의의 것을 지원하는 모바일 디바이스의 요소들을 예시하는 하이 레벨 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0009] 다양하게 본원에서 논의되는 실시예들은 플랫폼이 다수의 상이한 메모리 기술들 중 임의의 것에 기초하는 메모리 디바이스에 의해 동작을 지원하도록 기술들 및/또는 메커니즘들을 제공한다. 일 실시예에서, 머더보드와 같은 인쇄 회로 보드(PCB)는 PCB 내에 또는 상에 배치되는 하드웨어 인터페이스를 통해 메모리 디바이스에 대한 PCB의 연결성을 표시하는 하나 이상의 신호들을 교환하기 위해 회로를 그 안에 및/또는 그 위에 배치했다. 그러한 회로는 메모리 디바이스의 메모리 타입을 식별하는 하나 이상의 신호들을 교환하도록 구성될 수 있다. 일부 실시예들에서, 전압 조절기(voltage regulator)(VR)는 PCB에 결합되며, VR의 다수의 프로그램가능 모드들은 다수의 메모리 기술들 중의 상이한 각각의 메모리 기술에 각각 대응한다. 메모리 디바이스의 메모리 타입 - 예를 들어, 메모리 디바이스가 기초되는 특정 메모리 기술에 기초하여 - VR의 모드는 대응하는 메모리 기술에 의해 지정되는 하나 이상의 전압들을 하드웨어 인터페이스에 제공하도록 프로그래밍될 수 있다. 메모리 디바이스는 PCB 내에 또는 상에 배치되는 다른 하드웨어 인터페이스를 통해 PCB에 결합된 프로세서 디바이스와 신호들을 교환할 수 있다. 인터커넥트는 프로세서 디바이스의 다수의 인터페이스 모드들 중 임의의 것을 수용할 수 있도록 구성되는 신호 라인들을 포함할 수 있으며 - 예를 들어, 다수의 인터페이스 모드들은 다수의 메모리 기술들 중의 상이한 각각의 메모리 기술에 각각 대응한다.
- [0010] 본원에 사용되는 바와 같이, "하드웨어 인터페이스"는 입력 및/또는 출력(I/O) 콘택들 - 예컨대 핀들, 패드들, 볼들 또는 다른 전도성 구조체들 - 의 세트를 언급하며 그것에 의해 하나의 디바이스가 다른 디바이스에 결합될 수 있다. 예를 들어, 하드웨어 인터페이스는 PCB에 패키징된 집적 회로(IC) 디바이스, 메모리 모듈 및/또는 다른 디바이스의 결합을 허용하기 위해 PCB 상에 배치될 수 있다. 하드웨어 인터페이스는 예를 들어 플러그가능 메모리 모듈을 수용할 수 있는 기계 커넥터를 포함할 수 있다. 대안적으로, 하드웨어 인터페이스는 디바이스의 볼 그리드 어레이(ball grid array)(BGA)에 납땜되기 위해 이용가능한 패드들의 어레이를 포함할 수 있다. 하드웨어 인터페이스를 통해 PCB에 결합하는 디바이스는 하나 이상의 프로세서 코어들을 포함하는 프로세서(예를 들어, 중앙 처리 유닛)를 포함할 수 있다. 대안적으로, 그러한 디바이스는 하나 이상의 패키징된 메모리 디바이스들을 포함하는 DIMM 또는 다른 메모리 모듈을 포함할 수 있다.
- [0011] 특정 예시적인 실시예들은 듀얼 데이터 레이트(DDR) 표준들과 같은 다양한 메모리 표준들에 대해 본원에서 논의된다. 그러한 표준들의 예들은 JEDEC 고체 상태 기술 협회에 의해 2007년 6월에 공개된 DDR3 동기식 동적 랜덤 액세스 메모리(SDRAM) 표준 JESD79-3, JEDEC 고체 상태 기술 협회에 의해 2010년 7월 26일에 공개된 DDR3L SDRAM 표준 JESD79-3-1 및 JEDEC 고체 상태 기술 협회에 의해 2012년 9월 25일에 공개된 DDR4 SDRAM 표준 JESD79-4를 포함하지만, 이들에 제한되지는 않는다. 다른 예들은 JEDEC 고체 상태 기술 협회에 의해 2012년 5월 17일에 공개된 LPDDR3 JESD209-3 LPDDR3 저전력 메모리 디바이스 표준, JEDEC 고체 상태 기술 협회에 의해 2014년 8월에 공개된 LPDDR4 저전력 메모리 디바이스 표준 JESD209-4 및 JEDEC 고체 상태 기술 협회에 의해 2013년 12월에 공개된 그래픽스 더블 데이터 레이트(GDDR5) 동기식 그래픽스 랜덤 액세스 메모리(SGRAM) 표준 JESD212B.01을 포함한다. 그러나, 그러한 논의는 다양한 DDR 및/또는 다른 메모리 표준들 중 임의의 것에 부가적으로 또는 대안적으로 적용하기 위해 확장될 수 있다. 달리 표시되지 않는 한, "메모리 기술" 및 "메모리 타입"은 메모리 디바이스에 포함되거나 다른 방법으로 메모리 디바이스에 의해 사용되는 특정 세트의 신호들 및/또는 하나 이상의 전압들을 언급하기 위해 본원에서 다양하게 사용된다. 그러한 세트의 신호들 및 하나 이상의 전압들은 예를 들어 특정 메모리 표준의 요건들에 기초할 - 예를 들어 요건들에 의해 지정되거나 요건들과 다른 방법으로 호환가능할 - 수 있다.
- [0012] 다양하게 본원에서 논의되는 특정 실시예들은 상이한 각각의 메모리 기술에 각각 대응하는 다수의 상이한 모드들을 지원하도록 구성가능한 프로세서 디바이스의 동작을 지원하는 플랫폼에 관한 것이다. 그러한 모드들은 프로세서 디바이스를 위해 구성되는 상이한 각각의 핀아웃을 각각 포함할 수 있다. 달리 표시되지 않는 한, 본원에서의 "인터페이스 모드"는 디바이스의 특정 핀아웃을 제공하는 디바이스 - 예를 들어, 프로세서 디바이스 - 의 모드를 언급한다. 디바이스의 하나의 인터페이스 모드는 디바이스의 상이한 각각의 핀아웃을 각각 제공하는 디바이스의 하나 이상의 다른 인터페이스 모드들과 구별될 수 있다. 상이한 시간들에, 프로세서 디바이스는 다수의 인터페이스 모드들의 상이한 것들에 동작할 수 있는 반면에 - 예를 들어, 프로세서는 동일한 하드웨어 인

터페이스를 통해 PCB에 결합을 유지한다. 인터페이스 모드로 디바이스의 전이 - 예를 들어, 상이한 인터페이스 모드들 사이의 전이를 포함함 - 는 인터페이스 모드로의 멀티플렉싱(또는 먹싱)으로서 본원에 언급된다.

[0013] 도 1은 상이한 각각의 신호 세트 - 예를 들어, 상이한 각각의 메모리 표준에 각각 기초한 신호 세트들에 각각 대응하는 다수의 메모리 디바이스들 중 임의의 것으로 프로세서의 동작을 용이하게 하는 일 실시예에 따른 시스템(100)의 요소들을 예시한다. 본원에 설명되는 기술들은 하나 이상의 전자 디바이스들로 구현될 수 있다. 본원에 설명되는 기술들을 사용할 수 있는 전자 디바이스들의 비제한 예들은 임의의 종류의 모바일 디바이스 및/또는 정지형 디바이스, 예컨대 카메라들, 셀 폰들, 컴퓨터 단말들, 데스크톱 컴퓨터들, 전자 판독기들, 팩스 머신들, 키오스크들, 넷북 컴퓨터들, 노트북 컴퓨터들, 인터넷 디바이스들, 지볼 단말들, 개인 휴대 정보 단말기들, 미디어 플레이어들 및/또는 레코더들, 서버들(예를 들어, 블레이드 서버, 랙 마운트 서버, 그것의 조합들 등), 셋톱 박스들, 스마트폰들, 태블릿 개인용 컴퓨터들, 울트라 모바일 개인용 컴퓨터들, 유선 전화들, 그것의 조합들 등을 포함한다. 그러한 디바이스들은 휴대형 또는 정지형일 수 있다. 일부 실시예들에서, 본원에 설명되는 기술들은 데스크톱 컴퓨터, 랩톱 컴퓨터, 스마트폰, 태블릿 컴퓨터, 넷북 컴퓨터, 노트북 컴퓨터, 개인 휴대 정보 단말기, 서버, 그것의 조합들 등에 이용될 수 있다. 더 일반적으로, 본원에 설명되는 기술들은 프로세서 디바이스 및 메모리 디바이스 중 하나 또는 둘 다가 결합되고/되거나 설치될 수 있는 임의의 전자 디바이스에 이용될 수 있다.

[0014] 일 실시예에서, 시스템(100)은 인쇄 회로 보드(PCB)(102) 및 그 안에 또는 그 위에 다양하게 배치되는 컴포넌트들을 포함하며, 그러한 컴포넌트들은 PCB(102)에 각각 결합하는 프로세서 디바이스(120)와 메모리 디바이스 사이의 통신을 용이하게 하기 위한 것이다. 그러한 컴포넌트들은 예시적인 하드웨어(HW) 인터페이스(104), HW 인터페이스(106), 인터커넥트(108), 프레즌스 검출기(presence detector)(PD)(110) 및 프로그램가능 전압 조절기(VR)(112)를 포함하는 것으로 표현된다. 그러나, 시스템(100)은 본원에 설명되는 것과 같은 기능성을 제공하기 위해 다양한 부가 또는 대안 컴포넌트들 중 임의의 것을 포함할 수 있다. 시스템(100)은 HW 인터페이스(104)를 통해 프로세서 디바이스(120)에 결합되는 PCB(102)를 포함하는 것을 도시되며, PCB(102)는 HW 인터페이스(106)를 통해 다수의 상이한 메모리 디바이스들 중 임의의 것에 더 결합되기 위해 이용가능하다. 그러나, 시스템(100)의 일부 실시예들은 PCB(102) 및 그 안에 및/또는 그 위에 배치되는 컴포넌트들을 단지 포함하며 - 즉, 실시예는 프로세서 디바이스(120)에 결합되기 위해 이용가능하지만, 프로세서 디바이스를 포함하지 않는다. 상이한 메모리 디바이스들의 예들은 예시적인 DDR3 모듈(130), DDR4 모듈(132), LPDDR3 모듈(134) 및 LPDDR4 모듈(136)과 같은 상이한 각각의 메모리 표준에 각각 기초한 - 예를 들어, 요건들에 따르거나 하나 이상의 점들에서 요건들에 적어도 호환가능한 - 메모리 모듈들을 포함한다. 그러나, 시스템(100)은 상이한 실시예들에 따라, 더 적은, 더 많은 및/또는 상이한 메모리 기술들을 지원할 수 있다.

[0015] 프로세서 디바이스는 하나 이상의 프로세서 코어들, 및 일 실시예에서, 그러한 하나 이상의 프로세서 코어들을 대신하여 메모리 디바이스에 액세스하는 메모리 제어기 로직을 포함할 수 있다. 프로세서 디바이스(120)는 핀아웃 구성가능 디바이스의 일 예이며 - 예를 들어, 프로세서 디바이스(120)는 HW 인터페이스(104)에 대한 연결시에 다수의 상이한 가능한 핀아웃들 중 임의의 것을 제공하기 위해 신호 MUX 회로(122)를 포함한다. 본원에 사용되는 바와 같이, "핀아웃"은 인터페이스의 각각의 신호 또는 전압에 각각 I/O 콘택들(예를 들어, 핀들, 패드들, 볼들 등)의 매핑을 언급한다. 신호 MUX 회로(122)는 상이한 각각의 메모리 기술에 각각 대응하는 상이한 인터페이스 모드들 중 임의의 것에 대해 상이한 시간들에 구성될 수 있으며, 인터페이스 모드는 대응하는 메모리 기술을 수용하기 위해 각각의 핀아웃을 제공한다. 신호 MUX 회로(122)의 일부 또는 전부는 구성가능 핀아웃을 제공하기 위해 종래의 메커니즘들로부터 적용될 수 있다. 특정 실시예들에 제한되지는 않는 그러한 종래의 메커니즘들의 특정 상세들은 그러한 실시예들의 특징들을 모호하게 하는 것을 회피하기 위해 본원에 상세히 설명되지 않는다.

[0016] 지금까지, 플랫폼 설계자들은 주어진 핀아웃 구성가능 프로세서 디바이스가 하나의 메모리 기술에 의해 동작하도록 하나의 PCB 설계(또는 PCB 설계들의 하나의 클래스), 및 그러한 핀아웃 구성가능 프로세서 디바이스가 상이한 메모리 기술의 메모리 디바이스에 의해 동작하도록 상이한 PCB 설계(또는 PCB 설계들의 클래스)에 의존했다. 특정 실시예들은 PCB 설계가 핀아웃 구성가능 프로세서 디바이스의 능력들을 기반으로 하도록 적용될 수 있는 실현의 결과이므로, 디바이스의 동작을 - 하나의 공통 플랫폼의 일부로서 - 다수의 상이한 가능한 메모리 기술들 중 임의의 것에 의해 허용한다.

[0017] 일 실시예에서, 인쇄 회로 보드(102)는 플랫폼에 대한 머더보드의 역할을 하는 것이며 - 예를 들어, 시스템(100)은 플랫폼 또는 플랫폼의 컴포넌트이다. 하드웨어 인터페이스들(104, 106)은 각각의 복수의 I/O 콘택들 각각 포함할 수 있으며 - 예를 들어, 인터커넥트(108)는 HW 인터페이스(104)의 각각의 I/O 콘택을 HW 인터페이

스(106)의 각각의 I/O 콘택에 각각 결합하는 신호 라인들을 포함한다. 제한이 아닌 예시로서, 인터커넥트(108)의 그러한 신호 라인들은 각각의 메모리 표준에 의해 각각 다양하게 정의되는 데이터 신호들, 어드레스 신호들, 클럭 신호들, 온 다이 종단 신호들, 클럭 인에이블 신호들, 칩 선택 신호들 및/또는 다양한 다른 신호들 중 임의의 것의 통신을 다양하게 지원할 수 있다.

[0018] 프로세서 디바이스(120)는 시스템(100)에 대한 중앙 처리 유닛(CPU) 또는 다른 프로세서로서 동작하기 위해 하나 이상의 프로세서 코어들을 포함하는 패키징된 디바이스를 포함할 수 있으며 - 시스템은 예를 들어 호스트 운영 체제(OS), 기본 입력/출력 시스템(BIOS) 및/또는 하나 이상의 다른 소프트웨어 프로세스들을 실행하는 프로세서 디바이스(120)를 포함한다. 특정 실시예들이 이와 관련하여 제한되지는 않지만, 프로세서 디바이스(120)는 HW 인터페이스(106)에 결합되는 메모리 디바이스의 특정 메모리 기술 타입을 식별하기 위해 상태 머신 로직(예를 들어, 하드웨어, 펌웨어 및/또는 실행 소프트웨어를 포함함)으로의 액세스를 포함하거나 다른 방법으로 가질 수 있다. 일부 실시예들에서, 시스템(100)은 HW 인터페이스(106)에 결합하기 위해 프로세서 디바이스(120) 및 메모리 디바이스 중 어느 하나 또는 둘 다에 결합하지만, 이들을 포함하지 않을 수 있다.

[0019] 시스템(100)은 PCB(102) 내에 또는 상에 배치되는 프레즌스 검출기 회로 PD(110)를 포함할 수 있으며, PD(110)의 회로는 HW 인터페이스(106)에 대한 메모리 디바이스의 연결성을 검출하는 것이다. 그러한 메모리 디바이스는 특정 메모리 표준에 기초하여 하나 이상의 패키징된 메모리 디바이스들을 포함하는 메모리 모듈 - 예를 들어, DIMM - 을 포함할 수 있다. 특정 실시예들이 이와 관련하여 제한되지는 않지만, 그러한 연결성의 검출은 PD(110)가 직렬 프레즌스 검출(SPD) 표준에 기초하는 것들과 같은 종래의 프레즌스 검출 기술들로부터 적용되는 하나 이상의 동작들을 수행하는 것을 포함할 수 있다. 그러한 표준의 일 예는 2014년 2월 공개된 JEDEC 고체 상태 기술 협회의 DDR3 SDRAM 모듈들(릴리즈 6), SPD4_01_02_11: SPD Annex K에 대한 SPD 표준이다. 그러한 종래의 프레즌스 검출 기술들의 상세들은 본원에 상세히 기술되지 않고, 특정 실시예들에 제한되지는 않는다.

[0020] PD(110)는 HW 인터페이스(106)를 통해 PCB(102)에 대한 메모리 디바이스의 검출된 연결성을 표시하는 신호(114)를 발생시킬 수 있다. 신호(114)는 메모리 디바이스의 특정 메모리 타입을 지정할 수 있거나, 대안적으로, 연결성을 일반적으로 단지 시그널링할 수 있다. 신호(114)는 시스템(100)의 하나 이상의 다른 컴포넌트들이 메모리 디바이스의 다수의 가능한 메모리 타입들 중 지정된 것에 기초하여 결정하고/하거나 동작하게 할 수 있다.

[0021] 예를 들어, PCB(102) 내에 또는 상에 배치되는 프로그램가능 전압 조절기(VR)(112)는 상이한 각각의 메모리 기술에 각각 대응하는 하나 이상의 신호들의 다수의 세트들 중 임의의 것을 HW 인터페이스(106)에 제공하기 위해 프로그램가능할 수 있다. 신호(114)에 기초하여, 프로그램가능 VR(112)은 HW 인터페이스(106)에 결합되는 메모리 디바이스의 메모리 타입(이러한 경우에, 메모리 기술)에 대응하는 하나 이상의 전압들의 특정 세트를 - 예시적인 하나 이상의 전압들(118)에 의해 표현되는 바와 같이 - 제공하도록 프로그래밍될 수 있다. 하나 이상의 전압들(118)은 하드웨어 인터페이스(106)의 각각의 I/O 콘택 각각에 VR(112)에 의해 직접적으로 또는 간접적으로 다양하게 제공될 수 있으며 - 예를 들어, 그러한 I/O 콘택들은 예를 들어 인터커넥트(108)에 결합되는 HW 인터페이스(106)의 I/O 콘택들과 구별된다. 다른 실시예에서, 하나 이상의 전압들(118)은 VR(112)에 의해 시스템(100)의 프로세서(120) 및 인터커넥트(108) 및/또는 하나 이상의 다른 중개 컴포넌트들을 통해 HW 인터페이스(106)에 제공될 수 있다. 하나 이상의 전압들(118)은 기준(예를 들어, 접지) 전압, 공급(예를 들어, VDD) 전압 및/또는 다양한 다른 전압들 중 임의의 것을 포함할 수 있지만, 이들에 제한되지는 않는다.

[0022] 신호(114)는 프로그램가능 VR(112)에 직접 제공되는 것으로 도시된다. 그러나, 대체 실시예에서, 신호(114)는 HW 인터페이스(106)에 결합되는 메모리 디바이스의 메모리 기술을 식별하는 100의 다른 로직에 부가적으로 또는 대안적으로 제공될 수 있다. 예를 들어, 신호(114)는 그 대신에 프로세서 디바이스(120)의 상태 머신 로직에 전달될 수 있으며, 신호(114)에 응답하여, 그러한 상태 머신 로직은 메모리 디바이스의 메모리 타입을 식별할 수 있다. 결과적으로, 그러한 상태 머신 로직은 신호 MUX 회로(122)의 대응하는 인터페이스 모드의 구성을 용이하게 하고/하거나 프로그램가능 VR(112)의 프로그래밍을 용이하게 하기 위해 메모리 타입을 전달할 수 있다.

[0023] 이제 도 2를 참조하면, 하나의 예시적인 실시예에 따른 시스템(200)의 조립도가 도시된다. 시스템(200)은 예를 들어 시스템(100)의 특징들의 일부 또는 전부를 포함할 수 있다. 일 실시예에서, 시스템(200)은 PCB(202)에 각각 결합하는 프로세서 디바이스(220)와 메모리 디바이스(22) 사이의 통신을 용이하게 하기 위해 PCB(202) 및 그 안에 또는 그 위에 다양하게 배치되는 컴포넌트들을 포함한다. 그러한 컴포넌트들은 예시적인 HW 인터페이스들(204, 206), 인터커넥트(208), 검출기(210) 및 VR(212)을 포함하는 것으로 표현된다.

[0024] 도 2에서, PCB(202)는 HW 인터페이스(204)를 통해 프로세서 디바이스(220)에 결합될 준비가 되어 있고, HW 인터페이스(206)를 통해 메모리 디바이스(222)에 결합될 준비가 더 되어 있는 것으로 도시된다. 시스템(200)의 일

부 실시예들은 PCB(202) 및 그 안에 및/또는 그 위에 배치되는 컴포넌트들을 단지 포함하며 - 즉, 실시예는 프로세서 디바이스(220) 또는 메모리 디바이스(222)에 결합되기 위해 이용가능하지만, 이들을 포함하지 않는다.

[0025] 시스템(200)의 예시적인 실시예에서, HW 인터페이스(204)는 프로세서 디바이스(220)의 볼 그리드 어레이의 대응하는 볼에 각각 다양하게 납땜되는 I/O 패드들의 어레이이다. 대조적으로, HW 인터페이스(206)는 메모리 디바이스(222)의 각각의 I/O 콘택들과 접속하거나 다른 방법으로 연결하기 위해 I/O 콘택들을 포함하는 기계 커넥터 일 수 있다. 제한이 아닌 예시로서, HW 인터페이스(206)는 소형 아웃라인 DIMM(SO-DIMM) 커넥터 또는 다양한 다른 종래의 메모리 모듈 커넥터 타입들 중 임의의 것과 호환가능한 것과 같은 메모리 모듈 커넥터를 포함할 수 있다. HW 인터페이스(206)는 사용자가 메모리 디바이스(222)와 적어도 하나의 대안 메모리 디바이스 사이에서 스위칭하거나 다른 방법으로 선택하는 것을 용이하게 할 수 있으며 - 예를 들어, 2개의 메모리 디바이스들은 상이한 메모리 표준들에 기초한다.

[0026] PCB(202)는 다른 시간에, HW 인터페이스(206)를 통해 PCB(202)에 결합될 수 있는 대안 메모리 디바이스(도시되지 않음) 뿐만 아니라, 프로세서 디바이스(220) 및 메모리 디바이스(222)에 의해 통신을 용이하게 할 수 있다. 인터커넥트(208)는 HW 인터페이스(204)의 I/O 콘택을 HW 인터페이스(206)의 각각의 I/O 콘택을 각각 결합하는 복수의 신호 라인들을 포함할 수 있다. 그러한 복수의 신호 라인들의 총 수는 각각의 메모리 표준에 의해 각각 다양하게 정의되는 신호 라인들의 다수의 세트들의 슈퍼세트(superset)에 대응할 수 있다. 제한이 아닌 예시로서, 신호 라인들의 다수의 세트들은 제1 메모리 표준에 의해 정의되는 신호들을 포함하는 제1 세트 및 제2 메모리 표준에 의해 정의되는 신호들을 포함하는 제2 세트를 포함할 수 있다. 그러한 일 실시예에서, 인터커넥트(208)의 복수의 신호 라인들은 적어도 부분적으로 복수의 신호 라인들의 총 수가 제1 세트의 총 수보다 더 크고, 제1 세트 및 제2 세트의 신호들의 총 수보다 더 작은 것으로 인해 슈퍼세트에 대응할 수 있다.

[0027] 본원에 논의되는 바와 같이, 검출기(210)는 HW 인터페이스(206)에 대한 메모리 디바이스(222)의 연결성을 검출하고 PCB(202)를 통해 그러한 연결성을 표시하는 신호를 교환할 수 있다. 그러한 연결성의 표시는 메모리 디바이스(222)의 메모리 타입을 결정하고/하거나 그러한 메모리 타입에 기초하여 구성되는 하나 이상의 컴포넌트들 - 예를 들어, HW 인터페이스(204) 및/또는 VR(212)을 포함함 - 에 직접적으로 또는 간접적으로 전달될 수 있다. 예를 들어, 프로세서 디바이스(220)는 메모리 타입과 호환가능한 HW 인터페이스(204)를 통한 신호들의 교환을 위해, 프로세서 디바이스(220)의 다수의 가능한 인터페이스 모드들의 메모리 타입을 결정하고 특정 인터페이스 모드를 구성할 수 있다. 프로세서 디바이스(220)의 다수의 가능한 인터페이스 모드들은 상이한 각각의 메모리 기술에 각각 대응할 수 있으며, 각각의 인터페이스 모드는 대응하는 메모리 기술을 수용하기 위해 상이한 각각의 핀아웃을 제공하는 것이다. 대안적으로 또는 부가적으로, VR(212)은 HW 인터페이스(204)를 통해 하나 이상의 전압들을 메모리 디바이스(222)에 제공하기 위해, VR(212)의 다수의 가능한 VR 모드들 중 특정 VR 모드를 구성할 수 있다. 다수의 가능한 VR 모드들은 상이한 각각의 메모리 디바이스 타입에 각각 대응할 수 있으며, 각각의 VR 모드는 대응하는 메모리 기술에 의해 지정되는 각각의 하나 이상의 전압들을 제공하는 것이다.

[0028] 도 3은 일 실시예에 따른 프로세서와 메모리 디바이스 사이에 통신들을 교환하기 위한 방법(300)의 요소들을 예시한다. 방법(300)은 예를 들어 시스템(100)의 특징들의 일부 또는 전부를 포함하는 플랫폼, 시스템 또는 다른 하드웨어에 의해 수행될 수 있다. 일 실시예에서, 방법(300)은, 310에서, 인쇄 회로 보드 내에 또는 상에 배치된 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 검출하는 단계를 포함한다. 310에서의 검출은 PCB 내에 또는 상에 배치된 검출기 로직으로 수행될 수 있으며, 검출기 로직은 연결성을 표시하는 신호를 발생시켜 프로세서 디바이스에 송신한다. 그러한 검출기 로직은 예를 들어 직렬 프레즌스 검출 표준에 따르거나 다른 방식으로 이러한 직렬 프레즌스 검출 표준에 기초할 수 있다.

[0029] 310에서의 검출에 응답하여, 방법(300)은, 320에서, 메모리 디바이스의 메모리 타입을 식별하는 단계를 포함할 수 있다. 320에서의 식별 단계는 메모리 디바이스가 기초하는 메모리 표준을 식별하는 단계 및/또는 메모리 디바이스에 포함되거나 메모리 디바이스에 다른 방법으로 대응하는 한 세트의 신호들(예를 들어, 핀아웃)을 식별하는 단계를 포함할 수 있다. 메모리 타입에 기초하여, 프로세서 디바이스는 프로세서 디바이스의 다수의 인터페이스 모드들 중 제1 인터페이스 모드를 구성할 수 있다. 예를 들어, 프로세서는 PCB 내에 또는 상에 배치된 제2 하드웨어 인터페이스를 통해 PCB에 결합될 수 있다. 프로세서 디바이스에 포함되거나 프로세서 디바이스에 다른 방법으로 액세스가능한 상태 머신 로직은 PCB 상의 검출기 로직 및/또는 메모리 디바이스 자체에 의한 하나 이상의 교환들에 기초하여, 다수의 가능한 메모리 타입들 중에서, 메모리 디바이스의 메모리 타입을 식별할 수 있다. 그러한 상태 머신 로직은 예를 들어 프로세서 디바이스의 상태 머신 회로 또는 프로세서 디바이스에 의해 실행되는 기본 입력/출력 시스템(BIOS) 프로세스를 포함할 수 있다. 프로세서 디바이스의 다수의 인터페이스 모드들은 신호들의 다수의 세트들 중의 상이한 각각의 세트에 각각 대응할 수 있다. 신호들의 그러한 세

트들은 상이한 각각의 메모리 표준에 의해 각각 지정되는 하나 이상의 세트들을 포함할 수 있다.

- [0030] 방법(300)은, 330에서, 식별된 메모리 타입에 기초하여 하나 이상의 전압들을 제1 인터페이스에 제공하는 단계를 더 포함할 수 있다. 예를 들어, VR은 메모리 타입의 표시를 발생시키거나 수신하고, 이에 응답하여, VR의 다수의 VR 모드들 중 제1 전압 조절기(VR) 모드를 프로그래밍할 수 있다. 다수의 VR 모드들은 다수의 메모리 디바이스 타입들 중의 상이한 각각의 메모리 디바이스 타입에 각각 대응할 수 있다. 다수의 메모리 타입들은 각각의 메모리 표준에 각각 대응할 수 있으며 - 예를 들어, 하나 이상의 VR 모드들은 대응하는 메모리 표준에 지정되는 각각의 하나 이상의 전압들을 각각 제공하는 것이다. VR은 프로그래밍된 제1 VR 모드에 기초하여 330에서 하나 이상의 전압들을 제공할 수 있다.
- [0031] 하나 이상의 전압들에 기초한 메모리 디바이스의 동작 동안, 방법(300)은, 340에서, 메모리 디바이스와 프로세서 디바이스 사이에 신호들을 교환할 수 있다. 예를 들어, 그러한 신호들은 PCB 내에 또는 상에 배치되는 인터커넥트의 x개의 신호 라인들을 통해 교환될 수 있으며, x는 다수의 메모리 타입들 중의 상이한 각각의 메모리 타입에 각각 대응하는 신호들의 세트들에 대한 슈퍼세트의 신호들의 총 수와 동일한 정수이다.
- [0032] 도 4는 일 실시예에 따른 메모리 디바이스의 메모리 타입을 식별하기 위한 방법(400)의 요소들을 예시한다. 방법(400)은 메모리 디바이스와 통신을 위해 구성되도록 편아아웃을 결정하기 위해 시스템(100 또는 200)의 컴포넌트에 의해 수행될 수 있다. 예를 들어, 방법(400)은 프로세서 디바이스(120) 또는 프로세서 디바이스(200)의 BIOS 프로세스에 의해 수행될 수 있다.
- [0033] 402에서, 방법(400)은 시스템들(100, 200) 중 하나와 같은 시스템을 파워 온하는 동작들을 시작할 수 있다. 그러한 파워 온 동작들 동안에 또는 이후에, PCB의 하나 이상의 메인 레일들은 - 예를 들어, PCB 내에 또는 상에 배치되는 HW 인터페이스를 통해 메모리 디바이스의 연결성을 검출하는 검출기 로직에 전력을 공급하기 위해 파워 온될 수 있다. 제한이 아닌 예시로서, 406에서, PCB 상의 직렬 프레즌스 검출(SPD) 로직은 HW 인터페이스에 결합된 임의의 메모리 디바이스의 메모리 타입을 결정하기 위해 상태 머신 로직에 의해 폴링될 수 있다. 406에서의 폴링이 메모리 디바이스의 프레즌스가 검출되는 것을 표시한 후에, 방법(400)은, 408에서, PCB에 결합된 프로세서가 메모리 디바이스의 메모리 타입을 지원하는지를 결정할 수 있다.
- [0034] 메모리 타입이 지원되지 않는 경우, 방법(400)은, 410에서 발행되는 예시적인 BIOS 파워 온 자체 시험(power on, self-test)(POST) 코드와 같은 여러 메시지가 발생하는 단계, 및 412에서의 시스템 부트 실패를 포함할 수 있다. 그러나, 408에서, 결정된 메모리 타입이 지원되는 것으로 결정되는 경우에, 방법(400)은 414에서, 메모리 타입에 대응하는 메모리 표준에 의해 지정되는 각각의 전압 레벨들을 제공하도록 전압 조절기 레일들을 프로그래밍할 수 있다. 전압 레벨들은 동일한 동작을 위해 전압 조절기로부터, PCB 및 HW 인터페이스를 통해 메모리 디바이스로 다양하게 제공될 수 있다.
- [0035] 특정 실시예들은 메모리 디바이스의 연결성을 검출하기 위해 PCB 상에 상주하는 직렬 프레즌스 검출 로직에 제한되지 않는다. 예를 들어, 일부 실시예들은 프레즌스 검출 기능을 제공하기 위해, 프로세서 디바이스로 실행하는 BIOS 프로세스를 제공할 수 있다. 그러한 일 실시예에서, 방법(400)은 어느 프레즌스 검출 메커니즘이 사용에 이용가능한지를 결정하기 위해 하나 이상의 부가 동작들(도시되지 않음)을 포함할 수 있다. 프로세서 디바이스는 PCB 상의 SPD 로직이 액세스가능한지 또는 예를 들어 BIOS의 가상 SPD 프로세스가 그 대신에 사용되는지를 결정하기 위해 그러한 동작들을 수행할 수 있다. 그러한 결정은 그러한 폴링의 타겟을 결정하기 위해 406에서의 폴링 전에 수행될 수 있다.
- [0036] 이제 도 5를 참조하면, 도시된 다양한 테이블들은 대응하는 메모리 표준에 의해 식별되는 적어도 일부 신호들을 각각 열거하고 설명한다. 더 구체적으로는, 테이블(500)은 DDR4 표준에 기초하는 메모리 디바이스에 의해 교환되는 신호를 설명하고, 테이블(510)은 LPDDR3 표준에 기초하는 메모리 디바이스에 의해 교환되는 신호를 설명하고, 테이블(520)은 LPDDR4 표준에 기초하는 메모리 디바이스에 의해 교환되는 신호를 설명한다. 그러한 메모리 표준들, 및 그것의 신호들의 특정 상세들은 특정 실시예들의 특징들을 모호하게 하는 것을 회피하기 위해 본원에 설명되지 않는다.
- [0037] 본원에 더 상세히 설명되는 바와 같이, 인터커넥트들(108, 208) 중 하나와 같은 인터커넥트는 PCB 상에 배치되는 하드웨어 인터페이스들 사이에서 신호들을 교환하기 위해 적어도 일부 복수의 신호 라인들을 포함할 수 있다. 복수의 신호 라인들은 상이한 각각의 메모리 표준에 의해 각각 지정되는 신호들의 다수의 세트들 중 임의의 것을 수용할 수 있는 슈퍼세트의 역할을 할 수 있다. 테이블들(500, 510, 520)은 그러한 상이한 메모리 표준들, 및 그것의 각각의 신호들의 일 예를 나타낸다. 그러나, 인터커넥트는 더 적은, 부가 및/또는 다른 메

모리 표준들을 지원할 수 있다. 부가적으로 또는 대안적으로, 슈퍼세트는 그러한 메모리 표준들의 일부 또는 전체에 의해 지정되는 더 적은, 부가 및/또는 다른 신호들을 지원할 수 있다.

[0038] 이제 도 6을 참조하면, 도시된 다양한 테이블들은 대응하는 메모리 기술에 의해 정의되는 신호들의 각각의 세트를 각각 설명한다. 더 구체적으로는, 테이블(600)은 DDR4 표준에 의해 식별되는 한 세트의 신호들을 설명하고, 테이블(610)은 LPDDR3 표준에 의해 식별되는 한 세트의 신호들을 설명하고, 테이블(620)은 LPDDR4 표준에 의해 식별되는 한 세트의 신호들을 설명한다. 테이블들(610, 620, 630)은 신호 타입 - 예를 들어, 데이터(DQ), 데이터 마스크(DM*), 차동 데이터 스트로브(DQS) 등 - 에 의해 다양하게 조직되고 대응하는 메모리 표준에 의해 식별되는 신호 타입의 다수의 신호들을 열거한다. 도 5에 대해 언급된 바와 같이, DDR4 표준, LPDDR3 표준 및 LPDDR4 표준은 일 실시예에 따라 수용되는 상이한 메모리 표준들의 단지 일 예이다. 다른 실시예들은 더 적은, 더 많은 및/또는 다른 메모리 표준들을 수용할 수 있다.

[0039] 테이블(630)은 테이블들(600, 610, 620)에 의해 표현되는 신호들의 슈퍼세트를 예시하며, 슈퍼세트는 인터커넥트들(108, 208) 중 하나와 같은 인터커넥트의 신호 라인들에 의해 일 실시예에 따라 수용될 수 있다. 테이블들(600, 610, 620, 630)의 행방향 배열은 신호 타입에 의해 슈퍼세트의 브레이크다운을 예시하며 - 예를 들어, 주어진 신호 타입에 대해, 그러한 신호 타입의 가장 많은 신호들을 식별하는 메모리 표준은 신호 타입을 지원하는 슈퍼세트에서 신호 라인들의 수를 결정한다.

[0040] 테이블(640)은 프로그램가능 VR(112) 및 VR(212) 중 하나와 같은 전압 조절기에 의해 일 실시예에 따라 지원될 수 있는 전압들의 테이블을 예시한다. 테이블(640)은 DDR4 표준, LPDDR3 표준 및 LPDDR4 표준에 의해 다양하게 지정되는 전압들, 및 그러한 전압들의 슈퍼세트를 열거한다. 일 실시예에 따른 VR은 테이블(640)에 지정되는 전압들의 슈퍼세트 중 임의의 것을 PCB 상의 HW 인터페이스를 통해 메모리 디바이스에 제공하도록 프로그램가능할 수 있다.

[0041] 이제 도 7a 내지 도 7c를 참조하면, 테이블들(700a, 700b, 700c)은 상이한 각각의 메모리 표준에 각각 기초하여 CPU와 다수의 메모리 디바이스들 중 임의의 것 사이에 교환되는 신호들의 매핑을 다양하게 열거한다. 그러한 CPU는 그러한 메모리 표준들의 각각의 것에 각각 대응하는 다수의 상이한 인터페이스 모드들 중 임의의 것을 구현할 수 있는 핀아웃 구성가능 인터페이스 회로를 포함하거나 이 회로로 동작될 수 있다. 테이블들(700a, 700b, 700c)은 CPU가 교환할 수 있는 신호들의 각각의 열방향 리스트를 각각 제공한다. 상이한 메모리 표준들의 메모리 디바이스들 - 이러한 예에서, DDR3, DDR4, LPDDR3(그것의 2개의 상이한 구성들을 포함함) 및 LPDDR4 - 에 대해 테이블들(700a, 700b, 700c)은 CPU 측 신호 식별자들을 도시된 메모리 표준들의 각각의 신호 식별자들에 각각 다양하게 매핑한다. 테이블(700c)에서, "NC"는 "not connected"를 나타낸다. 특정 CPU 측 신호 식별자들은 CPU의 특정 입력 모드에 따라 상이한 시간들에 CPU의 상이한 I/O 콘택들과 연관될 수 있다는 점이 이해된다.

[0042] 이제 도 8a 내지 도 8d를 참조하면, 테이블들(810, 820, 830, 840)은 일 실시예에 따른 PCB를 통해 핀아웃 구성가능 프로세서 디바이스와 통신하기 위한 대응하는 메모리 디바이스의 각각의 핀아웃을 각각 열거한다. 더 구체적으로는, 테이블(800)은 PCB 상의 260-핀 커넥터에 결합하는 DDR3L 디바이스의 핀아웃을 열거하고, 테이블(810)은 그러한 260-핀 커넥터에 결합하는 DDR4 디바이스의 핀아웃을 열거한다. 테이블(820)은 그러한 260-핀 커넥터에 결합하는 LPDDR3 디바이스의 핀아웃을 열거하고, 테이블(830)은 그러한 260-핀 커넥터에 결합하는 LPDDR4 디바이스의 핀아웃을 열거한다.

[0043] 특정 실시예들은 PCB에 결합되는 메모리 디바이스의 메모리 타입을 다양하게 식별한다 - 예를 들어, 테이블들(800, 810, 820, 830)에 다양하게 표현되는 핀아웃들 중 특정 핀아웃을 식별하는 것을 포함함. 이에 응답하여, 프로세서 디바이스의 인터페이스 모드가 구성될 수 있고 전압 조절기의 VR 모드는 대응하는 메모리 표준에 의해 지정되는 핀아웃 및 전압 레벨들 둘 다를 수용하도록 프로그래밍될 수 있다.

[0044] 이제 도 9a 내지 도 9c를 참조하면, 테이블들(900, 910, 920)은 다른 실시예에 따른 PCB를 통해 핀아웃 구성가능 프로세서 디바이스와 통신하기 위한 대응하는 메모리 디바이스의 각각의 핀아웃을 각각 열거한다. 더 구체적으로는, 테이블(900)은 PCB 상의 242-핀 커넥터에 결합하는 DDR4 메모리 디바이스의 핀아웃을 열거하고, 테이블(910)은 그러한 242-핀 커넥터에 결합하는 LPDDR3 메모리 디바이스의 핀아웃을 열거하고, 테이블(920)은 그러한 242-핀 커넥터에 결합하는 LPDDR4 메모리 디바이스의 핀아웃을 열거한다. 특정 실시예들은 PCB에 결합되는 메모리 디바이스에 대응하는 바와 같이 테이블들(900, 910, 920)에 다양하게 표현되는 핀아웃들 중 특정 핀아웃을 다양하게 식별한다. 이에 응답하여, 프로세서 디바이스의 인터페이스 모드가 구성될 수 있고, 전압 조절기의 VR 모드는 대응하는 메모리 표준에 의해 지정되는 핀아웃 및 전압 레벨들 둘 다를 수용하도록 프로그래밍될

수 있다.

- [0045] 도 10은 메모리 디바이스로의 액세스가 구현될 수 있는 컴퓨팅 시스템의 일 실시예의 블록도이다. 시스템(1000)은 본원에 설명되는 임의의 실시예에 따른 컴퓨팅 디바이스를 나타내고, 랩톱 컴퓨터, 데스크톱 컴퓨터, 서버, 게임 또는 엔터테인먼트 제어 시스템, 스캐너, 복사기, 프린터, 또는 다른 전자 디바이스일 수 있다. 시스템(1000)은 프로세서(1020)를 포함할 수 있으며, 프로세서는 시스템(1000)을 위해 처리, 동작 관리, 명령어들의 실행을 제공한다. 프로세서(1020)는 시스템(1000)을 위해 처리를 제공하기 위해 임의의 타입의 마이크로프로세서, 중앙 처리 유닛(CPU), 처리 코어, 또는 다른 처리 하드웨어를 포함할 수 있다. 프로세서(1020)는 시스템(1000)의 전체 동작을 제어하고, 하나 이상의 프로그램가능 범용 또는 특수 목적 마이크로프로세서들, 디지털 신호 프로세서들(DSP들), 프로그램가능 제어기들, 주문형 집적 회로들(ASIC들), 프로그램가능 로직 디바이스들(PLD들) 등, 또는 그러한 디바이스들의 조합일 수 있거나 이들을 포함할 수 있다.
- [0046] 메모리 서브시스템(1030)은 시스템(1000)의 메인 메모리를 나타내고, 프로세서(1020)에 의해 실행되는 코드, 또는 루틴을 실행할 시에 사용되는 데이터 값들을 위해 일시적 스토리지를 제공한다. 메모리 서브시스템(1030)은 하나 이상의 메모리 디바이스들 예컨대 판독 전용 메모리(ROM), 플래시 메모리, 하나 이상의 다양한 랜덤 액세스 메모리(RAM), 또는 다른 메모리 디바이스들, 또는 그러한 디바이스들의 조합을 포함할 수 있다. 메모리 서브시스템(1030)은 다른 것들 중에서, 시스템(1000)에서의 명령어들의 실행을 위해 소프트웨어 플랫폼을 제공하기 위해 운영 체제(OS)(1036)를 저장하고 호스팅한다. 부가적으로, 다른 명령어들(1038)은 시스템(1000)의 로직 및 처리를 제공하기 위해 메모리 서브시스템(1030)으로부터 저장되고 실행된다. OS(1036) 및 명령어들(1038)은 프로세서(1020)에 의해 실행된다.
- [0047] 메모리 서브시스템(1030)은 메모리 디바이스(1032)를 포함할 수 있으며 그것은 데이터, 명령어들, 프로그램들, 또는 다른 아이템들을 저장한다. 일 실시예에서, 메모리 서브시스템은 메모리 제어기(1034)를 포함하며, 메모리 제어기는 - 예를 들어, 프로세서(1020)를 대신하여 메모리(1032)에 액세스한다. 메모리 제어기(1034)는 프로세서(1020)를 포함하는 패키징된 디바이스로 포함될 수 있으며 - 예를 들어, 프로세서(1020)는 본원에서 논의되는 것과 같은 기능성을 제공하는 컴포넌트들을 그 안에 또는 그 위에 배치하는 PCB(도시되지 않음)를 통해 메모리(1032)에 액세스한다.
- [0048] 프로세서(1020) 및 메모리 서브시스템(1030)은 버스/버스 시스템(1010)에 결합될 수 있다. 버스(1010)는 적절한 브리지들, 어댑터들, 및/또는 제어기들에 의해 연결되는 임의의 하나 이상의 개별 물리 버스들, 통신 라인들/인터페이스들, 및/또는 점 대 점 연결들을 나타내는 추상화이다. 따라서, 버스(1010)는 예를 들어 시스템 버스, PCI(Peripheral Component Interconnect) 버스, 하이퍼트랜스포트 또는 산업 표준 아키텍처(industry standard architecture)(ISA) 버스, 소형 컴퓨터 시스템 인터페이스(small computer system interface)(SCSI) 버스, 범용 직렬 버스(universal serial bus)(USB), 또는 IEEE(Institute of Electrical and Electronics Engineers) 표준 1394 버스("파이어와이어"로 통상 언급됨) 중 하나 이상을 포함할 수 있다. 버스(1010)의 버스들은 또한 네트워크 인터페이스(1050) 내의 인터페이스들에 대응할 수 있다.
- [0049] 시스템(1000)은 또한 버스(1010)에 결합되는 하나 이상의 입력/출력(I/O) 인터페이스(들)(1040), 네트워크 인터페이스(1050), 하나 이상의 내부 대용량 스토리지 디바이스(들)(1060), 및 주변 장치 인터페이스(1070)를 포함할 수 있다. I/O 인터페이스(1040)는 사용자가 시스템(1000)과 상호작용하는 하나 이상의 인터페이스 컴포넌트들(예를 들어, 비디오, 오디오, 및/또는 영숫자 인터페이싱)을 포함할 수 있다. 네트워크 인터페이스(1050)는 하나 이상의 네트워크들을 통해 원격 디바이스들(예를 들어, 서버들, 다른 컴퓨팅 디바이스들)과 통신하는 능력을 시스템(1000)에 제공한다. 네트워크 인터페이스(1050)는 이더넷 어댑터, 무선 상호연결 컴포넌트들, 범용 직렬 버스(USB), 또는 다른 유선 또는 무선 표준 기반 또는 독점 인터페이스들을 포함할 수 있다.
- [0050] 스토리지(1060)는 비휘발성 방식으로 대량의 데이터를 저장하는 임의의 종래 매체, 예컨대 하나 이상의 자기, 고체 상태, 또는 광 기반 디스크들, 또는 조합이거나 이들을 포함할 수 있다. 스토리지(1060)는 코드 또는 명령어들 및 데이터(1062)를 지속적 상태에 유지한다(즉, 값은 시스템(1000)에 대한 전력의 중단에도 불구하고 유지됨). 스토리지(1060)는 일반적으로 "메모리"인 것으로 생각될 수 있지만, 메모리(1030)는 명령어들을 프로세서(1020)에 제공하기 위해 실행 또는 동작 메모리이다. 스토리지(1060)는 비휘발성이므로, 메모리(1030)는 휘발성 메모리를 포함할 수 있다(즉, 데이터의 값 또는 상태는 시스템(1000)에 대해 전력이 중단되면 불확정임).
- [0051] 주변 장치 인터페이스(1070)는 상기 구체적으로 언급되지 않은 임의의 하드웨어 인터페이스를 포함할 수 있다. 주변 장치들은 일반적으로 시스템(1000)에 종속적으로 연결되는 디바이스들을 언급한다. 종속 연결은 동작이 실행하고, 사용자가 상호작용하는 소프트웨어 및/또는 하드웨어 플랫폼을 시스템(1000)이 제공하는 연결이다.

- [0052] 도 11은 메모리 디바이스로의 액세스가 구현될 수 있는 모바일 디바이스의 일 실시예의 블록도이다. 디바이스(1100)는 모바일 컴퓨팅 디바이스, 예컨대 컴퓨팅 태블릿, 모바일 폰 또는 스마트폰, 무선-가능 전자 판독기, 또는 다른 모바일 디바이스를 나타낸다. 컴포넌트들 중 특정 컴포넌트가 일반적으로 도시되고, 그러한 디바이스의 모든 컴포넌트들이 디바이스(1100)에 도시되는 것은 아니라는 점이 이해될 것이다. 디바이스(1100)는 프로세서(1110)를 포함할 수 있으며, 프로세서는 디바이스(1100)의 일차 처리 동작들을 수행한다. 프로세서(1110)는 하나 이상의 물리 디바이스들, 예컨대 마이크로프로세서들, 애플리케이션 프로세서들, 마이크로제어기들, 프로그램가능 로직 디바이스들, 또는 다른 처리 수단을 포함할 수 있다. 프로세서(1110)에 의해 수행되는 처리 동작들은 애플리케이션들 및/또는 디바이스 기능들이 실행되는 운영 플랫폼 또는 운영 체제의 실행을 포함한다. 처리 동작들은 인간 사용자 또는 다른 디바이스들에 의한 입력/출력(I/O)과 관련되는 동작들, 전력 관리와 관련되는 동작들, 및/또는 디바이스(1100)를 다른 디바이스에 연결하는 것과 관련되는 동작들을 포함한다. 처리 동작들은 또한 오디오 I/O 및/또는 디스플레이 I/O와 관련되는 동작들을 포함할 수 있다.
- [0053] 일 실시예에서, 디바이스(1100)는 오디오 서브시스템(1120)을 포함하며, 오디오 서브시스템은 오디오 기능들을 컴퓨팅 디바이스에 제공하는 것과 연관되는 하드웨어(예를 들어, 오디오 하드웨어 및 오디오 회로들) 및 소프트웨어(예를 들어, 드라이버들, 코덱들) 컴포넌트들을 나타낸다. 오디오 기능들은 마이크로폰 입력뿐만 아니라, 스피커 및/또는 헤드폰 출력을 포함할 수 있다. 그러한 기능들을 위한 디바이스들은 디바이스(1100)로 통합되거나, 디바이스(1100)에 연결될 수 있다. 일 실시예에서, 사용자는 프로세서(1110)에 의해 수신되고 처리되는 오디오 커맨드들을 제공함으로써 디바이스(1100)와 상호작용한다.
- [0054] 디스플레이 서브시스템(1130)은 사용자가 컴퓨팅 디바이스와 상호작용하도록 시각 및/또는 촉각 디스플레이를 제공하는 하드웨어(예를 들어, 디스플레이 디바이스들) 및 소프트웨어(예를 들어, 드라이버들) 컴포넌트들을 나타낸다. 디스플레이 서브시스템(1130)은 디스플레이 인터페이스(1132)를 포함할 수 있으며, 디스플레이 인터페이스는 디스플레이를 사용자에게 제공하기 위해 사용되는 특정 스크린 또는 하드웨어 디바이스를 포함할 수 있다. 일 실시예에서, 디스플레이 인터페이스(1132)는 디스플레이와 관련되는 적어도 일부 처리를 수행하기 위해 프로세서(1110)로부터 분리되는 로직을 포함한다. 일 실시예에서, 디스플레이 서브시스템(1130)은 출력 및 입력 둘 다를 사용자에게 제공하는 터치스크린 디바이스를 포함한다.
- [0055] I/O 제어기(1140)는 사용자와의 상호작용과 관련되는 하드웨어 디바이스들 및 소프트웨어 컴포넌트들을 나타낸다. I/O 제어기(1140)는 오디오 서브시스템(1120) 및/또는 디스플레이 서브시스템(1130)의 일부인 하드웨어를 관리하기 위해 동작할 수 있다. 부가적으로, I/O 제어기(1140)는 사용자가 시스템과 상호작용할 수 있는 디바이스(1100)에 연결되는 부가 디바이스들에 대한 연결 포인트를 예시한다. 예를 들어, 디바이스(1100)에 부착될 수 있는 디바이스들은 카드 판독기들 또는 다른 디바이스들과 같은 특정 애플리케이션들에 사용을 위한 마이크로폰 디바이스들, 스피커 또는 스테레오 시스템들, 비디오 시스템들 또는 다른 디스플레이 디바이스, 키보드 또는 키패드 디바이스들, 또는 다른 I/O 디바이스들을 포함할 수 있다.
- [0056] 상기 언급된 바와 같이, I/O 제어기(1140)는 오디오 서브시스템(1120) 및/또는 디스플레이 서브시스템(1130)과 상호작용할 수 있다. 예를 들어, 마이크로폰 또는 다른 오디오 디바이스를 통한 입력은 디바이스(1100)의 하나 이상의 애플리케이션들 또는 기능들을 위해 입력 또는 커맨드들을 제공할 수 있다. 부가적으로, 오디오 출력은 디스플레이 출력 대신에 또는 디스플레이 출력에 부가하여 제공될 수 있다. 다른 예에서, 디스플레이 서브시스템이 터치스크린을 포함하면, 디스플레이 디바이스는 또한 입력 디바이스의 역할을 하며, 입력 디바이스는 I/O 제어기(1140)에 의해 적어도 부분적으로 관리될 수 있다. 또한 I/O 제어기(1140)에 의해 관리되는 I/O 기능들을 제공하기 위해 디바이스(1100) 상에 부가 버튼들 또는 스위치들이 있을 수 있다.
- [0057] 일 실시예에서, I/O 제어기(1140)는 디바이스들 예컨대 디바이스(1100)에 포함될 수 있는 가속도계들, 카메라들, 광 센서들 또는 다른 환경 센서들, 자이로스코프들, 글로벌 포지셔닝 시스템(GPS), 또는 다른 하드웨어를 관리한다. 입력은 동작들에 영향을 주는 환경 입력을 시스템에 제공하는 것(예컨대 잡음에 대한 필터링, 밝기 검출을 위해 디스플레이들을 조정하는 것, 카메라를 위해 플래시를 적용하는 것, 또는 다른 특징들)뿐만 아니라, 직접적인 사용자 상호작용의 일부일 수 있다.
- [0058] 일 실시예에서, 디바이스(1100)는 배터리 전력 사용, 배터리의 충전, 및 전력 절감 동작과 관련되는 특징들을 관리하는 전력 관리(1150)를 포함한다. 메모리 서브시스템(1160)은 디바이스(1100)에 정보를 저장하는 메모리 디바이스(들)(1162)를 포함할 수 있다. 메모리 서브시스템(1160)은 비휘발성(상태는 메모리 디바이스로의 전력이 중단되면 변경되지 않음) 및/또는 휘발성(상태는 메모리 디바이스로의 전력이 중단되면 불확정임) 메모리 디바이스들을 포함할 수 있다. 메모리(1160)는 시스템(1100)의 애플리케이션들 및 기능들의 실행과 관련되는 시

스템 데이터(장기적이든 일시적이든)뿐만 아니라, 애플리케이션 데이터, 사용자 데이터, 음악, 사진들, 문서들, 또는 다른 데이터를 저장할 수 있다.

- [0059] 일 실시예에서, 메모리 서브시스템(1160)은 메모리 제어기(1164)(또한 시스템(1100)의 제어의 일부인 것으로 간주될 수 있고, 잠재적으로 프로세서(1110)의 일부인 것으로 간주될 수 있음)를 포함한다. 메모리 제어기(1164)는 - 예를 들어, 프로세서(1110)를 대신하여 메모리(1162)에 액세스를 제공하기 위해 시그널링을 전달할 수 있다. 메모리 제어기(1164)는 프로세서(1110)를 포함하는 패키징된 디바이스로 포함될 수 있으며 - 예컨대, 프로세서(1110)는 본원에서 논의되는 것과 같은 기능성을 제공하는 컴포넌트들을 그 안에 또는 그 위에 배치하는 PCB(도시되지 않음)를 통해 메모리(1162)에 액세스한다.
- [0060] 연결성(1170)은 디바이스(1100)가 외부 디바이스들과 통신할 수 있게 하기 위해 하드웨어 디바이스들(예를 들어, 무선 및/또는 유선 커넥터들 및 통신 하드웨어) 및 소프트웨어 컴포넌트들(예를 들어, 드라이버들, 프로토콜 스택들)을 포함할 수 있다. 디바이스는 헤드셋들, 프린터들, 또는 다른 디바이스들과 같은 주변 장치들뿐만 아니라, 다른 컴퓨팅 디바이스들, 무선 액세스 포인트들 또는 기지국들과 같은 개별 디바이스들일 수 있다.
- [0061] 연결성(1170)은 다수의 상이한 타입들의 연결성을 포함할 수 있다. 일반화하기 위해, 디바이스(1100)는 셀룰러 연결성(1172) 및 무선 연결성(1174)으로 예시한다. 셀룰러 연결성(1172)은 일반적으로 GSM(global system for mobile communications) 또는 변형들 또는 파생어들, CDMA(code division multiple access) 또는 변형들 또는 파생어들, TDM(time division multiplexing) 또는 변형들 또는 파생어들, LTE(long term evolution - 또한 "4G"로 언급됨), 또는 다른 셀룰러 서비스 표준들을 통해 제공되는 것과 같이, 무선 캐리어들에 의해 제공되는 셀룰러 네트워크 연결성을 언급한다. 무선 연결성(1174)은 셀룰러가 아닌 무선 연결성을 언급하고, 개인 영역 네트워크들(예컨대 블루투스), 근거리 통신망들(예컨대 WiFi), 및/또는 광역 통신망들(예컨대 WiMax), 또는 다른 무선 통신을 포함할 수 있다. 무선 통신은 비고체 매체를 통해, 변조된 전자기 방사선의 사용을 통한 데이터의 전송을 언급한다. 유선 통신은 고체 통신 매체를 통해 발생한다.
- [0062] 주변 장치 연결들(1180)은 주변 장치 연결들을 이루기 위해 소프트웨어 컴포넌트들(예를 들어, 드라이버들, 프로토콜 스택들)뿐만 아니라, 하드웨어 인터페이스들 및 커넥터들을 포함한다. 디바이스(1100)는 다른 컴퓨팅 디바이스들에 대한 주변 디바이스("로(to)"(1182))일 뿐만 아니라, 그것에 연결되는 주변 디바이스들("로부터(from)"(1184))을 가질 수 있다는 점이 이해될 것이다. 디바이스(1100)는 통상 디바이스(1100) 상에서 콘텐츠를 관리(예를 들어, 다운로드 및/또는 업로드, 변경, 동기화)하는 것과 같은 목적들을 위해 다른 컴퓨팅 디바이스들에 연결하는 "도킹" 커넥터를 갖는다. 부가적으로, 도킹 커넥터는 디바이스(1100)가 콘텐츠 출력을 제어하는 것을 허용하는 특정 주변 장치들, 예를 들어 오디오비주얼 또는 다른 시스템들에 디바이스(1100)가 연결하는 것을 허용할 수 있다.
- [0063] 독점 도킹 커넥터 또는 다른 독점 연결 하드웨어에 더하여, 디바이스(1100)는 공통 또는 표준 기반 커넥터들을 통해 주변 장치 연결들(1180)을 이룰 수 있다. 공통 타입들은 범용 직렬 버스(USB) 커넥터(다수의 상이한 하드웨어 인터페이스들 중 임의의 것을 포함할 수 있음), 미니디스플레이포트(MiniDisplayPort)(MDP)를 포함하는 디스플레이포트, 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface)(HDMI), 파이어와이어, 또는 다른 타입을 포함할 수 있다.
- [0064] 일 구현에서, 디바이스는 인쇄 회로 보드(PCB)를 신호들의 다수의 세트들 중의 신호들의 상이한 각각의 세트에 각각 대응하는 메모리 디바이스들 중 임의의 것에 결합하는 제1 하드웨어(HW) 인터페이스, 및 PCB를 프로세서 디바이스에 결합하는 제2 HW 인터페이스 - 프로세서 디바이스는 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 검출하고, 메모리 디바이스의 메모리 타입에 기초하여, 신호들의 다수의 세트들 중의 상이한 각각의 세트에 각각 대응하는 인터페이스 모드들 중 제1 인터페이스 모드를 구성함 - 를 포함한다. 디바이스는 제1 HW 인터페이스에 결합된 전압 조절기(VR) - VR은 메모리 타입에 기초하여, 메모리 디바이스들 중의 상이한 각각의 메모리 디바이스에 각각 대응하는 VR 모드들 중 제1 VR 모드로 프로그래밍되고, 제1 VR 모드에 기초하여 하나 이상의 전압들을 제1 인터페이스에 제공함 -, 및 PCB 내에 또는 상에 배치되며, 제1 HW 인터페이스의 각각의 입력/출력(I/O) 콘택을 제2 HW 인터페이스의 각각의 I/O 콘택에 각각 결합하는 x개의 신호 라인들을 포함하는 인터커넥트 - x는 신호들의 다수의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수임 - 를 더 포함한다.
- [0065] 일 실시예에서, 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정된다. 다른 실시예에서, 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 DDR3 표준 또는 DDR4 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 저전력 듀얼 데이터 레이트 메

모리 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 LPDDR3 표준 또는 LPDDR4 표준을 포함한다.

[0066] 다른 실시예에서, 디바이스는 PCB 내에 또는 상에 배치된 검출기 로직을 더 포함하며, 검출기 로직은 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호를 발생시켜 프로세서 디바이스에 송신한다. 다른 실시예에서, 검출기 로직은 직렬 프레즌스 검출 표준에 기초한다. 다른 실시예에서, 상태 머신 로직은 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호에 응답하여 메모리 디바이스의 메모리 타입을 식별한다. 다른 실시예에서, 상태 머신 로직은 프로세서 디바이스의 상태 머신 회로를 포함한다. 다른 실시예에서, 프로세서 디바이스는 상태 머신 로직을 포함하는 기본 입력/출력 시스템(BIOS) 프로세스를 실행한다. 다른 실시예에서, 제1 HW 인터페이스는 기계 커넥터를 포함한다. 다른 실시예에서, 제2 HW 인터페이스는 패드 어레이를 포함한다. 다른 실시예에서, 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함한다.

[0067] 다른 구현에서, 시스템은 인쇄 회로 보드(PCB), PCB 내에 또는 위에 배치된 제1 하드웨어(HW) 인터페이스 - 제1 HW 인터페이스는 신호들의 다수의 세트들 중의 신호들의 상이한 각각의 세트에 각각 대응하는 메모리 디바이스들 중 임의의 것에 결합함 - PCB 내에 또는 상에 배치된 제2 HW 인터페이스 및 제2 HW 인터페이스를 통해 PCB에 결합된 프로세서 디바이스 - 프로세서 디바이스는 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 검출하고, 메모리 디바이스의 메모리 타입에 기초하여, 신호들의 다수의 세트들 중의 상이한 각각의 세트에 각각 대응하는 인터페이스 모드들 중 제1 인터페이스 모드를 구성함 - 를 포함한다. 시스템은 제1 HW 인터페이스에 결합된 전압 조절기(VR) - VR은 메모리 타입에 기초하여, 메모리 디바이스들 중의 상이한 각각의 메모리 디바이스에 각각 대응하는 VR 모드들 중 제1 VR 모드로 프로그래밍될 수 있고, 제1 VR 모드에 기초하여 하나 이상의 전압들을 제1 인터페이스에 제공함 -, 및 PCB 내에 또는 상에 배치되며, 제1 HW 인터페이스의 각각의 입력/출력(I/O) 콘택을 제2 HW 인터페이스의 각각의 I/O 콘택에 각각 결합하는 x개의 신호 라인들을 포함하는 인터커넥트 - x는 신호들의 다수의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수임 - 를 더 포함한다.

[0068] 일 실시예에서, 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정된다. 다른 실시예에서, 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 DDR3 표준 또는 DDR4 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 저전력 듀얼 데이터 레이트 메모리 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 LPDDR3 표준 또는 LPDDR4 표준을 포함한다.

[0069] 다른 실시예에서, 시스템은 PCB 내에 또는 상에 배치된 검출기 로직을 더 포함하며, 검출기 로직은 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호를 발생시키고 프로세서 디바이스에 송신한다. 다른 실시예에서, 검출기 로직은 직렬 프레즌스 검출 표준에 기초한다. 다른 실시예에서, 상태 머신 로직은 제1 HW 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호에 응답하여 메모리 디바이스의 메모리 타입을 식별한다. 다른 실시예에서, 상태 머신 로직은 프로세서 디바이스의 상태 머신 회로를 포함한다. 다른 실시예에서, 프로세서 디바이스는 상태 머신 로직을 포함하는 기본 입력/출력 시스템(BIOS) 프로세스를 실행한다. 다른 실시예에서, 제1 HW 인터페이스는 기계 커넥터를 포함한다. 다른 실시예에서, 제2 HW 인터페이스는 패드 어레이를 포함한다. 다른 실시예에서, 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함한다.

[0070] 다른 구현에서, 방법은 인쇄 회로 보드(PCB) 내에 또는 상에 배치된 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 검출하는 단계, 및 연결성을 검출하는 것에 응답하여, 메모리 디바이스의 메모리 타입을 식별하는 단계 - 메모리 타입에 기초하여, 프로세서 디바이스는 프로세서 디바이스의 다수의 인터페이스 모드들 중 제1 인터페이스 모드를 구성하고, 다수의 인터페이스 모드들은 신호들의 다수의 세트에 대한 신호들의 상이한 각각의 세트에 각각 대응하고, 프로세서 디바이스는 PCB 내에 또는 상에 배치된 제2 하드웨어 인터페이스를 통해 PCB에 결합됨 - 를 포함한다. 방법은 메모리 타입에 기초하여, VR의 다수의 VR 모드들 중 제1 전압 조절기(VR) 모드를 프로그래밍하는 단계 - 다수의 VR 모드들은 다수의 메모리 타입들 중의 상이한 각각의 메모리 타입에 각각 대응하며, VR은 제1 VR 모드에 기초하여 하나 이상의 전압들을 제1 인터페이스에 제공함 -, 및 하나 이상의 전압들에 기초한 메모리 디바이스의 동작 동안에, PCB 내에 또는 상에 배치되는 인터커넥트의 x개의 신호 라인들을 통해 메모리 디바이스와 프로세서 디바이스 사이에서 신호들을 교환하는 단계 - x는 신호들의 다수의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수임 - 를 더 포함한다.

- [0071] 일 실시예에서, 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정된다. 다른 실시예에서, 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 DDR3 표준 또는 DDR4 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 저전력 듀얼 데이터 레이트 메모리 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 LPDDR3 표준 또는 LPDDR4 표준을 포함한다.
- [0072] 다른 실시예에서, 방법은 PCB 내에 또는 상에 배치된 검출기 로직에 의해, 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호를 발생시키고 프로세서 디바이스에 송신하는 단계를 더 포함한다. 다른 실시예에서, 검출기 로직은 직렬 프레즌스 검출 표준에 기초한다. 다른 실시예에서, 상태 머신 로직은 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호에 응답하여 메모리 디바이스의 메모리 타입을 식별한다. 다른 실시예에서, 상태 머신 로직은 프로세서 디바이스의 상태 머신 회로를 포함한다. 다른 실시예에서, 프로세서 디바이스는 상태 머신 로직을 포함하는 기본 입력/출력 시스템(BIOS) 프로세스를 실행한다. 다른 실시예에서, 제1 하드웨어 인터페이스는 기계 커넥터를 포함한다. 다른 실시예에서, 제2 하드웨어 인터페이스는 패드 어레이를 포함한다. 다른 실시예에서, 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함한다.
- [0073] 다른 구현에서, 컴퓨터 판독가능 스토리지 매체는 하나 이상의 처리 유닛들에 의해 실행될 때, 하나 이상의 처리 유닛들이 방법을 수행하게 하는 명령어들을 저장하며, 방법은 인쇄 회로 보드(PCB) 내에 또는 상에 배치된 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 검출하는 단계, 및 연결성을 검출하는 것에 응답하여, 메모리 디바이스의 메모리 타입을 식별하는 단계 - 메모리 타입에 기초하여, 프로세서 디바이스는 프로세서 디바이스의 다수의 인터페이스 모드들 중 제1 인터페이스 모드를 구성하고, 다수의 인터페이스 모드들은 신호들의 다수의 세트에 대한 신호들의 상이한 각각의 세트에 각각 대응하고, 프로세서 디바이스는 PCB 내에 또는 상에 배치된 제2 하드웨어 인터페이스를 통해 PCB에 결합됨 - 를 포함한다. 방법은 메모리 타입에 기초하여, VR의 다수의 VR 모드들 중 제1 전압 조절기(VR) 모드를 프로그래밍하는 단계 - 다수의 VR 모드들은 다수의 메모리 타입들 중의 상이한 각각의 메모리 타입에 각각 대응하며, VR은 제1 VR 모드에 기초하여 하나 이상의 전압들을 제1 인터페이스에 제공함 -, 및 하나 이상의 전압들에 기초한 메모리 디바이스의 동작 동안에, PCB 내에 또는 상에 배치되는 인터커넥트의 x개의 신호 라인들을 통해 메모리 디바이스와 프로세서 디바이스 사이에서 신호들을 교환하는 단계 - x는 신호들의 다수의 세트들의 슈퍼세트의 신호들의 총 수와 동일한 정수임 - 를 더 포함한다.
- [0074] 일 실시예에서, 신호들의 다수의 세트들은 다수의 메모리 표준들 중의 상이한 각각의 메모리 표준에 의해 각각 지정된다. 다른 실시예에서, 다수의 메모리 표준들은 하나 이상의 듀얼 데이터 레이트 메모리 표준들을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 DDR3 표준 또는 DDR4 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 저전력 듀얼 데이터 레이트 메모리 표준을 포함한다. 다른 실시예에서, 하나 이상의 듀얼 데이터 레이트 메모리 표준들은 LPDDR3 표준 또는 LPDDR4 표준을 포함한다.
- [0075] 다른 실시예에서, 방법은 PCB 내에 또는 상에 배치된 검출기 로직에 의해, 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호를 발생시키고 프로세서 디바이스에 송신하는 단계를 더 포함한다. 다른 실시예에서, 검출기 로직은 직렬 프레즌스 검출 표준에 기초한다. 다른 실시예에서, 상태 머신 로직은 제1 하드웨어 인터페이스에 대한 메모리 디바이스의 연결성을 표시하는 신호에 응답하여 메모리 디바이스의 메모리 타입을 식별한다. 다른 실시예에서, 상태 머신 로직은 프로세서 디바이스의 상태 머신 회로를 포함한다. 다른 실시예에서, 프로세서 디바이스는 상태 머신 로직을 포함하는 기본 입력/출력 시스템(BIOS) 프로세스를 실행한다. 다른 실시예에서, 제1 하드웨어 인터페이스는 기계 커넥터를 포함한다. 다른 실시예에서, 제2 하드웨어 인터페이스는 패드 어레이를 포함한다. 다른 실시예에서, 다수의 메모리 디바이스들은 하나 이상의 듀얼 인라인 메모리 모듈들을 포함한다.
- [0076] 메모리 디바이스를 동작시키는 기술들 및 아키텍처들은 본원에 설명된다. 상기 설명에서, 설명의 목적들을 위해, 다수의 특정 상세들은 특정 실시예들의 철저한 이해를 제공하기 위해 진술된다. 그러나, 특정 실시예들은 이러한 특정 상세들 없이 실시될 수 있다는 점이 본 기술분야의 통상의 기술자에게 분명할 것이다. 다른 사례들에서, 구조체들 및 디바이스들은 설명을 모호하게 하는 것을 회피하기 위해 블록도 형태로 도시된다.
- [0077] 본 명세서에서 "일 실시예" 또는 "하나의 실시예"에 대한 참조는 실시예와 관련하여 설명되는 특정 특징, 구조,

또는 특성이 본 발명의 적어도 하나의 실시예에 포함되는 것을 의미한다. 본 명세서 내의 다양한 장소들에 있어서 "일 실시예에서"라는 구문의 출현들은 반드시 동일한 실시예를 모두 언급하는 것은 아니다.

[0078] 본원에서 상세한 설명의 일부 부분들은 컴퓨터 메모리 내에서 데이터 비트들 상의 동작들의 알고리즘들 및 기호 표현들에 관해 제공된다. 이러한 알고리즘 설명들 및 표현들은 작업의 본질을 본 기술분야의 다른 통상의 기술자들에게 가장 효과적으로 전달하기 위해 컴퓨팅 기술분야의 통상의 기술자들에 의해 사용되는 수단이다. 알고리즘은 여기서, 및 일반적으로, 원하는 결과를 초래하는 단계들의 자기 일관성 시퀀스인 것으로 생각된다. 단계들은 물리 양들의 물리 조작들을 필요로 하는 것들이다. 통상, 반드시 필요한 것은 아니지만, 이러한 양들은 저장, 전송, 결합, 비교, 및 다른 방법으로 조작될 수 있는 전기 또는 자기 신호들의 형태를 취한다. 이러한 신호들을 비트들, 값들, 요소들, 기호들, 문자들, 항들, 숫자들 등으로서 언급하는 것이 때때로, 주로 공통의 사용의 이유들로 편리한 것으로 증명되었다.

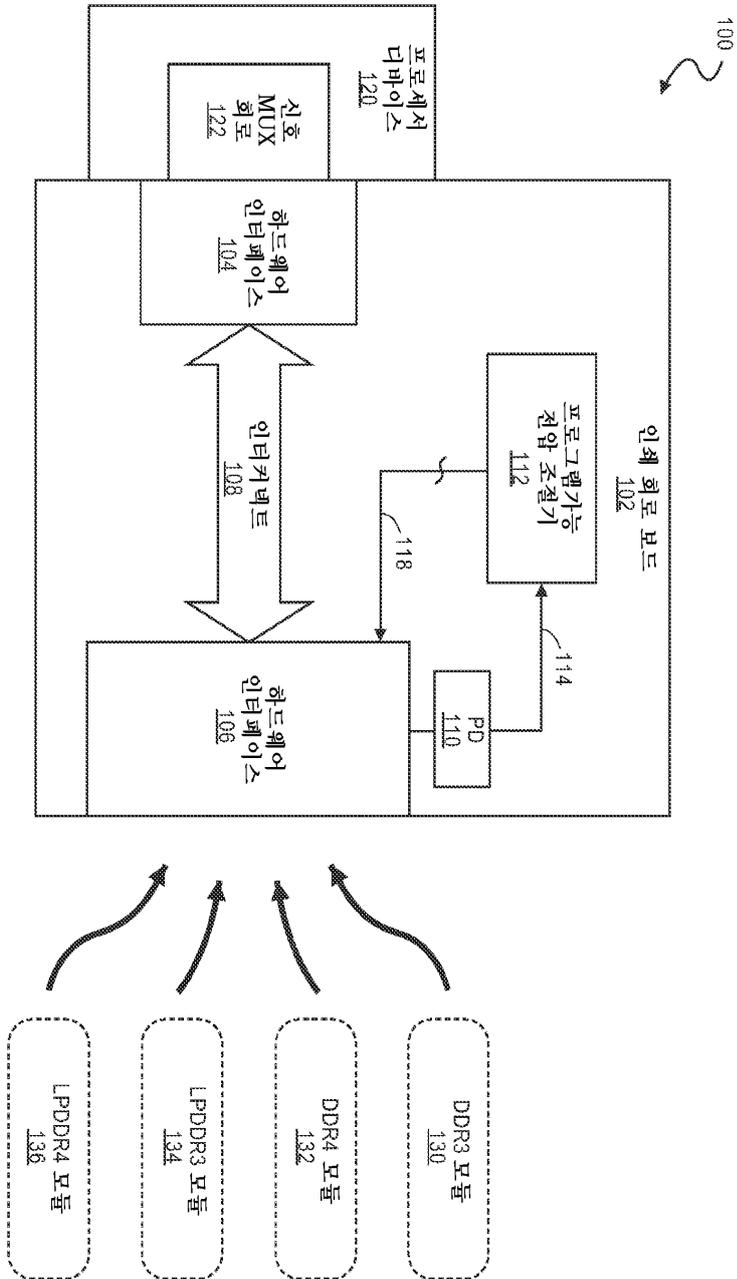
[0079] 그러나, 이러한 및 유사한 용어들의 전부는 적절한 물리 양들과 연관되고 이러한 양들에 적용되는 단지 편리한 라벨들인 점이 기억되어야 한다. 본원에서 논의로부터 분명한 바와 같이 달리 구체적으로 명시되지 않는 한, 본 명세서 도처에서, "처리" 또는 "컴퓨팅" 또는 "계산" 또는 "결정" 또는 "디스플레이" 등과 같은 용어들을 이용하는 논의들은 컴퓨터 시스템의 레지스터들 및 메모리들 내에서 물리(전자) 양들로 표현되는 데이터를 컴퓨터 시스템 메모리들 또는 레지스터들 또는 다른 그러한 정보 스토리지, 송신 또는 디스플레이 디바이스들 내에서 물리 양들로 유사하게 표현되는 다른 데이터로 조작하고 변환하는 컴퓨터 시스템, 또는 유사한 전자 컴퓨팅 디바이스의 동작 및 프로세스들을 언급한다는 점이 이해된다.

[0080] 특정 실시예들은 또한 본원에서 동작들을 수행하는 장치를 언급한다. 이러한 장치는 요구된 목적들을 위해 특별히 구성될 수 있거나, 컴퓨터에 저장되는 컴퓨터 프로그램에 의해 선택적으로 활성화되거나 재구성되는 범용 컴퓨터를 포함할 수 있다. 그러한 컴퓨터 프로그램은 전자 명령어들을 저장하는데 적절하고, 컴퓨터 시스템 버스에 결합되는 플로피 디스크들, 광 디스크들, CD-ROM들, 및 자기 광 디스크들을 포함하는 임의의 타입의 디스크, 판독 전용 메모리들(ROM들), 랜덤 액세스 메모리들(RAM들) 예컨대 동적 RAM(DRAM), EPROM들, EEPROM들, 자기 또는 광학 카드들, 또는 임의의 타입의 매체와 같지만, 이들에 제한되지 않는 컴퓨터 판독가능 스토리지 매체에 저장될 수 있다.

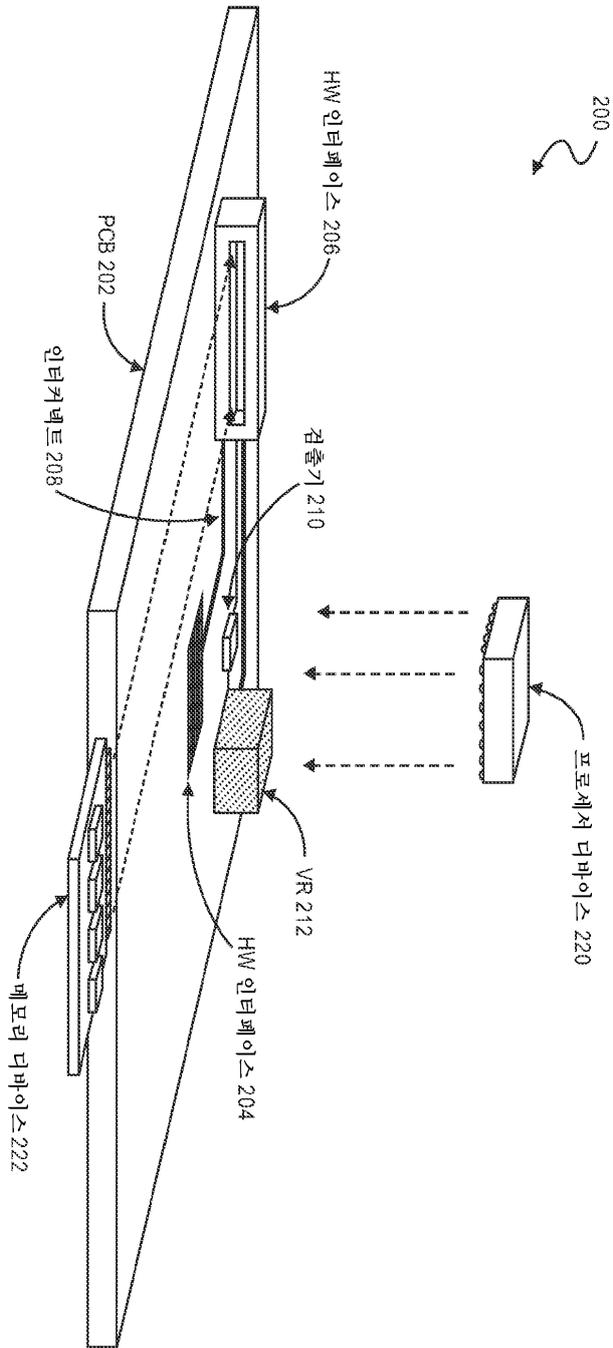
[0081] 본원에 제공되는 알고리즘들 및 디스플레이들은 임의의 특정 컴퓨터 또는 다른 장치와 내재적으로 관련되지 않는다. 다양한 범용 시스템들은 본원에서의 교시들에 따라 프로그램들과 사용될 수 있거나, 요구된 방법 단계들을 수행하기 위해 더 특수한 장치를 구성하는 것이 편리한 것으로 증명될 수 있다. 다양한 이들 시스템들에 대한 요구된 구조는 본원에서 설명으로부터 나타날 것이다. 부가적으로, 특정 실시예들은 임의의 특정 프로그래밍 언어를 참조하여 설명되지 않는다. 다양한 프로그래밍 언어들은 본원에 설명되는 바와 같이 그러한 실시예들의 교시들을 구현하기 위해 사용될 수 있다는 점이 이해될 것이다.

[0082] 본원에 설명된 것 외에, 다양한 수정들은 범위에서 벗어나는 것 없이 개시된 실시예들 및 그것의 구현들에 이루어질 수 있다. 따라서, 본원에서의 예시들 및 예들은 예시적인 의미로 해석되고, 제한적인 의미로 해석되지 않아야 한다. 본 발명의 범위는 이하의 청구항들에 대한 참조에 의해서만 측정되어야 한다.

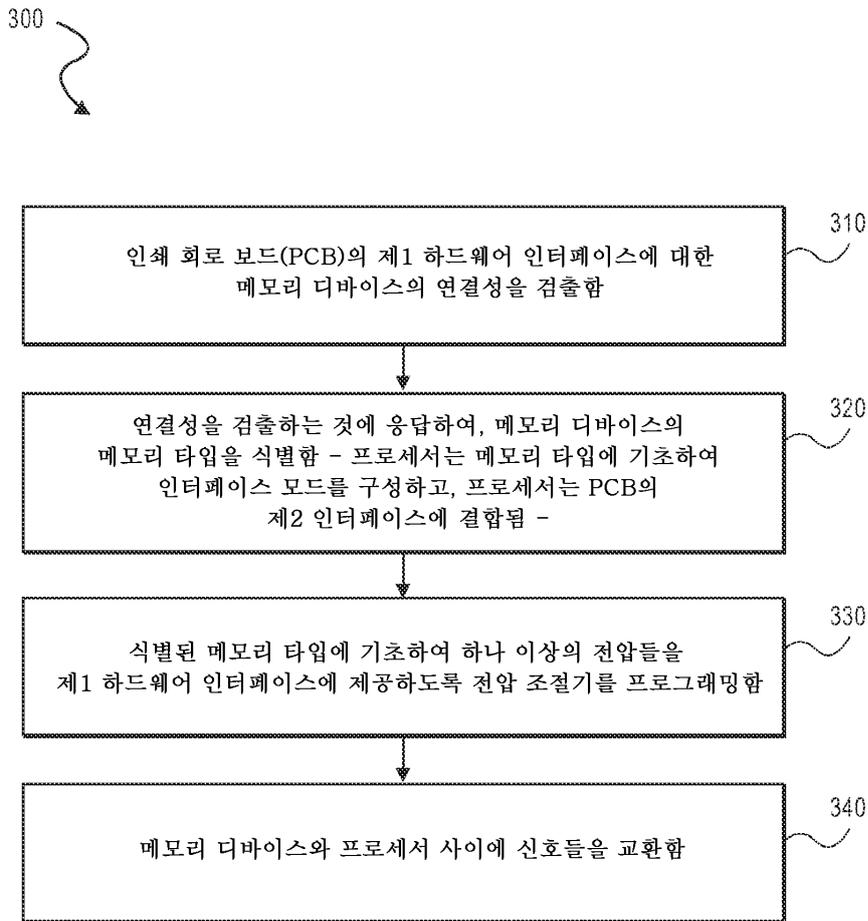
도면
도면1



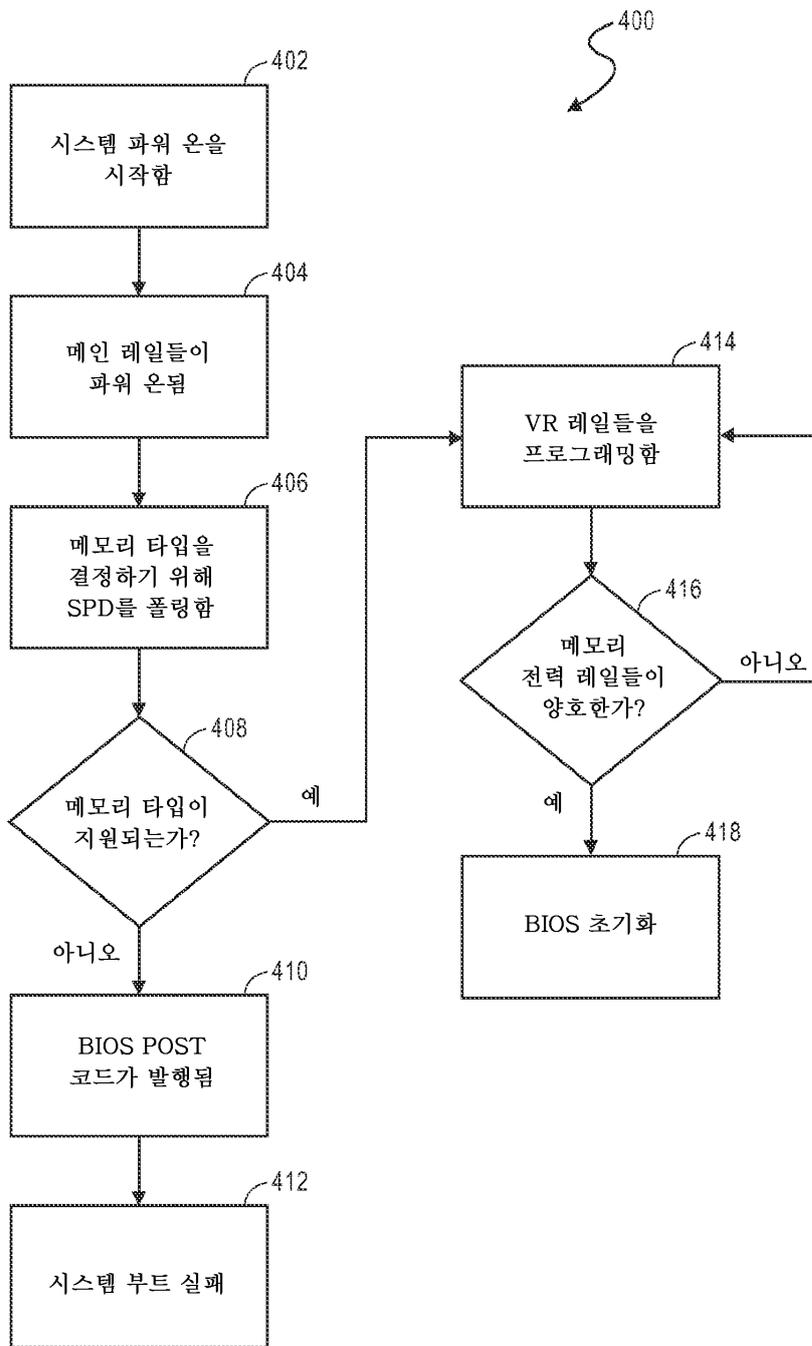
도면2



도면3



도면4



도면5

DDR4 신호 설명들 500

신호 핀 (DDR4)	설명
CK_t, CK_c	클록
CKE, (CKE1)	클록 인에이블
CS_n, (CS1_n)	칩 선택
C0, C1, C2	칩 ID
ODT, (ODT1)	온 다이 종단
ACT_n	활성화 커맨드 입력
RAS_n/A16, CAS_n/	RAS: 행 어드레스/CAS: 열 어드레스
DM_n/DBI_n	입력 데이터 마스크 및 데이터 버스 반전
BG0 - BG1	뱅크 그룹 입력들
BA0 - BA1	뱅크 어드레스 입력들
A0 - A17	어드레스 입력들
A10/AP	자동-프리차지
A12/BC_n	버스트 스텝
RESET_n	리셋
PAR	커맨드 및 어드레스 패리티

LPDDR3 신호 설명들 510

신호 핀 (LPDDR3)	설명
CK_t, CK_c	클록
CKE	클록 인에이블
CS_n	칩 선택
CA0-CA9	커맨드/어드레스 입력들
DQ	데이터 입력/출력
DM	입력 데이터 마스크
ODT	온 다이 종단

LPDDR4 신호 설명들 520

신호 핀 (LPDDR4)	설명
CK_t_A	클록
CK_c_A	
CK_t_B	
CK_c_B	
CKE_A	클록 인에이블
CKE_B	
CS_A/CS_B	칩 선택
CAA/CAB	커맨드/어드레스 입력들
ODT	온 다이 종단
DQ	데이터 입력/출력
DQS	데이터 스트로브
DMI[1:0]_A/DMI[1:0]_B	데이터 마스크 반전
RESET_n	리셋

도면6

DDR4 세트 600		LPDDR3 세트 610		LPDDR4 세트 620		슈퍼 세트 630	
신호들의 #	신호들의 #	신호들의 #	신호들의 #	신호들의 #	신호들의 #	신호들의 #	신호들의 #
DDQ	64	DDQ	64	DDQ	64	DDQ	64
DM ⁱ	8	DM ⁱ	8	DM ⁱ	8	DM ⁱ	8
DQS ⁱ	18	DQS ⁱ	16	DQS ⁱ	16	DQS ⁱ	18
CKE ⁱ	2	CKE ⁱ	4	CKE ⁱ	4	CKE ⁱ	4
CS ⁱ	2	CS ⁱ	4	CS ⁱ	4	CS ⁱ	4
CK0 ⁱ	2	CK0 ⁱ	2	CK0 ⁱ	2	CK0 ⁱ	2
CK1 ⁱ	2	CK1 ⁱ	2	CK1 ⁱ	2	CK1 ⁱ	2
A ⁱ	19	'CAA ⁱ	10	'CAA ⁱ	6	'CAA ⁱ	19
B ⁱ	4	'CAB ⁱ	10	'CAB ⁱ	6	'CAB ⁱ	1
VDD_SPD	1	VDD_SPD	0	VDD_SPD	0	VDD_SPD	1
VPP	2	VPP	0	VPP	0	VPP	2
VTT	1	VTT	0	VTT	0	VTT	1
VREFDQ	0	VREFDQ	1	VREFDQ	0	VREFDQ	1
Vref_CA	0	Vref_CA	1	Vref_CA	0	Vref_CA	1
RESET_n	1	RESET_n	0	RESET_n	1	RESET_n	1
ALERT_n	1	ALERT_n	0	ALERT_n	0	ALERT_n	1
페리터	1	페리터	0	페리터	0	페리터	1
SDA	1	SDA	1	SDA	1	SDA	1
SA0	1	SA0	1	SA0	1	SA0	1
SA1	1	SA1	1	SA1	1	SA1	1
SCL	1	SCL	1	SCL	1	SCL	1
총	132	총	126	총	117	총	144

전압	DDR4	LP3	LP4	슈퍼 세트
VDD_SPD	1.7-3.3V	1.7-3.3V	1.7-3.3V	1.7-3.3V
VDD	1.2V	1.2V	1.1V	1.1 및 1.2
VDDQ	1.2V	1.2V	1.1V	1.1 및 1.2
VPP	2.5V	1.8V	1.8V	2.5 및 1.8

전압 테이블 640

도면7a

신호 배령 Z00a

CPU (1 DPC)	DDR3 (슬롯 0)	DDR4 (슬롯 0)	LP3 (2Rx64) (1DPC만)	LP3 (2x2Rx32) (1DPC만)	LP4 (2x2Rx32) (1DPC만)
CLK_P10	CLK_P10	CLK_P10	OKA_P10	OKA_P10	OKA_P10
CLK_N10	CLK_N10	CLK_N10	OKA_N10	OKA_N10	OKA_N10
CLK_P11	CLK_P11	CLK_P11	OKB_P10	OKB_P10	OKB_P10
CLK_N11	CLK_N11	CLK_N11	OKB_N10	OKB_N10	OKB_N10
CS_N10	CS_N10	CS_N10	CS_N10	CS_A_N10	CS_A10
CS_N11	CS_N11	CS_N11	CS_N11	CS_B_N11	CS_B11
CS_N12		CS_N10		CS_A_N11	
CS_N13		CS_N11		CS_B_N10	
CS_ODT10	ODT10	ODT10	ODT10	ODT_A10	CS_A11
CS_ODT11	ODT11	ODT11		ODT_B10	CS_B10
CKE10	CKE10	CKE10	CKE_A10	CKE_A10	CKE_A10
CKE11	CKE11	CKE11	CKE_A11	CKE_A11	CKE_A11
CKE12			CKE_B10	CKE_B10	CKE_B10
CKE13	CKE11'	CKE11'	CKE_B11	CKE_B11	CKE_B11
CKE14					
CKE15					
CKE16					
CKE17					

MA10	MA10	MA10	CAB19	CAB19	
MA11	MA11	MA11	CAB18	CAB18	
MA12	MA12	MA12	CAB15	CAB15	CAB15
MA13	MA13	MA13			X
MA14	MA14	MA14			X
MA15	MA15	MA15	CAA10	CAA10	CAA10
MA16	MA16	MA16	CAA12	CAA12	CAA12
MA17	MA17	MA17	CAA14	CAA14	CAA14
MA18	MA18	MA18	CAA13	CAA13	CAA12
MA19	MA19	MA19	CAA11	CAA11	CAA11
MA10	MA10	MA10	CAB17	CAB17	
MA11	MA11	MA11	CAA17	CAA17	
MA12	MA12	MA12	CAA16	CAA16	
MA13	MA13	MA13	CAB10	CAB10	CAB10
MA14	MA14	BG11	CAA19	CAA19	
MA15	MA15	ACT_N	CAA18	CAA18	
RAS_N	RAS_N	A16RAS_n	CAB13	CAB13	CAB13
CAS_N	CAS_N	A15CAS_n	CAB11	CAB11	CAB11
WE_N	WE_N	A14WE_n	CAB12	CAB12	CAB12
BA10	BA10	BA10	CAB14	CAB14	CAB14
BA11	BA11	BA11	CAB16	CAB16	
BA12	BA12	BG10	CAA15	CAA15	CAA15
신규		C0			
신규		C1			
패리티		패리티			
경보		경보			

도면7b

신호 패턴(계속됨) 700b

CPU (1DPC)	DDR3 (스롯 0)	DDR4 (스롯 0)	LP3 (2Rx84) (1DPC 면)	LP3 (2x2Rx32) (1DPC 면)	LP4 (2x2Rx32) (1DPC 면)
DQ[0]	DQ[0]	DQ[0]	DQ[0]	DQ[0]	DQA[0]
DQ[1]	DQ[1]	DQ[1]	DQ[1]	DQ[1]	DQA[1]
DQ[2]	DQ[2]	DQ[2]	DQ[2]	DQ[2]	DQA[2]
DQ[3]	DQ[3]	DQ[3]	DQ[3]	DQ[3]	DQA[3]
DQ[4]	DQ[4]	DQ[4]	DQ[4]	DQ[4]	DQA[4]
DQ[5]	DQ[5]	DQ[5]	DQ[5]	DQ[5]	DQA[5]
DQ[6]	DQ[6]	DQ[6]	DQ[6]	DQ[6]	DQA[6]
DQ[7]	DQ[7]	DQ[7]	DQ[7]	DQ[7]	DQA[7]
DQ[8]	DQ[8]	DQ[8]	DQ[8]	DQ[8]	DQA[8]
DQ[9]	DQ[9]	DQ[9]	DQ[9]	DQ[9]	DQA[9]
DQ[10]	DQ[10]	DQ[10]	DQ[10]	DQ[10]	DQA[10]
DQ[11]	DQ[11]	DQ[11]	DQ[11]	DQ[11]	DQA[11]
DQ[12]	DQ[12]	DQ[12]	DQ[12]	DQ[12]	DQA[12]
DQ[13]	DQ[13]	DQ[13]	DQ[13]	DQ[13]	DQA[13]
DQ[14]	DQ[14]	DQ[14]	DQ[14]	DQ[14]	DQA[14]
DQ[15]	DQ[15]	DQ[15]	DQ[15]	DQ[15]	DQA[15]
DQ[16]	DQ[16]	DQ[16]	DQ[16]	DQ[16]	DQA[16]
DQ[17]	DQ[17]	DQ[17]	DQ[17]	DQ[17]	DQA[17]
DQ[18]	DQ[18]	DQ[18]	DQ[18]	DQ[18]	DQA[18]
DQ[19]	DQ[19]	DQ[19]	DQ[19]	DQ[19]	DQA[19]
DQ[20]	DQ[20]	DQ[20]	DQ[20]	DQ[20]	DQA[20]

DQ[21]	DQ[21]	DQ[21]	DQ[21]	DQ[21]	DQA[21]
DQ[22]	DQ[22]	DQ[22]	DQ[22]	DQ[22]	DQA[22]
DQ[23]	DQ[23]	DQ[23]	DQ[23]	DQ[23]	DQA[23]
DQ[24]	DQ[24]	DQ[24]	DQ[24]	DQ[24]	DQA[24]
DQ[25]	DQ[25]	DQ[25]	DQ[25]	DQ[25]	DQA[25]
DQ[26]	DQ[26]	DQ[26]	DQ[26]	DQ[26]	DQA[26]
DQ[27]	DQ[27]	DQ[27]	DQ[27]	DQ[27]	DQA[27]
DQ[28]	DQ[28]	DQ[28]	DQ[28]	DQ[28]	DQA[28]
DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQA[29]
DQ[30]	DQ[30]	DQ[30]	DQ[30]	DQ[30]	DQA[30]
DQ[31]	DQ[31]	DQ[31]	DQ[31]	DQ[31]	DQA[31]
DQ[32]	DQ[32]	DQ[32]	DQ[32]	DQ[32]	DQA[32]
DQ[33]	DQ[33]	DQ[33]	DQ[33]	DQ[33]	DQA[33]
DQ[34]	DQ[34]	DQ[34]	DQ[34]	DQ[34]	DQA[34]
DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQA[35]
DQ[36]	DQ[36]	DQ[36]	DQ[36]	DQ[36]	DQA[36]
DQ[37]	DQ[37]	DQ[37]	DQ[37]	DQ[37]	DQA[37]
DQ[38]	DQ[38]	DQ[38]	DQ[38]	DQ[38]	DQA[38]
DQ[39]	DQ[39]	DQ[39]	DQ[39]	DQ[39]	DQA[39]
DQ[40]	DQ[40]	DQ[40]	DQ[40]	DQ[40]	DQA[40]

도면7c

신호 배령(계수원) 702c

CPU (1DPC)	DDR3 (슬롯 0)	DDR4 (슬롯 0)	LP3 (2Rx64) (1DPC 번)	LP3 (2x2Rx32) (1DPC 번)	LP4 (2x2Rx32) (1DPC 번)
DQ[41]	DQ[41]	DQ[41]	DQ[41]	DQ[41]	DOB[9]
DQ[42]	DQ[42]	DQ[42]	DQ[42]	DQ[42]	DOB[10]
DQ[43]	DQ[43]	DQ[43]	DQ[43]	DQ[43]	DOB[11]
DQ[44]	DQ[44]	DQ[44]	DQ[44]	DQ[44]	DOB[12]
DQ[45]	DQ[45]	DQ[45]	DQ[45]	DQ[45]	DOB[13]
DQ[46]	DQ[46]	DQ[46]	DQ[46]	DQ[46]	DOB[14]
DQ[47]	DQ[47]	DQ[47]	DQ[47]	DQ[47]	DOB[15]
DQ[48]	DQ[48]	DQ[48]	DQ[48]	DQ[48]	DOB[16]
DQ[29]	DQ[29]	DQ[29]	DQ[29]	DQ[29]	DOB[17]
DQ[50]	DQ[50]	DQ[50]	DQ[50]	DQ[50]	DOB[18]
DQ[51]	DQ[51]	DQ[51]	DQ[51]	DQ[51]	DOB[19]
DQ[52]	DQ[52]	DQ[52]	DQ[52]	DQ[52]	DOB[20]
DQ[53]	DQ[53]	DQ[53]	DQ[53]	DQ[53]	DOB[21]
DQ[54]	DQ[54]	DQ[54]	DQ[54]	DQ[54]	DOB[22]
DQ[35]	DQ[35]	DQ[35]	DQ[35]	DQ[35]	DOB[23]
DQ[56]	DQ[56]	DQ[56]	DQ[56]	DQ[56]	DOB[24]
DQ[57]	DQ[57]	DQ[57]	DQ[57]	DQ[57]	DOB[25]
DQ[58]	DQ[58]	DQ[58]	DQ[58]	DQ[58]	DOB[26]
DQ[59]	DQ[59]	DQ[59]	DQ[59]	DQ[59]	DOB[27]
DQ[60]	DQ[60]	DQ[60]	DQ[60]	DQ[60]	DOB[28]
DQ[61]	DQ[61]	DQ[61]	DQ[61]	DQ[61]	DOB[29]
DQ[62]	DQ[62]	DQ[62]	DQ[62]	DQ[62]	DOB[30]
DQ[63]	DQ[63]	DQ[63]	DQ[63]	DQ[63]	DOB[31]
NC	DM/DB[0]	DM/DB[0]	DM/DB[0]	DM/DB[0]	DM/DB[A0]
NC	DM/DB[1]	DM/DB[1]	DM/DB[1]	DM/DB[1]	DM/DB[A1]
NC	DM/DB[2]	DM/DB[2]	DM/DB[2]	DM/DB[2]	DM/DB[A2]
NC	DM/DB[3]	DM/DB[3]	DM/DB[3]	DM/DB[3]	DM/DB[A3]
NC	DM/DB[4]	DM/DB[4]	DM/DB[4]	DM/DB[4]	DM/DB[B0]
NC	DM/DB[5]	DM/DB[5]	DM/DB[5]	DM/DB[5]	DM/DB[B1]
NC	DM/DB[6]	DM/DB[6]	DM/DB[6]	DM/DB[6]	DM/DB[B2]
NC	DM/DB[7]	DM/DB[7]	DM/DB[7]	DM/DB[7]	DM/DB[B3]

DOS_P[0]	DOS_P[0]	DOS_P[0]	DOS_P[0]	DOS_P[0]	DOSA_P[0]
DOS_N[0]	DOS_N[0]	DOS_N[0]	DOS_N[0]	DOS_N[0]	DOSA_N[0]
DOS_P[1]	DOS_P[1]	DOS_P[1]	DOS_P[1]	DOS_P[1]	DOSA_P[1]
DOS_N[1]	DOS_N[1]	DOS_N[1]	DOS_N[1]	DOS_N[1]	DOSA_N[1]
DOS_P[2]	DOS_P[2]	DOS_P[2]	DOS_P[2]	DOS_P[2]	DOSA_P[2]
DOS_N[2]	DOS_N[2]	DOS_N[2]	DOS_N[2]	DOS_N[2]	DOSA_N[2]
DOS_P[3]	DOS_P[3]	DOS_P[3]	DOS_P[3]	DOS_P[3]	DOSA_P[3]
DOS_N[3]	DOS_N[3]	DOS_N[3]	DOS_N[3]	DOS_N[3]	DOSA_N[3]
DOS_P[4]	DOS_P[4]	DOS_P[4]	DOS_P[4]	DOS_P[4]	DOSA_P[4]
DOS_N[4]	DOS_N[4]	DOS_N[4]	DOS_N[4]	DOS_N[4]	DOSA_N[4]
DOS_P[5]	DOS_P[5]	DOS_P[5]	DOS_P[5]	DOS_P[5]	DOSA_P[5]
DOS_N[5]	DOS_N[5]	DOS_N[5]	DOS_N[5]	DOS_N[5]	DOSA_N[5]
DOS_P[6]	DOS_P[6]	DOS_P[6]	DOS_P[6]	DOS_P[6]	DOSA_P[6]
DOS_N[6]	DOS_N[6]	DOS_N[6]	DOS_N[6]	DOS_N[6]	DOSA_N[6]
DOS_P[7]	DOS_P[7]	DOS_P[7]	DOS_P[7]	DOS_P[7]	DOSA_P[7]
DOS_N[7]	DOS_N[7]	DOS_N[7]	DOS_N[7]	DOS_N[7]	DOSA_N[7]

도면 8a

DDR3L 모드 핀아웃(260-핀 커넥터) 800

핀 #	전면 측	핀 #	후면 측
1	RSVD	2	RSVD
3	VSS	4	VSS
5	VSS	6	VSS
7	DQ0	8	DQ4
9	DQ1	10	DQ5
11	VSS	12	VSS
13	DQS0_c	14	DMADB10
15	DQS0_t	16	VSS
17	VSS	18	DQ6
19	DQ2	20	DQ7
21	DQ3	22	VSS
23	VSS	24	DQ12
25	DQ8	26	DQ13
27	DQ9	28	VSS
29	VSS	30	DQS1_c
31	DM7DB11	32	DQS1_t
33	VSS	34	VSS
35	DQ10	36	DQ14
37	DQ11	38	DQ15
39	VSS	40	VSS
41	DQ16	42	DQ20
43	DQ17	44	DQ21
45	VSS	46	VSS
47	DQS2_c	48	DM2DB12
49	DQS2_t	50	VSS
51	VSS	52	DQ22
53	DQ18	54	DQ23
55	DQ19	56	VSS
57	VSS	5	DQ28
59	DQ24	60	DQ29
61	DQ25	62	VSS
63	VSS	64	DQS3_c
65	DM3DB13	66	DQS3_t
67	VSS	68	VSS
69	DQ26	70	DQ30

핀 #	전면 측	핀 #	후면 측
127	A6	128	A4
129	VSS	130	VSS
131	A3	132	A2
133	A1	134	EVENT_n
135	VSS	136	VSS
137	CLK0_t	138	CLK1_t
139	CLK0_c	140	CLK1_c
141	VSS	142	VSS
143	사용되지 않음	144	A0
145	BA1	146	A10
147	VSS	148	VSS
149	RFU	150	BA0
151	WE_n	52	RAS_n
153	VSS	154	VSS
155	RU	156	A13
157	CS0_n	158	CAS_n
159	VSS	160	VSS
161	ODT0	162	CS1_n
163	CS2_n	164	ODT1
165	VSS	166	VSS
167	CS3_n	168	VREF_CA
169	VSS	170	VSS
171	VD0	172	VD0
173	VD0	174	VD0
175	VD0	176	VD0
177	VD0	178	VD0
179	VD0	180	VD0
181	VSS	182	VSS
183	DQ32	184	DQ36
185	DQ33	186	DQ37
187	VSS	188	VSS
189	DQS3_c	190	DM4DB14
191	DQS3_t	192	VSS
193	VSS	194	DQ38
195	DQ34	196	DQ39

71	DQ27	72	DQ31
73	VSS	74	VSS
75	C90	76	C94
77	C91	78	C95
79	VSS	80	VSS
81	DQS8_c	82	DM8DB18
83	DQS8_t	84	VSS
85	VSS	86	C96
87	C92	88	C97
89	C93	90	VSS
91	VSS	92	VREF_DQ
93	VD0	94	VD0
95	VD0	96	VD0
97	VD0	98	VD0
99	VD0	100	VD0
101	VSS	102	RESET_n
키		키	
103	CKE0	104	CKE1
105	VSS	106	VSS
107	CKE2	108	CKE3
109	사용되지 않음	110	사용되지 않음
111	VSS	112	VSS
113	A14	114	A15
115	BA2	116	사용되지 않음
117	VSS	118	VSS
119	A12	120	A11
121	A9	122	A7
123	VSS	124	VSS
125	A8	126	A5

197	DQ35	198	VSS
199	VSS	200	DQ44
201	DQ40	202	DQ45
203	DQ41	204	VSS
205	VSS	206	DQS5_c
207	DM5DB15	208	DQS5_t
209	VSS	210	VSS
211	DQ42	212	DQ46
213	DQ43	214	DQ47
215	VSS	216	VSS
217	DQ48	218	DQ52
219	DQ49	220	DQ53
221	VSS	222	VSS
223	DQS6_c	224	DM6DB16
225	DQS6_t	226	VSS
227	VSS	228	DQ54
229	DQ50	230	DQ55
231	DQ51	232	VSS
233	VSS	234	DQ60
235	DQ56	236	DQ61
237	DQ57	238	VSS
239	VSS	240	DQ57_c
241	DM7DB17	242	DQ57_t
243	VSS	244	VSS
245	DQ58	246	DQ52
247	DQ59	248	DQ63
249	VSS	250	VSS
251	SCL	252	SDA
253	VD0_SPD	254	SA0
255	SA2	256	SA1
257	VPP	258	VTT
259	VPP	260	VTT

도면 8b

DDR4 모드 핀아웃(260-핀 커넥터) 810

핀#	핀명	핀#	핀명
1	VSS	2	VSS
3	D05	4	D04
5	VSS	6	VSS
7	D01	8	D00
9	VSS	10	VSS
11	D090_C	12	DM0_nDBI0_n
13	D090_I	14	VSS
15	VSS	16	D06
17	D07	18	VSS
19	VSS	20	D02
21	D03	22	VSS
23	VSS	24	D012
25	D013	26	VSS
27	VSS	28	D08
29	D09	30	VSS
31	VSS	32	D081_c
33	D1_nDBI1_n	34	D081_i
35	VSS	36	VSS
37	D015	38	D014
39	VSS	40	VSS
41	D010	42	D011
43	VSS	44	VSS
45	D021	46	D020
47	VSS	48	VSS
49	D017	50	D016
51	VSS	52	VSS
53	D082_c	54	DM2_nDBI2_n
55	D082_i	56	VSS
57	VSS	5	D022
59	D023	60	VSS
61	VSS	62	D018
63	D019	64	VSS
65	VSS	66	D028
67	D029	68	VSS
69	VSS	70	D024

핀#	핀명	핀#	핀명
135	VDD	136	VDD
137	CK0_i	138	CD1_i
139	CK0_c	140	CK1_c
141	VDD	142	VDD
143	패리티	144	A0
키			
145	BA1	146	A10AP
147	VDD	148	VDD
149	CS0_n	150	BA0
151	A14WE_n	152	A10RAS_n
153	VDD	154	VDD
155	ODT0	156	A15CAS_n
157	CS1_n	158	A13
159	VDD	160	VDD
161	ODT1	162	CO_CS2_n
163	VDD	164	VREFCA
165	C1_CS3_n	166	SA2
167	VSS	168	VSS
169	D037	170	D036
171	VSS	172	VSS
173	D033	174	D032
175	VSS	176	VSS
177	D084_c	178	DM4_nDBI4_n
179	D084_i	180	VSS
181	VSS	182	D039
183	D038	184	VSS
185	VSS	186	D033
187	D034	188	VSS
189	VSS	190	D045
191	D044	192	VSS
193	VSS	194	D041
195	D040	196	VSS

71	D025	72	VSS
73	VSS	74	D083_c
75	DM3_nDBI3_n	76	D083_i
77	VSS	78	VSS
79	D030	80	D081
81	VSS	82	VSS
83	D026	84	D027
85	VSS	86	VSS
87	CS5_NC	88	CS4_NC
89	VSS	90	VSS
91	CS1_NC	92	CS0_NC
93	VSS	94	VSS
95	D088_c	96	DBI6_n
97	D088_i	98	VSS
99	VSS	100	CS6_NC
101	CS2_NC	102	VSS
103	VSS	104	CS7_NC
105	CS3_NC	106	VSS
107	VSS	108	RESET_n
109	CKE0	110	CKE1
111	VDD	112	VDD
113	BG1	114	ACT_n
115	BG0	116	ALERT_n
117	VDD	118	VDD
119	A12	120	A11
121	AG	122	A7
123	VDD	124	VDD
125	AG	126	A5
127	AG	128	A4
129	VDD	130	VDD
131	A3	132	A2
133	A1	134	EVENT_n

197	VSS	198	D085_C
199	DM5_nDBI5_n	200	D085_I
201	VSS	202	VSS
203	D046	204	D047
205	VSS	206	VSS
207	D042	208	D043
209	VSS	210	VSS
211	D082	212	D083
213	VSS	214	VSS
215	D049	216	D048
217	VSS	218	VSS
219	D086_c	220	DM6_nDBI6_n
221	D086_i	222	VSS
223	VSS	224	D084
225	D085	226	VSS
227	VSS	228	D080
229	D081	230	VSS
231	VSS	232	D060
233	D081	234	VSS
235	VSS	236	D087
237	D088	238	VSS
239	VSS	240	D087_c
241	DM7_nDBI7_n	242	D087_i
243	VSS	244	VSS
245	D082	246	D083
247	VSS	248	VSS
249	D088	250	D089
251	VSS	252	VSS
253	SCL	254	SDA
255	VDD SPD	256	SA0
257	VPP	258	VTT
259	VPP	260	SA1

도면8c

LDDR3 모드 편아웃(260-핀 커넥터) 820

핀#	전면 측	핀#	후면 측
1	RSVD	2	RSVD
3	RSVD	4	RSVD
5	VSS	6	VSS
7	D00	8	D04
9	D01	10	D05
11	VSS	12	VSS
13	D0S0_c	14	DM4DB10
15	D0S0_l	16	VSS
17	VSS	18	D06
19	D02	20	D07
21	D03	22	VSS
23	VSS	24	D012
25	D08	26	D013
27	D09	28	VSS
29	VSS	30	D0S1_c
31	DM4DB11	32	D0S1_l
33	VSS	34	VSS
35	D010	36	D014
37	D011	38	D015
39	VSS	40	VSS
41	D016	42	D020
43	D017	44	D021
45	VSS	46	VSS
47	D0S2_c	48	DM2DB12
49	D0S2_l	50	VSS
51	VSS	52	D022
53	D018	54	D023
55	D019	56	VSS
57	VSS	5	D028
59	D024	60	D029
61	D025	62	VSS
63	VSS	64	D0S3_c
65	DM3DB13	66	D0S3_l
67	VSS	68	VSS
69	D026	70	D030

핀#	전면 측	핀#	후면 측
127	CA4_02	128	사용되지 않음
129	VSS	130	VSS
131	사용되지 않음	132	CAE_05
133	CAE_08	134	EVENT_n
135	VSS	136	VSS
137	CLKA_l	138	CLKB_l
139	CLKA_c	140	CLKB_c
141	VSS	142	VSS
143	사용되지 않음	144	CAE_09
145	CAE_06	146	CAE_07
147	VSS	148	VSS
149	RFU	150	CAE_04
151	CAE_02	152	CAE_03
153	VSS	154	VSS
155	RFU	156	CAE_00
157	CS40_n	158	CAE_01
159	VSS	160	VSS
161	ODTR0	162	CSB1_n
163	CS41_n	164	ODTB0
165	VSS	166	VSS
167	CS90_n	168	REF_CA
169	VSS	170	VSS
171	VDD	172	VDD
173	VDD	174	VDD
175	VDD	176	VDD
177	VDD	178	VDD
179	VDD	180	VDD
181	VSS	182	VSS
183	D0S2	184	D0S6
185	D0S3	186	D0S7
187	VSS	188	VSS
189	D0S4_c	190	DM4DB14
191	D0S4_l	192	VSS
193	VSS	194	D0S8
195	D0S4	196	D0S9

71	D027	72	D031
73	VSS	74	VSS
75	사용되지 않음	76	사용되지 않음
77	사용되지 않음	78	사용되지 않음
79	VSS	80	VSS
81	사용되지 않음	82	사용되지 않음
83	사용되지 않음	84	VSS
85	VSS	86	사용되지 않음
87	사용되지 않음	88	사용되지 않음
89	사용되지 않음	90	VSS
91	VSS	92	REF_D0
93	VDD	94	VDD
95	VDD	96	VDD
97	VDD	98	VDD
99	VDD	100	VDD
101	VSS	102	RESET_n
키		키	
103	CKEA0	104	CKEA1
105	VSS	106	VSS
107	CKEB0	108	CKEB1
109	사용되지 않음	110	사용되지 않음
111	VSS	112	VSS
113	CA4_09	114	CA4_08
115	CA4_05	116	사용되지 않음
117	VSS	118	VSS
119	CA4_06	120	CA4_07
121	CA4_01	122	CA4_04
123	VSS	124	VSS
125	CA4_03	126	CA4_00

197	D0S5	198	VSS
199	VSS	200	D044
201	D040	202	D045
203	D041	204	VSS
205	VSS	206	D0S5_c
207	DM5DB15	208	D0S5_l
209	VSS	210	VSS
211	D042	212	D046
213	D043	214	D047
215	VSS	216	VSS
217	D048	218	D0S2
219	D049	220	D0S3
221	VSS	222	VSS
223	D0S6_c	224	DM6DB16
225	D0S6_l	226	VSS
227	VSS	228	D0S4
229	D0S0	230	D0S5
231	D0S1	232	VSS
233	VSS	234	D0S0
235	D0S6	236	D0S1
237	D0S7	238	VSS
239	VSS	240	D0S7_c
241	DM7DB17	242	D0S7_l
243	VSS	244	VSS
245	D0S8	246	D0S2
247	D0S9	248	D0S3
249	VSS	250	VSS
251	SCL	252	SVA
253	VDD_SPD	254	SA0
255	SA2	256	SA1
257	VPP	258	VTT
259	VPP	260	VTT

LPPDR4 모드 핀아웃(260-핀 커넥터) 830

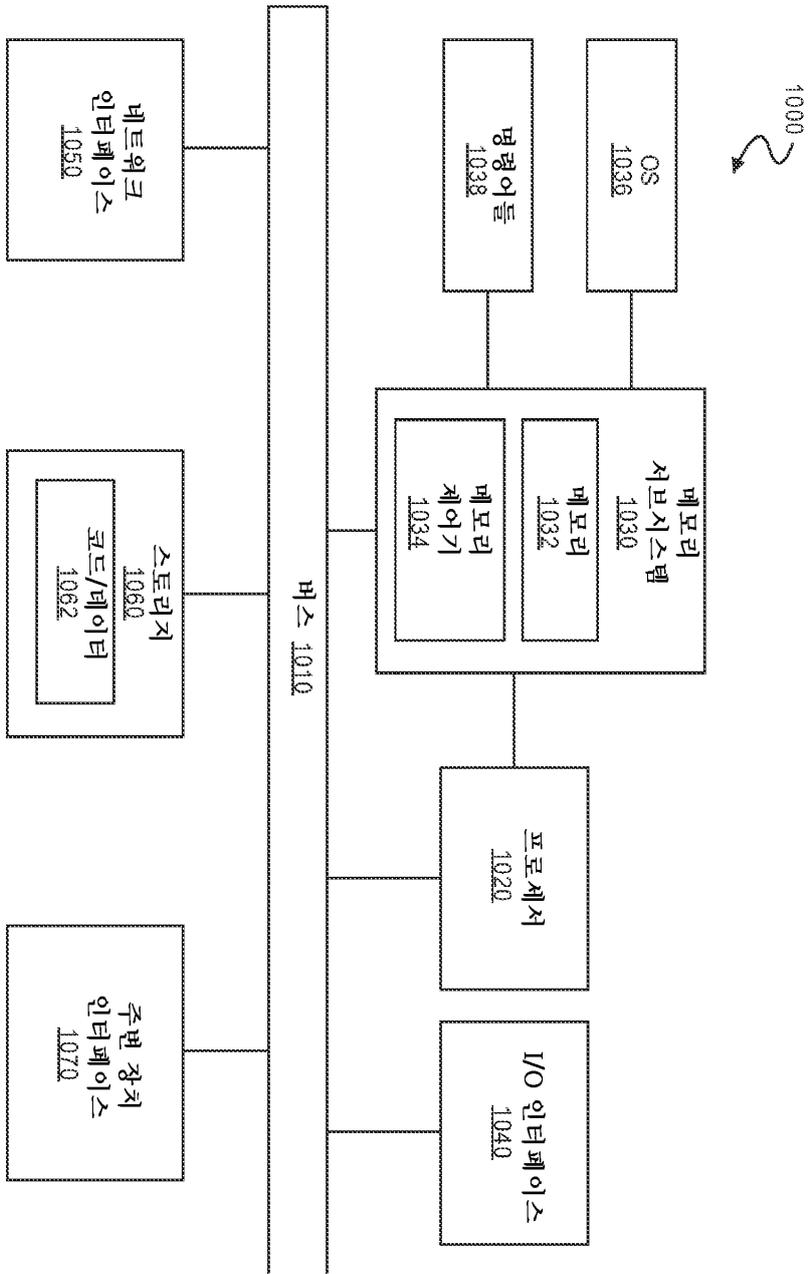
핀#	전면 측	핀#	후면 측
1	RSVD	2	RSVD
3	RSVD	4	RSVD
5	VSS	6	VSS
7	D00	8	D04
9	D01	10	D05
11	VSS	12	VSS
13	D090_c	14	DM4DB10
15	D090_i	16	VSS
17	VSS	18	D06
19	D02	20	D07
21	D03	22	VSS
23	VSS	24	D072
25	D06	26	D073
27	D09	28	VSS
29	VSS	30	D091_c
31	DM1DB1_i	32	D091_i
33	VSS	34	VSS
35	D010	36	D074
37	D011	38	D075
39	VSS	40	VSS
41	D016	42	D020
43	D017	44	D021
45	VSS	46	VSS
47	D092_c	48	DM2DB2
49	D092_i	50	VSS
51	VSS	52	D022
53	D018	54	D023
55	D019	56	VSS
57	VSS	5	D028
59	D024	60	D029
61	D025	62	VSS
63	VSS	64	D093_c
65	DM3DB3	66	D093_i
67	VSS	68	VSS
69	D026	70	D090

핀#	전면 측	핀#	후면 측
127	CAA_02	128	사용되지 않음
129	VSS	130	VSS
131	사용되지 않음	132	CAB_09
133	사용되지 않음	134	EVENT_n
135	VSS	136	VSS
137	CLKA_i	138	CLKB_i
139	CLKA_c	140	CLKB_c
141	VSS	142	VSS
143	사용되지 않음	144	사용되지 않음
145	사용되지 않음	146	사용되지 않음
147	VSS	148	VSS
149	RFU	150	CAB_04
151	CAB_02	52	CAB_03
153	VSS	154	VSS
155	RFU	156	CAB_00
157	CSA0	158	CAB_01
159	VSS	160	VSS
161	CSA2	162	CS91
163	CSA1	164	CS92
165	VSS	166	VSS
167	CSB0	168	VREF_CA
169	VSS	170	VSS
171	VD0	172	VD0
173	VD0	174	VD0
175	VD0	176	VD0
177	VD0	178	VD0
179	VD0	180	VD0
181	VSS	182	VSS
183	D032	184	D036
185	D033	186	D037
187	VSS	188	VSS
189	D094_c	190	DM4DB4
191	D094_i	192	VSS
193	VSS	194	D098
195	D094	196	D099

71	D027	72	D031
73	VSS	74	VSS
75	사용되지 않음	76	사용되지 않음
77	사용되지 않음	78	사용되지 않음
79	VSS	80	VSS
81	사용되지 않음	82	사용되지 않음
83	사용되지 않음	84	VSS
85	VSS	86	사용되지 않음
87	사용되지 않음	88	사용되지 않음
89	사용되지 않음	90	VSS
91	VSS	92	VREF_D0
93	VD0	94	VD0
95	VD0	96	VD0
97	VD0	98	VD0
99	VD0	100	VD0
101	VSS	102	RESET_n
키		키	
103	CKEA0	104	CKEA1
105	VSS	106	VSS
107	CKEB0	108	CKEB1
109	CKEA2	110	CKEB2
111	VSS	112	VSS
113	사용되지 않음	114	사용되지 않음
115	CAA_05	116	사용되지 않음
117	VSS	118	VSS
119	사용되지 않음	120	사용되지 않음
121	CAA_01	122	CAA_04
123	VSS	124	VSS
125	CAA_03	126	CAA_00

197	D095	198	VSS
199	VSS	200	D044
201	D040	202	D045
203	D047	204	VSS
205	VSS	206	D095_c
207	DM5DB5	208	D095_i
209	VSS	210	VSS
211	D042	212	D046
213	D043	214	D047
215	VSS	216	VSS
217	D048	218	D092
219	D049	220	D093
221	VSS	222	VSS
223	D096_c	224	DM6DB6
225	D096_i	226	VSS
227	VSS	228	D094
229	D090	230	D095
231	D091	232	VSS
233	VSS	234	D090
235	D096	236	D091
237	D097	238	VSS
239	VSS	240	D097_c
241	DM7DB7	242	D097_i
243	VSS	244	VSS
245	D098	246	D092
247	D099	248	D093
249	VSS	250	VSS
251	SCL	252	SDA
253	VD0_SPD	254	SA0
255	SA2	256	SA1
257	VPP	258	VTT
259	VPP	260	VTT

도면10



도면11

