



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월20일  
(11) 등록번호 10-1298094  
(24) 등록일자 2013년08월13일

(51) 국제특허분류(Int. Cl.)  
G09G 3/36 (2006.01) G02F 1/133 (2006.01)  
H03K 19/00 (2006.01) G11C 19/00 (2006.01)  
(21) 출원번호 10-2006-0092957  
(22) 출원일자 2006년09월25일  
심사청구일자 2011년09월26일  
(65) 공개번호 10-2008-0027620  
(43) 공개일자 2008년03월28일  
(56) 선행기술조사문헌  
KR1020050113777 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
김성만  
서울특별시 송파구 신천로 45, 장미아파트 25동 1001호 (신천동)  
박형준  
충청남도 천안시 서북구 성정중8길 7, 로즈빌 304호 (성정동)  
(뒷면에 계속)  
(74) 대리인  
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 6 항

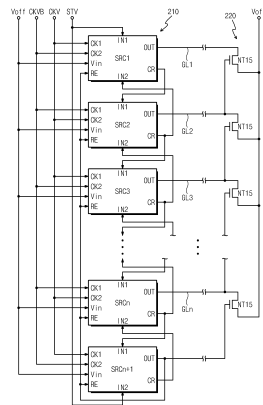
심사관 : 김재문

(54) 발명의 명칭 게이트 구동회로 및 이를 갖는 표시장치

**(57) 요약**

게이트 구동회로 및 이를 갖는 표시장치에서, 게이트 구동회로는 종속적으로 연결된 다수의 스테이지로 이루어지고, 다수의 스테이지 중 현재단 스테이지는 게이트부, 캐리부, 버퍼부 및 리셋부를 포함한다. 게이트부는 현재단 게이트 신호를 출력하고, 캐리부는 현재단 캐리 신호를 출력한다. 버퍼부는 이전단 스테이지들 중 어느 하나로부터 이전단 캐리 신호를 입력받아서 게이트부와 캐리부를 턴-온시킨다. 리셋부는 다음단 스테이지들 중 어느 하나로부터 다음단 캐리 신호를 입력받아 현재단 스테이지를 리셋시킨다. 이와 같이, 다음단 캐리 신호에 응답하여 현재단 스테이지를 리셋시킴으로써 게이트 구동회로의 리셋 기능을 향상시킬 수 있다.

**대표도 - 도2**



(72) 발명자

**김경욱**

서울특별시 강남구 테헤란로5길 51-14 (역삼동)

**안병재**

경기도 수원시 영통구 영통로 232, 벽적골 우성아파트 826동1203호 (영통동)

**김범준**

서울특별시 서초구 논현로27길 58 (양재동)

**이봉준**

서울특별시 종로구 삼청로2길 29-1, 지층 (소격동)

**이종혁**

서울특별시 영등포구 당산로 95, 102동 1802호 (당산동2가, 현대아파트)

**강신택**

경기도 용인시 수지구 상현로 30-10, 성원상떼빌 230동 1801호 (상현동)

**김유진**

충남 아산시 탕정면 명암리 크리스탈 타운 비취동 610호

## 특허청구의 범위

### 청구항 1

종속적으로 연결된 다수의 스테이지로 이루어진 게이트 구동회로에서,

상기 다수의 스테이지 중 현재단 스테이지는,

현재단 게이트 신호를 출력하는 게이트부;

현재단 캐리 신호를 출력하는 캐리부;

이전단 스테이지들 중 어느 하나로부터 이전단 캐리 신호를 입력받아 상기 게이트부와 캐리부를 턴-온시키는 버퍼부; 및

다음단 스테이지들 중 어느 하나로부터 다음단 캐리 신호를 입력받아 상기 현재단 스테이지를 리셋시키는 리셋부를 포함하되,

상기 리셋부는,

상기 다음단 캐리 신호를 입력받는 제어전극, 게이트 오프전압을 입력받는 입력전극 및 상기 게이트부와 상기 캐리부의 제어단에 연결되는 출력전극으로 이루어지고, 상기 다음단 캐리 신호에 응답하여 상기 게이트부와 캐리부를 턴-오프시키는 제1 리셋 트랜지스터; 및

상기 다음단 캐리 신호에 응답하여 상기 현재단 게이트 신호를 방전시키는 제2 리셋 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

제1항에 있어서, 상기 게이트부는 상기 버퍼부의 출력단에 연결된 제어전극, 제1 클럭을 입력받는 입력전극 및 상기 현재단 게이트 신호를 출력하는 출력전극으로 이루어진 출력 트랜지스터를 포함하고,

상기 캐리부는 상기 버퍼부의 출력단에 연결된 제어전극, 상기 제1 클럭을 입력받는 입력전극 및 상기 현재단 캐리 신호를 출력하는 출력전극으로 이루어진 캐리 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소로 이루어져 영상을 표시하는 표시패널;

상기 다수의 데이터 라인에 연결되어 데이터 신호를 인가하는 데이터 구동회로; 및

종속적으로 연결된 다수의 스테이지로 이루어지고, 상기 다수의 게이트 라인에 연결되어 게이트 신호를 순차적

으로 출력하는 게이트 구동회로를 포함하고,

상기 다수의 스테이지 중 현재단 스테이지는,

현재단 게이트 신호를 출력하는 게이트부;

현재단 캐리 신호를 출력하는 캐리부;

이전단 스테이지들 중 어느 하나로부터 이전단 캐리 신호를 입력받아 상기 게이트부와 캐리부를 턴-온시키는 버퍼부; 및

다음단 스테이지들 중 어느 하나로부터 다음단 캐리 신호를 입력받아 상기 현재단 스테이지를 리셋시키는 리셋부를 포함하되,

상기 리셋부는,

상기 다음단 캐리 신호를 입력받는 제어전극, 게이트 오프전압을 입력받는 입력전극 및 상기 게이트부와 상기 캐리부의 제어단에 연결되는 출력전극으로 이루어지고, 상기 다음단 캐리 신호에 응답하여 상기 게이트부와 캐리부를 턴-오프시키는 제1 리셋 트랜지스터; 및

상기 다음단 캐리 신호에 응답하여 상기 현재단 게이트 신호를 방전시키는 제2 리셋 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

제8항에 있어서, 상기 게이트 구동회로는 상기 다수의 화소를 형성하는 박막 공정을 통해서 상기 표시패널에 직접적으로 형성되고, 상기 다수의 스테이지는 상기 다수의 게이트 라인의 제1 단부에 일대일 대응으로 전기적으로 연결되는 것을 특징으로 하는 표시장치.

#### 청구항 13

제12항에 있어서, 상기 다수의 게이트 라인의 제2 단부에 일대일 대응으로 전기적으로 연결된 다수의 방전 트랜지스터로 이루어진 방전회로를 더 포함하고,

상기 다수의 방전 트랜지스터 중 현재단 방전 트랜지스터는 다음단 게이트 신호에 응답하여 현재단 게이트 신호를 방전시키는 것을 특징으로 하는 표시장치.

#### 청구항 14

삭제

#### 청구항 15

다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소로 이루어져 영상을 표시하는 표시패널;

상기 다수의 데이터 라인에 연결되어 데이터 신호를 인가하는 데이터 구동회로;

종속적으로 연결된 다수의 제1 스테이지로 이루어지고, 상기 다수의 게이트 라인의 제1 단부에 전기적으로 연결되어 제1 게이트 신호를 순차적으로 출력하는 제1 게이트 구동회로; 및

종속적으로 연결된 다수의 제2 스테이지로 이루어지고, 상기 다수의 게이트 라인의 제2 단부에 전기적으로 연결되어 제2 게이트 신호를 순차적으로 출력하는 제2 게이트 구동회로를 포함하고,

상기 다수의 제1 스테이지 중 현재단 제1 스테이지는,

현재단 제1 게이트 신호를 출력하는 제1 게이트부;

현재단 제1 캐리 신호를 출력하는 제1 캐리부;

이전단 제1 스테이지들 중 어느 하나로부터 이전단 제1 캐리 신호를 입력받아 상기 제1 게이트부와 제1 캐리부를 턴-온시키는 제1 버퍼부; 및

다음단 제1 스테이지들 중 어느 하나로부터 다음단 제1 캐리 신호를 입력받아 상기 현재단 제1 스테이지를 리셋시키는 제1 리셋부를 포함하고,

상기 다수의 제2 스테이지 중 현재단 제2 스테이지는,

현재단 제2 게이트 신호를 출력하는 제2 게이트부;

현재단 제2 캐리 신호를 출력하는 제2 캐리부;

이전단 제2 스테이지들 중 어느 하나로부터 이전단 제2 캐리 신호를 입력받아 상기 제2 게이트부와 제2 캐리부를 턴-온시키는 제2 버퍼부; 및

다음단 제2 스테이지들 중 어느 하나로부터 다음단 제2 캐리 신호를 입력받아 상기 현재단 제2 스테이지를 리셋시키는 제2 리셋부를 포함하되;

상기 제1 리셋부는,

상기 다음단 제1 캐리 신호를 입력받는 제어전극, 게이트 오프전압을 입력받는 입력전극 및 상기 제1 게이트부와 상기 제1 캐리부의 제어단에 연결되는 출력전극으로 이루어지고, 상기 다음단 제1 캐리 신호에 응답하여 상기 제1 게이트부와 상기 제1 캐리부를 턴-오프시키는 제1 리셋 트랜지스터; 및

상기 다음단 제1 캐리 신호에 응답하여 상기 현재단 제1 게이트 신호를 방전시키는 제2 리셋 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- [0015] 본 발명은 게이트 구동회로 및 이를 갖는 표시장치에 관한 것으로, 더욱 상세하게는 게이트 신호의 출력 특성을 개선할 수 있는 게이트 구동회로 및 이를 갖는 표시장치에 관한 것이다.
- [0016] 일반적으로, 액정표시장치는 하부기관, 하부기관과 대향하여 구비되는 상부기관 및 하부기관과 상부기관과의 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정표시패널을 구비한다. 액정표시패널에는 다수의 게이트 라인, 다수의 데이터 라인, 다수의 게이트 라인과 다수의 데이터 라인에 연결된 다수의 화소가 구비된다.
- [0017] 액정표시장치는 다수의 게이트 라인에 게이트 펄스를 순차적으로 출력하기 위한 게이트 구동회로 및 다수의 데이터 라인에 픽셀전압을 출력하는 데이터 구동회로를 구비한다. 일반적으로, 게이트 구동회로 및 데이터 구동회로는 칩 형태로 이루어져 필름 또는 액정표시패널 상에 실장된다.
- [0018] 최근 액정표시장치는 칩의 개수를 감소시키기 위하여 게이트 구동회로가 박막 공정을 통해서 하부기관 상에 직접적으로 형성된 지아이엘(Gate IC Less: GIL) 구조를 채택하고 있다. GIL 액정표시장치에서 게이트 구동회로는 서로 종속적으로 연결된 다수의 스테이지로 이루어진 하나의 쉬프트 레지스터를 구비한다.
- [0019] 그러나, 액정표시패널이 점차 대형화되고, 해상도가 높아짐에 따라서 게이트 라인의 개수가 증가할 뿐만 아니라, 게이트 라인에 연결된 화소의 개수도 증가한다. 그 결과, 게이트 라인에 연결된 부하가 증가하게 되어 게이트 라인으로 인가되는 게이트 신호에 지연으로 인한 왜곡이 발생한다.
- [0020] 종래의 게이트 구동회로에 구비된 다수의 스테이지 각각은 다음단 게이트 신호에 응답하여 리셋되었다. 그러나, 다음단 게이트 신호에 왜곡이 발생하면, 게이트 구동회로에 구비된 스테이지들 각각의 리셋 기능이 저하된다.

**발명이 이루고자 하는 기술적 과제**

- [0021] 따라서, 본 발명의 목적은 리셋 기능을 향상시켜 게이트 신호의 출력 특성을 개선하기 위한 게이트 구동회로를 제공하는 것이다.
- [0022] 또한, 본 발명의 다른 목적은 상기한 게이트 구동회로를 구비하는 표시장치를 제공하는 것이다.

**발명의 구성 및 작용**

- [0023] 본 발명에 따른 게이트 구동회로는 종속적으로 연결된 다수의 스테이지로 이루어진다. 상기 다수의 스테이지 중 현재단 스테이지는 게이트부, 캐리부, 버퍼부 및 리셋부를 포함한다. 상기 게이트부는 현재단 게이트 신호를 출력하고, 상기 캐리부는 현재단 캐리 신호를 출력한다. 상기 버퍼부는 이전단 스테이지들 중 어느 하나로부터 이전단 캐리 신호를 입력받아 상기 게이트부와 캐리부를 턴-온시킨다. 상기 리셋부는 다음단 스테이지들 중 어느 하나로부터 다음단 캐리 신호를 입력받아 상기 현재단 스테이지를 리셋시킨다.
- [0024] 본 발명에 따른 표시장치는 표시패널, 데이터 구동회로 및 게이트 구동회로를 포함한다. 상기 표시패널은 다수의 게이트 라인, 다수의 데이터 라인 및 다수의 화소로 이루어져 영상을 표시하고, 상기 데이터 구동회로는 상기 표시부의 상기 다수의 데이터 라인에 연결되어 데이터 신호를 인가한다. 상기 게이트 구동회로는 종속적으로 연결된 다수의 스테이지로 이루어지고, 상기 표시패널의 상기 다수의 게이트 라인에 연결되어 게이트 신호를 순차적으로 출력한다.
- [0025] 상기 다수의 스테이지 중 현재단 스테이지는 게이트부, 캐리부, 버퍼부 및 리셋부를 포함한다. 상기 게이트부는 현재단 게이트 신호를 출력하고, 상기 캐리부는 현재단 캐리 신호를 출력한다. 상기 버퍼부는 이전단 스테이지들 중 어느 하나로부터 이전단 캐리 신호를 입력받아 상기 게이트부와 캐리부를 턴-온시킨다. 상기 리셋부는 다음단 스테이지들 중 어느 하나로부터 다음단 캐리 신호를 입력받아 상기 현재단 스테이지를 리셋시킨다.
- [0026] 이러한 게이트 구동회로 및 이를 갖는 표시장치에 따르면, 현재단 스테이지를 리셋시키기 위하여 다음단 게이트 신호보다 왜곡이 작은 다음단 캐리신호를 입력받아서 상기 현재단 스테이지를 리셋시킴으로써, 게이트 구동회로의 리셋 기능을 향상시킬 수 있다.
- [0027] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- [0029] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(400)는 영상을 표시하는 액정표시패널(100), 상기 액정표시패널(100)에 데이터 신호를 출력하는 다수의 데이터 구동칩(320) 및 상기 액정표시패널(100)에 게이트 신호를 출력하는 게이트 구동회로(210)를 포함한다.
- [0030] 상기 액정표시패널(100)은 하부기판(110), 상기 하부기판(110)과 마주보는 상부기판(120) 및 상기 하부기판(110)과 상기 상부기판(120)과의 사이에 개재된 액정층(미도시)으로 이루어진다. 상기 액정표시패널(100)은 영상을 표시하는 표시영역(DA) 및 상기 표시영역(DA)과 인접한 제1 및 제2 주변영역(PA1, PA2)으로 이루어진다.
- [0031] 상기 표시영역(DA)에는 다수의 게이트 라인(GL1 ~ GLn) 및 상기 다수의 게이트 라인(GL1 ~ GLn)과 절연되어 교차하는 다수의 데이터 라인(DL1 ~ DLm)에 의해서 매트릭스 형태의 다수의 화소영역이 정의된다. 상기 각 화소영역에는 박막 트랜지스터(Tr) 및 액정 커패시터(C1c)로 이루어진 화소(P1)가 구비된다. 본 발명의 일 예로, 상기 박막 트랜지스터(Tr)의 게이트 전극은 제1 게이트 라인(GL1)에 전기적으로 연결되고, 소오스 전극은 제1 데이터 라인(DL1)에 전기적으로 연결되며, 드레인 전극은 상기 액정 커패시터(C1c)의 제1 전극인 화소전극에 전기적으로 연결된다.
- [0032] 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 인접하는 상기 제1 주변영역(PA)에 구비된다. 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 상기 제1 단부에 전기적으로 연결되어 상기 다수의 게이트 라인(GL1 ~ GLn)에 상기 게이트 신호를 순차적으로 인가한다.
- [0033] 본 발명의 일 예로, 상기 게이트 구동회로(210)는 상기 어레이 기판(110)에 화소들을 형성하는 박막 공정을 통해 상기 화소들과 동시에 형성된다. 이와 같이, 상기 게이트 구동회로(210)가 상기 어레이 기판(110)에 집적됨으로써, 상기 액정표시장치(400)에서 상기 게이트 구동회로가 내장되었던 구동칩들이 제거된다. 그 결과, 상기 액정표시장치(400)의 생산성이 향상될 수 있고, 전체적인 사이즈가 감소할 수 있다.
- [0034] 상기 다수의 데이터 라인(DL1 ~ DLm)의 제1 단부에 인접하는 상기 제2 주변영역(PA2)에는 다수의 테이프 캐리어

패키지(Tape Carrier Package: TCP)(310)가 부착된다. 상기 다수의 TCP(310) 상에는 상기 다수의 데이터 구동칩(320)이 실장된다. 상기 다수의 데이터 구동칩(320)은 상기 다수의 데이터 라인(DL1 ~ DLm)의 제1 단부에 전기적으로 연결되어 상기 다수의 데이터 라인(DL1 ~ DLm)에 상기 데이터 전압을 출력한다.

- [0035] 상기 액정표시장치(400)는 상기 게이트 구동회로(210)와 상기 다수의 데이터 구동칩(320)의 구동을 제어하기 위한 인쇄회로기판(330)을 더 구비한다. 상기 인쇄회로기판(330)은 상기 다수의 데이터 구동칩(320)의 구동을 제어하는 데이터측 제어신호와 영상 데이터를 출력하고, 상기 게이트 구동회로(210)의 구동을 제어하는 게이트측 제어신호를 출력한다. 상기 데이터측 제어신호와 영상 데이터는 상기 다수의 TCP(310)를 통해 상기 다수의 데이터 구동칩(320)으로 인가된다. 상기 게이트측 제어신호는 상기 게이트 구동회로(210)에 인접하는 TCP를 통해 상기 게이트 구동회로(210)로 인가된다.
- [0036] 도 2는 도 1에 도시된 게이트 구동회로의 블럭도이다.
- [0037] 도 2를 참조하면, 게이트 구동회로(210)는 서로 종속적으로 연결된 다수의 스테이지(SRC1 ~ SRCn+1)로 이루어진 하나의 쉬프트 레지스터를 포함한다. 각 스테이지는 제1 입력단자(IN1), 제1 및 제2 클럭단자(CK1, CK2), 제2 입력단자(IN2), 전압입력단자(Vin), 리셋단자(RE), 출력단자(OUT) 및 캐리단자(CR)를 포함한다.
- [0038] 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 제1 입력단자(IN1)는 이전단 스테이지의 캐리단자(CR)에 전기적으로 연결되어 이전단 캐리신호를 입력받는다. 단, 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 첫번째 스테이지(SRC1)의 제1 입력단자(IN1)에는 상기 게이트 구동회로(210)의 구동을 개시하는 개시신호(STV)가 제공된다. 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 제2 입력단자(IN2)는 다음단 스테이지의 캐리단자(CR)에 전기적으로 연결되어 다음단 캐리신호를 입력받는다. 단, 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 마지막 스테이지(SRCn+1)의 제2 입력단자(IN2)에는 상기 개시신호(STV)가 제공된다.
- [0039] 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 홀수번째 스테이지(SRC1, SRC3, ... SRCn+1)의 제1 클럭단자(CK1)에는 제1 클럭(CKV)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)과 반전된 위상을 갖는 제2 클럭(CKVB)이 제공된다. 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 짝수번째 스테이지(SRC2, ... SRCn)의 제1 클럭단자(CK1)에는 상기 제2 클럭(CKVB)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)이 제공된다.
- [0040] 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 전압입력단자(Vin)에는 접지전압 또는 게이트 오프전압(Voff)이 제공된다. 또한, 상기 마지막 스테이지(SRCn+1)의 출력단자(OUT)는 다수의 스테이지(SRC1 ~ SRCn+1)의 리셋단자(RE)에 전기적으로 연결된다.
- [0041] 상기 다수의 스테이지(SRC1 ~ SRCn)의 출력단자(OUT)들에는 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)이 일대일 대응하여 전기적으로 연결된다. 따라서, 상기 다수의 스테이지(SRC1 ~ SRCn)는 출력단자들(OUT)을 통해 게이트 신호를 순차적으로 출력하여 상기 다수의 게이트 라인(GL1 ~ GLn)으로 인가한다.
- [0042] 도 2에 도시된 바와 같이, 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 구비된다. 상기 액정표시장치(400, 도 1에 도시됨)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 구비되어 다음단 스테이지로부터 출력된 다음단 게이트 신호에 응답하여 현재단 게이트 라인을 상기 게이트 오프전압(Voff)으로 방전시키는 방전회로(220)가 더 구비된다.
- [0043] 상기 방전회로(220)는 상기 게이트 라인들의 개수와 동일한 개수의 방전 트랜지스터(NT15)로 이루어지고, 상기 다수의 방전 트랜지스터(NT15)는 상기 다수의 게이트 라인의 제2 단부에 일대일 대응하여 전기적으로 연결된다. 상기 각 방전 트랜지스터(NT15)는 다음단 게이트 라인에 연결된 제어전극 및 상기 게이트 오프전압(Voff)을 입력받는 입력전극 및 현재단 게이트 라인에 연결된 출력전극으로 이루어진다. 따라서, 상기 각 방전 트랜지스터(NT15)는 다음단 게이트 신호에 응답하여 상기 현재단 게이트 라인으로 인가된 현재단 게이트 신호를 상기 게이트 오프전압(Voff)으로 방전시킨다.
- [0044] 도 3은 도 2에 도시된 i번째 스테이지의 회로도이다. 단, 게이트 구동회로의 각 스테이지는 서로 동일한 내부 구성을 가지므로, 도 3에서는 i번째 스테이지를 도시하여 설명함으로써 나머지 스테이지들에 대한 설명을 대신한다.
- [0045] 도 3을 참조하면, i번째 스테이지(SRCi)는 게이트부(211), 캐리부(212), 버퍼부(213), 리셋부(214), 홀딩부(215), 인버터부(216), 리플 방지부(217) 및 프레임 리셋부(218)를 포함한다.
- [0046] 상기 게이트부(211)는 상기 버퍼부(213)의 출력단(이하, Q-노드)(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 출력단자(OUT)에 연결된 출력전극으로 이루어진 출력 트랜지스터(NT1)를 포함한다. 따라서,

상기 출력 트랜지스터(NT1)는 상기 버퍼부(213)로부터 출력된 제어전압에 응답하여 상기 출력단자(OUT)로 출력되는 현재단 게이트 신호를 제1 클럭단자(CK1)를 통해 제공된 클럭(이하, 제1 클럭(CKV, 도 2에 도시됨))만큼 풀-업시킨다. 상기 출력 트랜지스터(NT1)는 한 프레임 중 상기 제1 클럭(CKV)의 하이구간인 1H 시간동안만 턴-온되어, 상기 1H 시간동안 상기 현재단 게이트 신호를 하이 상태로 유지시킨다.

[0047] 상기 캐리부(212)는 상기 Q-노드(QN)에 연결된 제어전극, 상기 제1 클럭단자(CK1)에 연결된 입력전극 및 상기 캐리단자(CR)에 연결된 출력전극으로 이루어진 캐리 트랜지스터(NT2)를 포함한다. 따라서, 상기 캐리 트랜지스터(NT2)는 상기 버퍼부(213)로부터 출력된 제어전압에 응답하여 상기 캐리단자(CR)로 출력되는 현재단 캐리신호를 상기 제1 클럭(CKV)만큼 풀-업시킨다. 상기 캐리 트랜지스터(NT2)는 한 프레임 중 상기 1H 시간동안만 턴-온되어, 상기 1H 시간동안 상기 현재단 캐리신호를 하이 상태로 유지시킨다. 여기서, 상기 캐리단자(CR)와 상기 캐리 트랜지스터(NT2)의 출력전극이 연결된 노드는 현재단 캐리노드(CN)로 정의된다.

[0048] 상기 버퍼부(213)는 버퍼 트랜지스터(NT4), 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함한다. 상기 버퍼 트랜지스터(NT3)는 제1 입력단자(IN1)에 공통으로 연결된 입력전극과 제어전극 및 상기 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 상기 제1 커패시터(C1)는 상기 Q-노드(QN)와 출력단자(OUT) 사이에 연결되고, 상기 제2 커패시터(C2)는 상기 캐리 트랜지스터(NT2)의 제어전극과 캐리단자(CR)와의 사이에 연결된다.

[0049] 상기 버퍼 트랜지스터(NT3)가 이전단 캐리신호에 응답하여 턴-온되면, 상기 제1 및 제2 커패시터(C1, C2)가 충전된다. 상기 제1 커패시터(C1)에 상기 출력 트랜지스터(NT1)의 문턱전압 이상의 전하가 충전되면, 상기 Q-노드(QN)의 전위가 문턱전압 이상으로 상승하여 상기 출력 트랜지스터(NT1) 및 캐리 트랜지스터(NT2)가 턴온된다. 따라서, 상기 제1 클럭(CKV)이 상기 출력단자(OUT) 및 캐리단자(CR)로 출력되어 상기 현재단 게이트 신호와 현재단 캐리신호는 하이 상태로 전환된다. 즉, 상기 현재단 게이트 신호와 현재단 캐리신호는 상기 제1 클럭(CKV)의 하이 구간(1H) 만큼 하이 상태를 유지한다.

[0050] 상기 리셋부(214)는 제1 및 제2 리셋 트랜지스터(NT4, NT5)로 이루어진다. 상기 제1 리셋 트랜지스터(NT4)는 제2 입력단자(IN2)에 연결된 제어전극, 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진다. 따라서, 상기 제1 리셋 트랜지스터(NT4)는 다음단 캐리신호에 응답하여 상기 제1 클럭(CKV)만큼 풀업된 상기 현재단 게이트 신호를 상기 전압입력단자(Vin)를 통해 공급된 게이트 오프전압(Voff, 도 2에 도시됨)으로 풀다운시킨다. 즉, 상기 1H 시간 이후에 상기 현재단 게이트 신호는 로우상태로 다운시킨다.

[0051] 상기 제2 리셋 트랜지스터(NT5)는 상기 제2 입력단자(IN2)에 연결된 제어전극, 상기 Q노드(QN)에 연결된 입력전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 제2 리셋 트랜지스터(NT5)가 다음단 캐리신호에 응답하여 턴-온되면, 상기 제1 및 제2 커패시터(C1)에 충전된 전하는 상기 제2 리셋 트랜지스터(NT5)를 통해 상기 게이트 오프전압(Voff)으로 방전된다. 따라서, 상기 Q-노드(QN)의 전위는 상기 다음단 캐리신호에 의해서 상기 게이트 오프전압(Voff)으로 다운되고, 그 결과 상기 출력 트랜지스터(NT1) 및 캐리 트랜지스터(NT2)는 턴-오프된다. 즉, 상기 제2 리셋 트랜지스터(NT5)는 상기 1H 시간 이후에 턴온되어 상기 출력 트랜지스터(NT1) 및 캐리 트랜지스터(NT2)를 턴-오프시킴으로써, 상기 출력단자(OUT) 및 캐리단자(CR)에서 하이 상태의 현재단 게이트 신호 및 현재단 캐리신호가 출력되는 것을 방지한다.

[0052] 결과적으로, 상기 리셋부(214)는 다음단 캐리신호에 응답하여 현재단 스테이지(SRCi)를 리셋시키는 역할을 수행한다.

[0053] 상기 홀딩부(215)는 상기 현재단 게이트 신호를 방전 상태로 홀딩시키기 위한 홀딩 트랜지스터(NT6)을 포함한다. 상기 홀딩 트랜지스터(NT6)는 상기 인버터부(216)의 출력단에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진다. 따라서, 상기 홀딩 트랜지스터(NT6)는 상기 인버터부(216)로부터 출력신호에 응답하여 상기 현재단 게이트 신호를 상기 게이트 오프전압(Voff)으로 홀딩시킨다.

[0054] 상기 인버터부(216)는 상기 제1 클럭(CKV) 및 상기 현재단 게이트 신호를 입력받고, 상기 현재단 게이트 신호와 반전된 신호를 출력하여 상기 홀딩 트랜지스터(NT6)를 턴-온 또는 턴-오프시킨다. 상기 인버터부(216)는 제1 내지 제4 인버터 트랜지스터(NT7, NT8, NT9, NT10), 제3 및 제4 커패시터(C3, C4)로 이루어진다.

[0055] 상기 제1 인버터 트랜지스터(NT7)는 상기 제1 클럭단자(CK1)에 공통적으로 연결된 입력전극과 제어전극, 상기 제4 커패시터(C4)를 통해 상기 인버터부(216)의 출력단에 연결된 출력전극으로 이루어진다. 상기 제2 인버터 트랜지스터(NT8)는 상기 제1 클럭단자(CK1)에 연결된 입력전극, 상기 제3 커패시터(C3)를 통해 입력전극과 연결된 제어전극 및 상기 인버터부(216)의 출력단에 연결된 출력전극으로 이루어진다.



- [0056] 상기 제3 인버터 트랜지스터(NT9)는 상기 제1 인버터 트랜지스터(NT7)의 출력전극에 연결된 입력전극, 상기 출력단자(OUT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 제4 인버터 트랜지스터(NT10)는 상기 홀딩 트랜지스터(NT6)의 제어전극에 연결된 입력전극, 상기 출력단자(OUT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다.
- [0057] 상기 인버터부(216)에 하이 상태의 현재단 게이트 신호가 인가되면, 상기 제3 및 제4 인버터 트랜지스터(NT9, NT10)는 상기 현재단 게이트 신호에 응답하여 턴-온된다. 이때, 상기 제1 및 제2 인버터 트랜지스터(NT7, NT8)는 하이상태의 상기 제1 클럭(CKV)을 출력한다. 상기 제1 및 제2 인버터 트랜지스터(NT7, NT8)로부터 출력된 상기 제1 클럭(CKV)은 상기 제3 및 제4 인버터 트랜지스터(NT9, NT10)를 통해 상기 게이트 오프전압(Voff)으로 방전된다. 따라서, 상기 현재단 게이트 신호가 하이상태로 유지되는 1H 시간동안 상기 인버터부(216)는 상기 게이트 오프전압(Voff)을 출력함으로써, 상기 홀딩 트랜지스터(NT6)를 턴-오프시킨다.
- [0058] 이후, 상기 현재단 게이트 신호가 로우 상태로 전환되면, 상기 제3 및 제4 인버터 트랜지스터(NT13, NT14)는 턴-오프된다. 따라서, 상기 제1 및 제2 인버터 트랜지스터(NT11, NT12)로부터 출력된 하이상태의 제1 클럭(CKV)이 상기 인버터부(216)의 출력단으로 출력되고, 이로써, 상기 제1 클럭(CKV)에 응답하여 상기 홀딩 트랜지스터(NT6)가 턴-온된다. 그 결과 상기 현재단 게이트 신호는 상기 홀딩 트랜지스터(NT6)에 의해서 (n-1)H 시간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 게이트 오프전압(Voff)으로 홀딩될 수 있다.
- [0059] 상기 리플 방지부(217)는 상기 한 프레임 중 상기 1H 시간을 제외한 나머지 시간(이하, (n-1)H)동안 상기 현재단 게이트 신호 및 현재단 캐리신호가 상기 제1 또는 제2 클럭(CKV, CKVB)에 의해서 리플되는 것을 방지한다. 상기 리플 방지부(217)는 제1 내지 제3 리플 방지 트랜지스터(NT11, NT12, NT13)로 이루어진다.
- [0060] 상기 제1 리플 방지 트랜지스터(NT11)는 상기 출력단자(OUT)에 연결된 입력전극, 상기 제2 클럭단자(CK2)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 제2 리플 방지 트랜지스터(NT12)는 상기 제1 클럭단자(CK1)에 연결된 제어전극, 상기 Q-노드(QN)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극을 포함한다. 상기 제3 리플 방지 트랜지스터(NT13)는 상기 제2 클럭단자(CK2)에 연결된 제어전극, 상기 제1 입력단자(IN1)에 연결된 입력전극 및 상기 Q-노드(QN)에 연결된 출력전극으로 이루어진다.
- [0061] 상기 제1 리플 방지 트랜지스터(NT11)는 상기 제2 클럭단자(CK2)로 인가되는 제2 클럭(CKVB, 도 2에 도시됨)에 응답하여 턴-온되면, 상기 출력단자는 상기 제1 리플 방지 트랜지스터(NT11)를 통해 상기 전압입력단자(Vin)와 전기적으로 연결된다. 따라서, 상기 출력단자(OUT)로 출력되는 상기 현재단 게이트 신호는 상기 제2 클럭(CKVB)의 하이 구간동안 상기 제1 리플 방지 트랜지스터(NT11)를 통해 상기 게이트 오프전압(Voff)으로 방전된다.
- [0062] 상기 제2 리플 방지 트랜지스터(NT12)는 상기 제1 클럭(CKV)에 응답하여 턴-온됨으로써, 상기 출력단자(OUT)와 상기 Q-노드(QN)를 전기적으로 연결시킨다. 따라서, 상기 Q-노드(QN)에는 상기 현재단 게이트 신호가 인가된다. 상기 (n-1)H 시간동안 상기 제1 클럭(CKV)의 하이구간에서 상기 Q-노드(QN)의 전위는 상기 게이트 오프전압으로 유지되는 상기 현재단 게이트 신호로 다운된다. 따라서, 상기 제2 리플 방지 트랜지스터(NT12)는 상기 (n-1)H 시간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 출력 및 캐리 트랜지스터(NT1, NT2)가 턴-온되는 것을 방지한다.
- [0063] 상기 제3 리플 방지 트랜지스터(NT13)는 제2 클럭단자(CK2)를 통해 제공된 상기 제2 클럭(CKVB)에 응답하여 턴-온됨으로써, 상기 제1 입력단자(IN1)와 상기 Q-노드(QN)를 전기적으로 연결시킨다. 따라서, 상기 제3 리플 방지 트랜지스터(NT13)는 상기 이전단 캐리신호를 상기 Q-노드(QN)에 인가함으로써, 상기 Q-노드의 전위를 상기 게이트 오프전압(Voff)으로 유지되는 상기 이전단 캐리신호로 다운시킨다.
- [0064] 이와 같이 구성된 상기 리플 방지부(217)는 한 프레임 중 (n-1)H시간동안 상기 Q-노드(QN)의 전위를 상기 게이트 오프전압(Voff)으로 안정화시킴으로써, 상기 현재단 게이트 신호 및 현재단 캐리신호의 리플을 감소시킬 수 있다.
- [0065] 상기 프레임 리셋부(218)는 마지막 스테이지(SRCn+1, 도 2에 도시됨)의 출력단자에 전기적으로 연결되어 마지막 단 게이트 신호에 응답하여 상기 현재단 스테이지(SRCi)를 리셋시키는 프레임 리셋 트랜지스터(NT14)를 포함한다.
- [0066] 상기 프레임 리셋 트랜지스터(NT14)는 리셋단자(RE)에 연결된 제어전극, 상기 출력 트랜지스터(NT1)의 제어전극에 연결된 입력전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 프레임 리셋 트랜지스

터(NT14)는 상기 리셋단자(RE)를 통해 입력된 마지막단 게이트 신호에 응답하여 상기 Q-노드(QN)의 전위를 상기 게이트 오프전압(Voff)으로 방전시킨다. 따라서, 상기 현재단 스테이지(SRCi)는 연속하는 두 프레임 구간 사이에 존재하는 블랭크 구간 동안 상기 마지막단 게이트 신호에 의해서 리셋될 수 있다.

- [0067] 도 4는 캐리신호와 게이트 신호를 나타낸 파형도이다. 도 5a 및 도 5b는 도 4에 도시된 I 및 II 부분의 확대도이고, 도 5c 및 도 5d는 도 4에 도시된 III 및 IV 부분의 확대도이다.
- [0068] 도 4, 도 5a 내지 도 5d에서, x축은 시간(ms)이고, y축은 전압(V)이며, 제1 및 제3 그래프(G1, G3)는 게이트 신호를 나타내고, 제2 및 제4 그래프(G2, G4)는 캐리신호를 나타낸다.
- [0069] 도 4, 도 5a 내지 도 5d를 참조하면, 게이트 신호보다 캐리신호의 딜레이가 작게 나타나는 것을 알 수 있다.
- [0070] 이와 같이, 자연으로 인한 왜곡이 작은 캐리신호를 스테이지들 각각의 리셋부에 인가함으로써, 게이트 구동회로(210, 도 2에 도시됨)에 구비된 스테이지들 각각은 다음단 캐리신호에 응답하여 리셋될 수 있다.
- [0071] 따라서, 상기 게이트 구동회로(210)의 리셋 기능이 향상시킬 수 있고, 그 결과 게이트 구동회로(210)의 출력 특성을 개선할 수 있다.
- [0072] 도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다. 단, 도 6에 도시된 구성요소 중 도 1에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 동일한 구성요소에 대한 구체적인 설명은 생략한다.
- [0073] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 액정표시장치(500)에서 어레이 기관(110)은 영상을 표시하는 표시영역(DA), 상기 표시영역(DA)에 인접한 제1, 제2 및 제3 주변영역(PA1, PA2, PA3)으로 구분된다.
- [0074] 상기 제1 주변영역(PA1)은 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 인접하는 영역이고, 상기 제1 주변영역(PA1)에는 상기 다수의 게이트 라인(GL1 ~ GLn)에 게이트 신호를 순차적으로 인가하는 제1 게이트 구동회로(210)가 구비된다. 상기 제1 게이트 구동회로(210)는 서로 종속적으로 연결된 다수의 제1 스테이지로 이루어진 제1 쉬프트 레지스터를 포함한다. 상기 다수의 제1 스테이지의 출력단자는 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 일대일 대응으로 연결된다. 따라서, 상기 다수의 제1 스테이지는 순차적으로 턴-온되면서 대응하는 게이트 라인의 제1 단부에 순차적으로 게이트 신호를 인가한다.
- [0075] 상기 제3 주변영역(PA3)은 상기 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 인접하는 영역이고, 상기 제3 주변영역(PA3)에는 상기 다수의 게이트 라인(GL1 ~ GLn)에 상기 게이트 신호를 순차적으로 인가하는 제2 게이트 구동회로(230)가 구비된다. 상기 제2 게이트 구동회로(230)는 서로 종속적으로 연결된 다수의 제2 스테이지로 이루어진 제2 쉬프트 레지스터를 포함한다. 상기 다수의 제2 스테이지의 출력단자는 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 일대일 대응으로 연결된다. 따라서, 상기 다수의 제2 스테이지는 순차적으로 턴-온되면서 대응하는 게이트 라인의 제2 단부에 순차적으로 게이트 신호를 인가한다.
- [0076] 이와 같이, 각 게이트 라인은 양 단부에서 상기 제1 및 제2 게이트 구동회로(210, 230)에 각각 연결됨으로써, 양 단부를 통해 동일한 게이트 신호를 입력받는다. 따라서, 상기 각 게이트 라인에 연결된 화소들의 위치에 따라서 상기 게이트 펄스의 지연을 방지할 수 있다.
- [0077] 본 발명의 일 예로, 상기 제1 및 제2 게이트 구동회로(210, 230)는 박막 공정을 통해 상기 어레이 기관(110)에 집적된다. 따라서, 상기 액정표시장치(500)에서 상기 제1 및 제2 게이트 구동회로(210, 230)가 내장되었던 구동 칩들이 제거되고, 그 결과로 상기 액정표시장치(500)의 생산성이 향상되며 전체적인 사이즈가 감소한다.
- [0078] 도면에 도시하지는 않았지만, 상기 어레이 기관(110)에 구비되는 다수의 화소는 제1 방향(D1)으로 길게 연장된 가로 픽셀 구조로 이루어진다. 이러한 가로 픽셀 구조에서는 상기 제1 방향(D1)과 직교하는 제2 방향(D2)으로 순차적으로 구비되는 레드, 그린 및 블루 색화소(R, G, B)에 각각 대응하는 3개의 화소가 하나의 색을 표현하는 단위 화소로 정의된다. 가로 픽셀 구조는 세로 픽셀 구조보다 데이터 라인의 개수가 감소하는 대신 게이트 라인의 개수가 증가한다.
- [0079] 따라서, 상기 가로 픽셀 구조를 채용하는 액정표시장치(500)는 데이터 라인의 감소로 인해서 데이터 신호를 출력하는 데이터 구동칩(320)의 개수가 감소하고, 그 결과로 액정표시장치(500)의 생산성이 향상된다. 반면에, 상기 게이트 라인의 개수가 증가하지만, 상술한 바와 같이 상기 제1 및 제2 게이트 구동회로(210, 220)가 상기 어레이 기관(110) 상에 박막 공정을 통해서 집적되므로 게이트 라인의 개수가 증가하더라도 상기 액정표시장치(500)의 칩의 개수는 증가되지 않는다.

- [0080] 도 7은 도 6에 도시된 제1 및 제2 게이트 구동회로의 블럭도이다.
- [0081] 도 7을 참조하면, 제1 게이트 구동회로(210)는 서로 종속적으로 연결된 다수의 제1 스테이지(SRC1-L ~ SRC(n+1)-L)로 이루어진 하나의 제1 쉬프트 레지스터를 포함한다. 각 제1 스테이지는 제1 입력단자(IN1), 제1 및 제2 클럭단자(CK1, CK2), 제2 입력단자(IN2), 전압입력단자(Vin), 리셋단자(RE), 출력단자(OUT) 및 캐리단자(CR)를 포함한다.
- [0082] 상기 다수의 제1 스테이지(SRC1-L ~ SRC(n+1)-L)의 제1 입력단자(IN1)는 이전단 제1 스테이지의 캐리단자(CR)에 전기적으로 연결되어 이전단 캐리신호를 입력받고, 제2 입력단자(IN2)는 다음단 제1 스테이지의 캐리단자(CR)에 전기적으로 연결되어 다음단 캐리신호를 입력받는다.
- [0083] 상기 다수의 제1 스테이지(SRC1-L ~ SRCn-L)의 출력단자들(OUT)은 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)의 제1 단부와 일대일 대응으로 전기적으로 연결된다. 따라서, 상기 다수의 제1 스테이지(SRC1-L ~ SRCn-L)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 순차적으로 게이트 신호를 출력한다.
- [0084] 한편, 제2 게이트 구동회로(230)는 서로 종속적으로 연결된 다수의 제2 스테이지(SRC1-R ~ SRC(n+1)-R)로 이루어진 하나의 제2 쉬프트 레지스터를 포함한다. 각 제2 스테이지는 제1 입력단자(IN1), 제1 및 제2 클럭단자(CK1, CK2), 제2 입력단자(IN2), 전압입력단자(Vin), 리셋단자(RE), 출력단자(OUT) 및 캐리단자(CR)를 포함한다.
- [0085] 상기 다수의 제2 스테이지(SRC1-R ~ SRC(n+1)-R)의 제1 입력단자(IN1)는 이전단 제2 스테이지의 캐리단자(CR)에 전기적으로 연결되어 이전단 캐리신호를 입력받고, 제2 입력단자(IN2)는 다음단 제2 스테이지의 캐리단자(CR)에 전기적으로 연결되어 다음단 캐리신호를 입력받는다.
- [0086] 상기 다수의 제2 스테이지(SRC1-R ~ SRCn-R)의 출력단자들(OUT)은 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)의 제2 단부와 일대일 대응으로 전기적으로 연결된다. 따라서, 상기 다수의 제2 스테이지(SRC1-R ~ SRCn-R)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 순차적으로 게이트 신호를 출력한다.
- [0087] 이와 같이, 각 게이트 라인의 양 단부에 상기 제1 및 제2 게이트 구동회로(210, 230)에 각각 연결된 구조에서도, 제1 및 제2 스테이지들은 제2 입력단자를 통해 다음단 캐리신호를 입력받아서 리셋된다. 즉, 게이트 신호가 출력되는 출력단자에는 다수의 화소가 연결되므로, 상기 다음단 캐리신호는 다음단 게이트 신호보다 왜곡이 작다. 따라서, 상기 제1 및 제2 스테이지들은 다음단 게이트 신호 대신에 왜곡이 작은 다음단 캐리신호에 응답하여 리셋됨으로써, 상기 제1 및 제2 게이트 구동회로(210, 230)의 리셋 기능이 향상될 수 있다.

**발명의 효과**

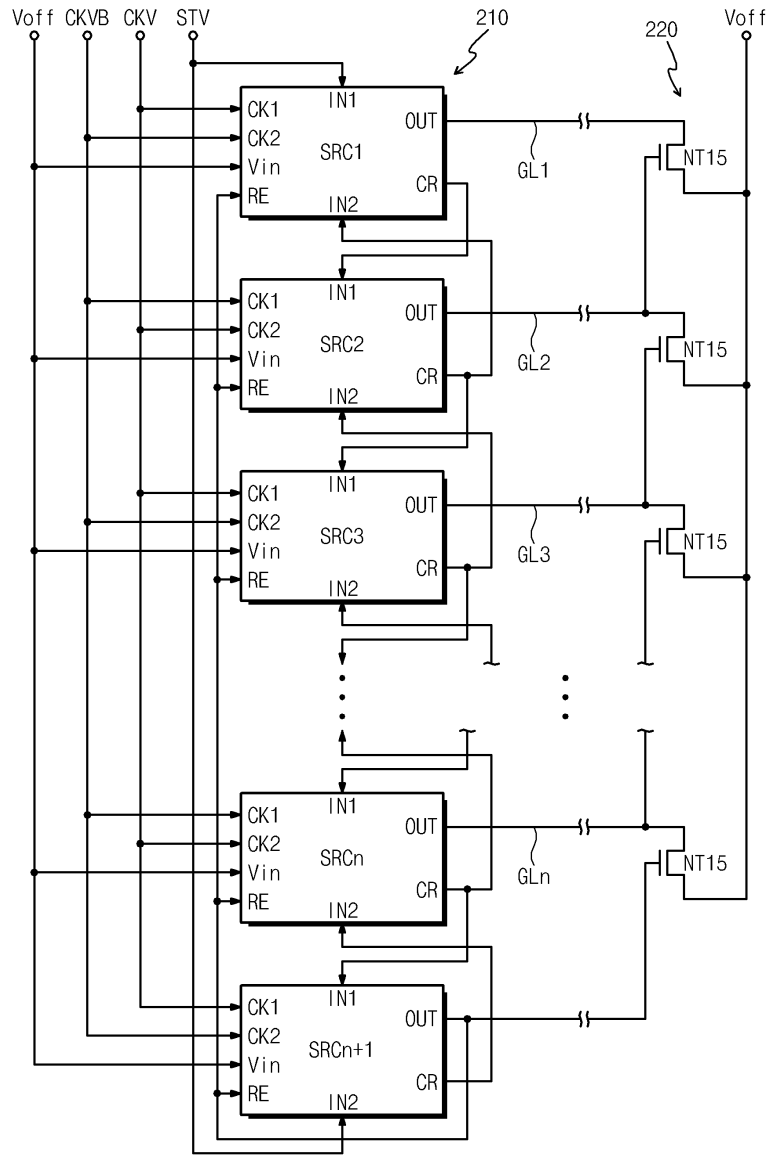
- [0088] 이와 같은 게이트 구동회로 및 이를 갖는 표시장치에 따르면, 현재단 스테이지를 리셋시키기 위하여 다음단 게이트 신호보다 왜곡이 작은 다음단 캐리신호를 입력받아서 상기 현재단 스테이지를 리셋시킨다.
- [0089] 따라서, 게이트 구동회로의 리셋 기능을 향상시킬 수 있고, 그 결과 게이트 구동회로의 출력 특성을 개선할 수 있다.
- [0090] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**도면의 간단한 설명**

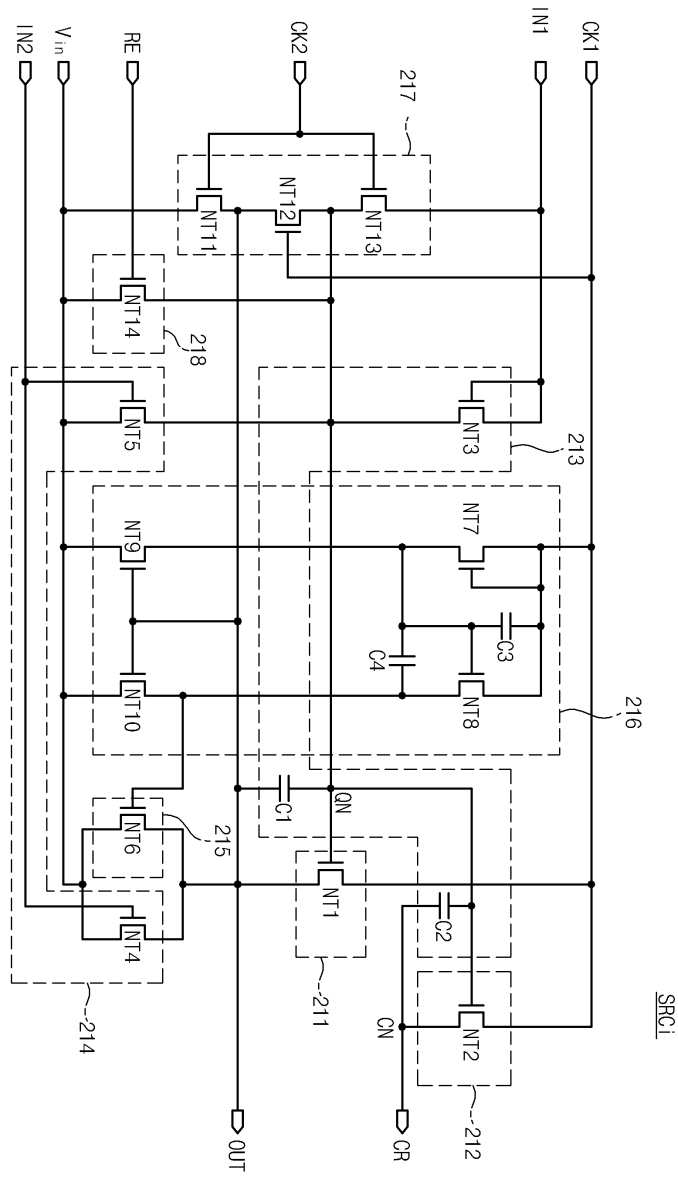
- [0001] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- [0002] 도 2는 도 1에 도시된 게이트 구동회로의 블럭도이다.
- [0003] 도 3은 도 2에 도시된 i번째 스테이지의 회로도이다.
- [0004] 도 4는 캐리신호와 게이트 신호를 나타낸 파형도이다.
- [0005] 도 5a 및 도 5b는 도 4에 도시된 I 및 II 부분의 확대도이다.
- [0006] 도 5c 및 도 5d는 도 4에 도시된 III 및 IV 부분의 확대도이다.
- [0007] 도 6은 본 발명의 다른 실시예에 따른 액정표시장치의 평면도이다.



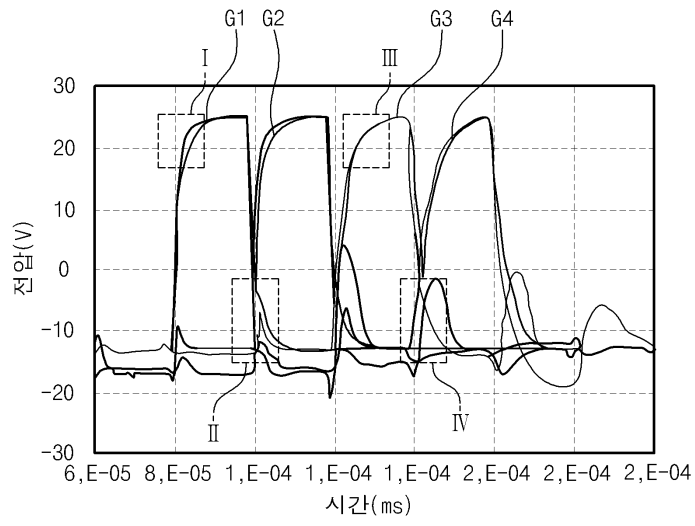
도면2



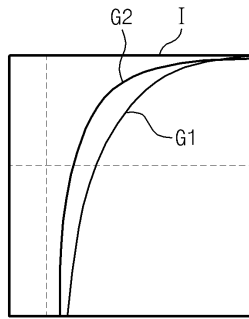
도면3



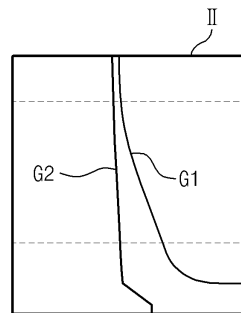
도면4



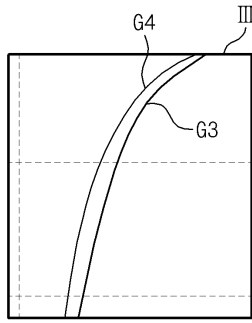
도면5a



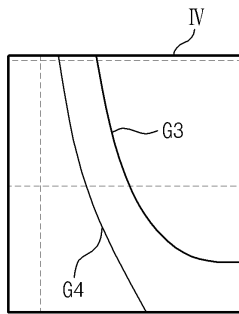
도면5b



도면5c

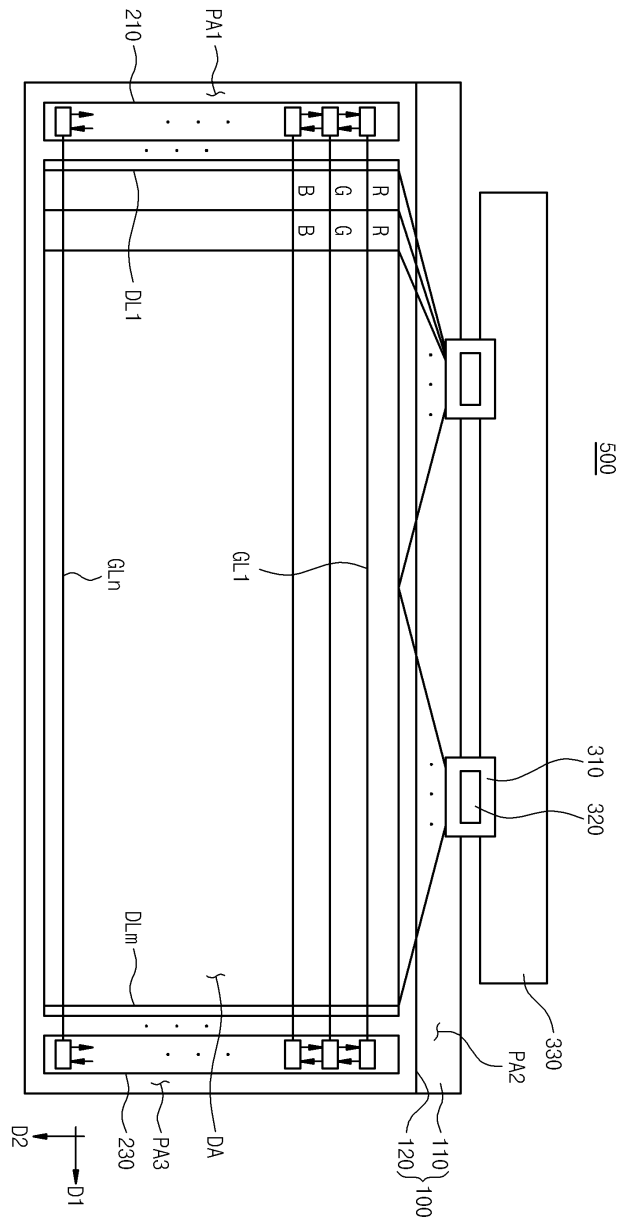


도면5d





도면6



도면7

