



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월10일
 (11) 등록번호 10-1674179
 (24) 등록일자 2016년11월02일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
 (21) 출원번호 10-2010-0031476
 (22) 출원일자 2010년04월06일
 심사청구일자 2015년02월03일
 (65) 공개번호 10-2011-0112073
 (43) 공개일자 2011년10월12일
 (56) 선행기술조사문헌
 KR1020060064181 A*
 US07575964 B2*
 US20090075029 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
신동석
 경기도 용인시 기흥구 예현로35번길 21, 현대아파트 현대홈타운 108동 601호 (서천동)
김동혁
 경기도 성남시 분당구 미금일로 136, 까치건영 503동 302호 (구미동)
 (뒷면에 계속)
 (74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

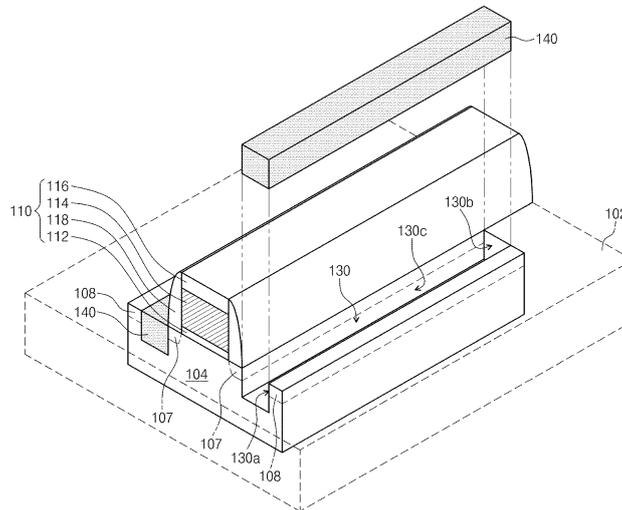
심사관 : 최정민

(54) 발명의 명칭 전계 효과 트랜지스터를 포함하는 반도체 소자 및 그 형성 방법

(57) 요약

반도체 소자가 제공된다. 반도체 소자는 반도체 기판에 형성되어, 활성부를 정의하는 소자 분리 패턴, 활성부를 가로지르는 게이트 라인 및 게이트 라인 일측의 활성부 내에 형성된 리세스 영역을 채우고, 반도체 기판과 다른 반도체 원소를 포함하는 에피택시얼 패턴을 포함하되, 리세스 영역은 게이트 라인의 길이 방향으로 연장되고, 소자 분리 패턴에 인접한 제1 내측벽, 및 게이트 라인의 길이 방향에 수직(perpendicular) 방향으로 연장된 제2 내측벽을 포함하고, 제1 내측벽은 활성부로 형성되고, 제2 내측벽의 적어도 일부는 소자 분리 패턴으로 형성되고, 에피택시얼 패턴은 리세스 영역의 제1 내측벽 및 제2 내측벽과 접촉한다.

대표도



(72) 발명자

김명선

경기도 화성시 동탄반석로 42 608동 1701호 (반송동, 나루마을한화우림아파트)

이용주

경기도 오산시 남부대로 411-15, 대우푸르지오아파트 107동 902호 (원동)

정희성

경기도 화성시 동탄반석로 42 608동 1502호 (반송동, 나루마을한화우림아파트)

명세서

청구범위

청구항 1

반도체 기판에 형성되어, 활성부를 정의하는 소자 분리 패턴;

상기 활성부를 가로지르는 게이트 라인; 및

상기 게이트 라인 일측의 상기 활성부 내에 형성된 리세스 영역을 완전히 채우고, 상기 반도체 기판과 다른 반도체 원소를 포함하는 에피택시얼 패턴을 포함하되,

상기 리세스 영역은 상기 게이트 라인의 길이 방향으로 연장되고, 상기 소자 분리 패턴에 인접한 제1 내측벽, 상기 게이트 라인의 길이 방향에 수직(perpendicular) 방향으로 연장된 제2 내측벽, 및 상기 게이트 라인의 길이 방향으로 연장되고 상기 제1 내측벽과 대향되는 제3 내측벽을 포함하고,

상기 제1 및 제3 내측벽들은 상기 활성부로 형성되고, 상기 제2 내측벽의 적어도 일부는 상기 소자 분리 패턴으로 형성되고,

상기 에피택시얼 패턴은 상기 리세스 영역의 상기 제1 내지 제3 내측벽들, 상기 제3 내측벽의 적어도 일부를 형성하는 제1 저농도 도핑 영역, 및 상기 제1 내측벽의 적어도 일부를 형성하는 제2 저농도 도핑 영역과 접촉하고,

상기 제1 내측벽은 상기 소자 분리 패턴과 이격 배치되는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 제2 내측벽의 전체는 상기 소자 분리 패턴으로 형성된 반도체 소자.

청구항 3

제1 항에 있어서,

상기 소자 분리 패턴 상에 배치된 하드 마스크 패턴을 더 포함하되,

상기 하드 마스크 패턴은 옆으로 연장되어 상기 리세스 영역의 상기 제1 내측벽 및 상기 제1 내측벽에 인접한 상기 소자 분리 패턴 사이의 상기 활성부를 덮는 반도체 소자.

청구항 4

제1 항에 있어서,

상기 제2 내측벽은 상기 활성부로 형성된 제1 부분 및 상기 소자 분리 패턴으로 형성된 제2 부분을 포함하되,

상기 제2 내측벽의 상기 제2 부분이 상기 제2 내측벽의 상기 제1 부분에 비하여 상기 게이트 라인에 가깝게 위치하는 반도체 소자.

청구항 5

제4 항에 있어서,

상기 소자 분리 패턴 상에 배치된 하드 마스크 패턴을 더 포함하되,

상기 하드 마스크 패턴은 옆으로 연장되어, 상기 제1 내측벽과 상기 제1 내측벽에 인접한 상기 소자 분리 패턴 사이의 상기 활성부, 및 상기 제2 내측벽의 상기 제1 부분과 상기 제2 내측벽의 상기 제1 부분에 인접한 상기 소자 분리 패턴 사이의 상기 활성부를 덮는 반도체 소자.

청구항 6

제1 항에 있어서,

상기 에피택시얼 패턴은 상기 게이트 라인 아래의 상기 활성부에 압축력 또는 인장력을 제공하는 반도체 소자.

청구항 7

삭제

청구항 8

반도체 기판에 소자 분리 패턴을 형성하여 활성부를 정의하되, 상기 활성부는 제1 방향으로 연장된 제1 측벽 및 상기 제1 방향에 수직한 제2 방향으로 연장된 제2 측벽을 포함하는 것;

상기 제1 방향으로 연장되어 상기 활성부를 가로지르는 게이트 라인을 형성하는 것;

상기 활성부 내에 저농도 도핑 영역을 형성하는 것;

상기 반도체 기판 상에 상기 게이트 라인의 일측의 상기 활성부를 노출시키는 개구부를 갖는 하드 마스크 패턴을 형성하되, 상기 하드 마스크 패턴은 상기 활성부의 상기 제1 측벽에 인접한 상기 활성부의 일부분을 덮고, 상기 활성부의 제2 측벽의 적어도 일부 및 이에 인접한 상기 소자 분리 패턴의 일부분은 상기 개구부에 의해 노출되는 것;

상기 노출된 활성부와, 상기 활성부 내의 상기 저농도 도핑 영역을 식각하여 리세스 영역, 제1 및 제2 저농도 도핑 영역들을 형성하는 것; 및

상기 리세스 영역을 완전히 채우고, 상기 반도체 기판의 반도체 원소와 다른 반도체 원소를 포함하는 에피택시얼 패턴을 형성하는 것을 포함하고,

상기 리세스 영역은:

상기 제1 방향으로 연장되고, 상기 소자 분리 패턴에 인접하면서 상기 소자 분리 패턴과 이격 배치된 제1 내측벽;

상기 제2 방향으로 연장된 제2 내측벽; 및

상기 제1 방향으로 연장되고 상기 게이트 라인과 인접하면서 상기 제1 내측벽과 대향되는 제3 내측벽을 포함하고,

상기 제1 및 상기 제3 내측벽들은 상기 활성부로 형성되고, 상기 제2 내측벽의 적어도 일부는 상기 소자 분리 패턴으로 형성되고, 상기 제1 저농도 도핑 영역은 상기 제3 내측벽의 적어도 일부를 형성하고, 상기 제2 저농도 도핑 영역은 상기 제1 내측벽의 적어도 일부를 형성하는 반도체 소자의 제조 방법.

청구항 9

제8 항에 있어서,

평면적 관점(in plan view)에서, 상기 개구부는 상기 제1 방향으로 연장된 장방형인 반도체 소자의 제조 방법.

청구항 10

제8 항에 있어서,

평면적 관점(in plan view)에서, 상기 개구부는 십자형인 반도체 소자의 제조 방법.

청구항 11

제8 항에 있어서,

상기 에피택시얼 패턴은 상기 게이트 라인 아래의 상기 활성부에 인장력 또는 압축력을 제공하는 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히, 전계 효과 트랜지스터를 포함하는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 경량화, 소형화 및/또는 낮은 코스트(cost) 등의 장점으로 인하여, 반도체 소자는 전자기기, 자동차 및/또는 선박 등의 다양한 산업 분야에서 활용되고 있다. 전계 효과 트랜지스터(이하, 트랜지스터라 함)는 반도체 소자를 구성하는 중요한 단일 요소들 중에 하나이다. 통상적으로, 트랜지스터는 반도체 기판에 서로 이격되어 형성된 소오스 및 드레인, 소오스 및 드레인 사이의 채널 영역의 상부를 덮는 게이트 전극을 포함할 수 있다. 소오스 및 드레인은 도펀트 이온들을 반도체 기판에 주입하여 형성될 수 있으며, 게이트 전극은 반도체 기판과 게이트 전극 사이에 개재된 게이트 산화막에 의하여 채널 영역과 절연될 수 있다. 이러한 형태의 트랜지스터는 반도체 소자 내에서 스위칭 소자 및/또는 논리회로를 구성하는 단일 요소 등으로 널리 사용되고 있다.

[0003] 최근에, 반도체 소자는 점점 고집적화되고 있다. 이에 반하여, 반도체 소자의 고집적화 경향이 더욱 심화되어 트랜지스터의 크기는 점점 작아지고 있다. 이에 따라, 트랜지스터의 턴온 전류량(turn-on current)이 감소될 수 있다. 턴온 전류량의 감소됨으로써, 트랜지스터의 동작 속도가 저하될 수 있다. 이로 인하여, 트랜지스터의 반응 속도 저하로 인해 반도체 소자의 신뢰성이 저하될 수 있으며, 또한, 반도체 소자의 동작 속도가 저하될 수 있다. 따라서, 고집적화되고 있는 반도체 소자에서, 트랜지스터의 턴온 전류량을 증가시키기 위한 방안들에 대한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 일 기술적 과제는 고집적화에 최적화되고 우수한 신뢰성을 갖는 반도체 소자 및 그 형성 방법을 제공하는 데 있다.

[0005] 본 발명이 이루고자 하는 다른 기술적 과제는 전계 효과 트랜지스터의 턴온 전류량을 향상시킬 수 있는 반도체 소자 및 그 형성 방법을 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 또 다른 기술적 과제는 전계 효과 트랜지스터의 채널 내 캐리어들의 이동도를 증가시킬 수 있는 반도체 소자 및 그 형성 방법을 제공하는 데 있다.

과제의 해결 수단

[0007] 상기 기술적 과제를 해결하기 위해 본 발명은 반도체 소자를 제공한다. 상기 반도체 소자는 반도체 기판에 형성되어, 활성부를 정의하는 소자 분리 패턴, 상기 활성부를 가로지르는 게이트 라인 및 상기 게이트 라인 일측의 상기 활성부 내에 형성된 리세스 영역을 채우고, 상기 반도체 기판과 다른 반도체 원소를 포함하는 에피택시얼 패턴을 포함하되, 상기 리세스 영역은 상기 게이트 라인의 길이 방향으로 연장되고, 상기 소자 분리 패턴에 인접한 제1 내측벽, 및 상기 게이트 라인의 길이 방향에 수직(perpendicular) 방향으로 연장된 제2 내측벽을 포함하고, 상기 제1 내측벽은 상기 활성부로 형성되고, 상기 제2 내측벽의 적어도 일부는 상기 소자 분리 패턴으로 형성되고, 상기 에피택시얼 패턴은 상기 리세스 영역의 상기 제1 내측벽 및 상기 제2 내측벽과 접촉한다.

[0008] 상기 제2 내측벽의 전체는 상기 소자 분리 패턴으로 형성될 수 있다.

[0009] 상기 반도체 소자는 상기 소자 분리 패턴 상에 배치된 하드 마스크 패턴을 더 포함하되, 상기 하드 마스크 패턴은 옆으로 연장되어 상기 리세스 영역의 상기 제1 내측벽 및 상기 제1 내측벽에 인접한 상기 소자 분리 패턴 사이의 상기 활성부를 덮을 수 있다.

[0010] 상기 제2 내측벽은 상기 활성부로 형성된 제1 부분 및 상기 소자 분리 패턴으로 형성된 제2 부분을 포함하되, 상기 제2 내측벽의 상기 제2 부분이 상기 제2 내측벽의 상기 제1 부분에 비하여 상기 게이트 라인 사이에 가깝게 위치할 수 있다.

[0011] 상기 반도체 소자는 상기 소자 분리 패턴 상에 배치된 하드 마스크 패턴을 더 포함하되, 상기 하드 마스크 패턴은 옆으로 연장되어, 상기 제1 내측벽과 상기 제1 내측벽에 인접한 상기 소자 분리 패턴 사이의 상기 활성부, 및 상기 제2 내측벽의 상기 제1 부분과 상기 제2 내측벽의 상기 제1 부분에 인접한 상기 소자 분리 패턴 사이의

상기 활성부를 덮을 수 있다.

[0012] 상기 에피택시얼 패턴은 상기 게이트 라인 아래의 상기 활성부에 압축력을 제공할 수 있다.

[0013] 상기 에피택시얼 패턴은 상기 게이트 라인 아래의 상기 활성부에 인장력을 제공할 수 있다.

[0014] 상기 기술적 과제를 해결하기 위해 본 발명은 반도체 소자의 제조 방법을 제공한다. 상기 반도체 소자의 제조 방법은 반도체 기판에 소자 분리 패턴을 형성하여 활성부를 정의하되, 상기 활성부는 제1 방향으로 연장된 제1 측벽 및 상기 제1 방향에 수직인 제2 방향으로 연장된 제2 측벽을 포함하는 것, 상기 제1 방향으로 연장되어 상기 활성부를 가로지르는 게이트 라인을 형성하는 것, 상기 반도체 기판 상에 상기 게이트 라인의 일측의 상기 활성부를 노출시키는 개구부를 갖는 하드 마스크 패턴을 형성하되, 상기 하드 마스크 패턴은 상기 활성부의 상기 제1 측벽에 인접한 상기 활성부의 일부분을 덮고, 상기 활성부의 제2 측벽의 적어도 일부 및 이에 인접한 상기 소자 분리 패턴의 일부분은 상기 개구부에 의해 노출되는 것, 상기 노출된 활성부를 식각하여 리세스 영역을 형성하는 것, 및 상기 리세스 영역을 채우고, 상기 반도체 기판의 반도체 원소와 다른 반도체 원소를 포함하는 에피택시얼 패턴을 형성하는 것을 포함한다.

[0015] 평면적 관점(in plan view)에서, 상기 개구부는 상기 제1 방향으로 연장된 장방형일 수 있다.

[0016] 평면적 관점(in plan view)에서, 상기 개구부는 십자형일 수 있다.

발명의 효과

[0017] 상술된 반도체 소자들에 따르면, 게이트 라인 일측의 활성부 내에 상기 활성부로 형성된 내측벽을 갖는 리세스 영역이 형성되어, 상기 리세스 영역을 채우는 에피택시얼 패턴들의 상부면이 평평하게 형성될 수 있다. 이로 인해, 상기 에피택시얼 패턴과 콘택 플러그의 접촉 불량이 최소화되어, 고신뢰성의 반도체 소자가 구현될 수 있다.

도면의 간단한 설명

[0018] 도 1 은 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 사시도이다.

도 2a 는 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 평면도이다.

도 2b 및 도 2c 는 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 것으로, 각각 도 2a 의 I-I' 및 II-II' 를 따라 취한 단면도들이다.

도 3 은 본 발명의 일 실시 예에 따른 반도체 소자의 변형 예를 설명하기 위한 단면도이다.

도 4 은 본 발명의 일 실시 예에 따른 반도체 소자의 다른 변형 예를 설명하기 위한 단면도이다.

도 5a 내지 도 8a 는 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 평면도들이다.

도 5b 내지 도 8b 는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 것으로, 각각 도 5a 내지 도 8a 의 I-I'를 따라 취한 단면도들이다.

도 5c 내지 도 8c 는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 것으로, 각각 도 5a 내지 도 8a 의 II-II' 를 따라 취한 단면도들이다.

도 9 내지 도 10은 본 발명의 일 실시 예에 따른 반도체 소자의 변형 예의 제조 방법을 설명하기 위한 단면도들이다.

도 11 은 본 발명의 다른 실시 예에 따른 반도체 소자를 설명하기 위한 사시도이다.

도 12a 는 본 발명의 다른 실시 예에 따른 반도체 소자를 설명하기 위한 평면도이다.

도 12b 및 도 12d 는 본 발명의 다른 실시 예에 따른 반도체 소자를 설명하기 위한 것으로, 각각 도 12a 의 III-III', IV-IV' 및 V-V' 를 따라 취한 단면도들이다.

도 13a 내지 도 14a 는 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도들이다.

도 13b 내지 도 14b 는 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 것으로, 각각 도 13a 내지 도 14a 의 III-III' 를 따라 취한 단면도들이다.

도 13c 내지 도 14c 는 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 것으로, 각각 도 13a 내지 14a 의 IV-IV' 를 따라 취한 단면도들이다.

도 13d 내지 도 14d 는 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 것으로, 각각 도 13a 내지 14a 의 V-V' 를 따라 취한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되어지는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0020] 본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시 예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시 예에의 제1막질로 언급된 막질이 다른 실시 예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시 예는 그것의 상보적인 실시 예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0021] 본 발명의 일 실시 예에 따른 반도체 소자가 설명된다.
- [0022] 도 1 은 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 사시도이고, 도 2a 는 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 평면도이고, 도 2b 및 도 2c 는 본 발명의 일 실시 예에 따른 반도체 소자를 설명하기 위한 것으로, 각각 도 2a 의 I-I' 및 II-II'를 따라 취한 단면도들이다.
- [0023] 도 1, 2a 내지 도 2c 를 참조하면, 반도체 기판(100)에 활성부(104)를 정의하는 소자 분리 패턴(102)이 배치될 수 있다. 상기 활성부(104)는 상기 소자분리 패턴(102)에 의하여 둘러싸인 상기 반도체 기판(100)의 일부분에 해당한다. 상기 활성부(104)는 제1 방향으로 연장하는 제1 측벽(104a) 및 제2 방향으로 연장하는 제2 측벽(104b)을 포함할 수 있다. 상기 제1 방향 및 상기 제2 방향은 서로 수직 할 수 있다. 상기 제1 측벽(104a)이 연장되는 길이는 상기 제2 측벽(104b)이 연장되는 길이보다 길 수 있다. 상기 활성부(104)는 제1 타입의 도펀트로 도핑될 수 있다. 예컨대, 상기 반도체 기판(100) 내에 제1 타입의 도펀트로 도핑된 웰 영역(well region)이 배치될 수 있다. 상기 소자분리 패턴(102)은 상기 웰 영역 내에 형성되어 상기 활성부(104)는 상기 제1 타입의 도펀트로 도핑될 수 있다.
- [0024] 상기 반도체 기판(100)은 단결정 상태인 것이 바람직하다. 상기 반도체 기판(100)은 실리콘 기판일 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 일 실시예에 따르면, 상기 반도체 기판(100)은 게르마늄 기판일 수도 있다. 상기 소자 분리 패턴(102)은 트렌치형 소자분리 패턴일 수 있다. 이 경우, 상기 소자 분리 패턴(102)은 상기 반도체 기판(100) 내에 트렌치를 형성하고, 상기 트렌치를 절연 물질로 채워 형성될 수 있다.
- [0025] 상기 활성부(104)를 가로지르는 게이트 라인(110)이 배치될 수 있다. 상기 게이트 라인(110)은 상기 활성부(104) 상에 제1 방향으로 연장될 수 있다. 상기 게이트 라인(110)은 상기 활성부(104) 상의 게이트 절연막(112), 상기 게이트 절연막(112) 상의 게이트 전극(114), 상기 게이트 전극(114) 상의 캡핑 패턴(116), 및 이들의 양측에 배치된 스페이서(118)를 포함할 수 있다.
- [0026] 상기 게이트 절연막(112)은 산화물(ex, 열산화물 등), 질화물, 산화 질화물 및/또는 고유전물(ex, 산화알루미늄, 산화하프늄 등과 같은 금속 산화물 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 상기 게이트 전극(114)은 도핑된 반도체(ex, 도핑된 실리콘, 도핑된 게르마늄 등), 금속(ex, 텅스텐, 티타늄, 탄탈륨 등), 도전성 금속 질화물(ex, 질화 티타늄, 질화 탄탈륨 등), 금속-반도체 화합물(ex, 텅스텐 실리사이드, 코발트 실리사이드 등) 등에서 선택된 적어도 하나를 포함할 수 있다. 상기 캡핑 패턴(116)은 산화물, 질화물 및/또는 산화 질화물 등을 포함할 수 있다. 상기 스페이서(118)는 산화물, 질화물 및/또는 산질화물 등을 포함할 수 있다.

- [0027] 상기 게이트 라인(110)의 양측의 상기 활성화부(104) 내에 리세스 영역(130)이 배치될 수 있다. 상기 리세스 영역(130)은 제1 내측벽(130a), 제2 내측벽(130b) 및 제3 내측벽(130c)을 포함할 수 있다. 상기 제1 내측벽(130a) 및 상기 제3 내측벽(130c)은 상기 제1 방향으로 연장될 수 있고, 상기 제2 내측벽(130b)은 상기 제2 방향으로 연장될 수 있다. 상기 제1 내측벽(130a)은 상기 소자 분리 패턴(102)에 인접하고, 상기 제3 내측벽(130c)은 상기 게이트 라인(110)에 인접할 수 있다. 상기 제3 내측벽(130c)은 상기 스페이서(118)의 일 측벽에 자기 정렬될 수 있다.
- [0028] 상기 리세스 영역(130)의 상기 제1 내측벽(130a) 및 상기 제3 내측벽(130c)은 상기 활성화부(104)로 형성되고, 상기 리세스 영역(130)의 상기 제2 내측벽(130b)의 전체는 상기 소자 분리 패턴(102)으로 형성될 수 있다. 상기 리세스 영역(130)의 바닥면은 상기 활성화부(104)로 형성될 수 있다. 상기 리세스 영역(130)의 바닥면은 도핑되지 않은 상기 활성화부(104)로 형성될 수 있다.
- [0029] 상기 스페이서(118) 아래의 제1 저농도 도핑 영역(107)은 상기 리세스 영역(130)의 상기 제3 내측벽(130c)의 적어도 일부를 형성할 수 있다. 상기 하드 마스크 패턴(120) 아래의 상기 제2 저농도 도핑 영역(108)은 상기 리세스 영역(130)의 상기 제1 내측벽(130a)의 적어도 일부를 형성할 수 있다. 상기 제1 및 제2 저농도 도핑 영역(107, 108)은 제2 타입의 도펀트로 도핑된 영역일 수 있다.
- [0030] 상기 리세스 영역(130) 내에 에피택시얼 패턴(140)이 배치될 수 있다. 상기 에피택시얼 패턴(140)은 상기 리세스 영역(130)을 완전히 채울 수 있다. 상기 에피택시얼 패턴(140)은 상기 리세스 영역(130)의 상기 제1 내측벽(130a), 상기 제2 내측벽(130b) 및 상기 제3 내측벽(130c)과 접촉할 수 있다. 상기 에피택시얼 패턴(140)의 상부면은 상기 활성화부(104)의 상부면보다 높거나 같을 수 있다. 상기 제1 방향으로 연장되는 상기 에피택시얼 패턴(140)의 측벽 및 상기 소자 분리 패턴(102) 사이에, 상기 리세스 영역(130)의 상기 제1 내측벽(130a)에 인접한 상기 활성화부(104)의 부분이 개재될 수 있다.
- [0031] 상기 에피택시얼 패턴(140)의 상기 제1 방향으로 연장되는 측벽은 상기 제2 저농도 도핑 영역(108)과 접촉할 수 있다. 상기 에피택시얼 패턴(140)의 상기 제2 방향으로 연장되는 측벽은 상기 소자 분리 패턴(102)과 접촉할 수 있다.
- [0032] 상기 에피택시얼 패턴(140)은 상기 반도체 기관(100)과 다른 반도체 원소를 포함하는 것이 바람직하다. 상기 에피택시얼 패턴(140)이 상기 반도체 기관(100)의 반도체 원소와 다른 반도체 원소를 포함함으로써, 상기 게이트 라인(110) 아래의 상기 활성화부(104) 내에 정의된 채널 영역에 압축력(compressive force) 또는 인장력(tensile force)을 제공할 수 있다. 이에 따라, 전계 효과 트랜지스터가 동작할 때, 상기 채널 영역 내에 생성된 채널 내 캐리어들의 이동도가 향상될 수 있다. 이를 구체적으로 설명한다.
- [0033] 상기 채널 영역을 포함하는 전계 효과 트랜지스터가 피모스(PMOS) 트랜지스터인 경우, 상기 에피택시얼 패턴(140)은 상기 채널 영역에 압축력을 제공하는 것이 바람직하다. 상기 채널 영역에 압축력이 제공됨으로써, 상기 채널 영역에 생성된 채널 내 정공들의 이동도가 증가될 수 있다. 상기 채널 영역에 압축력을 제공하기 위해, 상기 에피택시얼 패턴(140)은 상기 반도체 기관(100)의 반도체 원소보다 큰 직경을 갖는 반도체 원소를 포함할 수 있다. 예를 들어, 상기 반도체 기관(100)이 실리콘 기관인 경우, 상기 에피택시얼 패턴(140)은 실리콘-게르마늄 또는 게르마늄으로 형성될 수 있다. 이로써, 상기 에피택시얼 패턴(140)은 상기 채널 영역에 압축력을 제공할 수 있다.
- [0034] 한편, 상기 채널 영역을 포함하는 전계 효과 트랜지스터가 엔모스(NMOS) 트랜지스터인 경우, 상기 에피택시얼 패턴(140)은 상기 채널 영역에 인장력을 제공하는 것이 바람직하다. 상기 채널 영역에 인장력이 제공됨으로써, 상기 채널 영역에 생성된 채널 내 전자들의 이동도가 증가될 수 있다. 상기 채널 영역에 인장력을 제공하기 위해, 상기 에피택시얼 패턴(140)은 상기 반도체 기관(100)의 반도체 원소보다 작은 직경을 갖는 반도체 원소를 포함할 수 있다. 예를 들어, 상기 반도체 기관(100)이 실리콘 기관인 경우, 상기 에피택시얼 패턴(140)은 실리콘 카바이드(SiC)로 형성될 수 있다. 이로써, 상기 에피택시얼 패턴(140)은 상기 채널 영역에 인장력을 제공할 수 있다.
- [0035] 일 실시 예에 따르면, 상기 에피택시얼 패턴(140)의 전체가 제2 타입의 도펀트로 도핑될 수 있다. 상기 에피택시얼 패턴(140)은 전계 효과 트랜지스터의 소스/드레인에 해당할 수 있다. 상기 제1 타입의 도펀트 및 상기 제2 타입의 도펀트 중에서 어느 하나는 n형 도펀트이고, 다른 하나는 p형 도펀트이다. 상기 전계 효과 트랜지스터가 피모스 트랜지스터인 경우 상기 제1 타입의 도펀트는 n형 도펀트이고, 상기 제2 타입의 도펀트는 p형 도펀트일 수 있다. 이와는 달리, 상기 전계 효과 트랜지스터가 엔모스 트랜지스터인 경우 상기 제1 타입의 도펀트는 p형 도펀

트이고, 상기 제2 타입의 도펀트는 n형 도펀트일 수 있다.

- [0036] 상기 제1 저농도 도핑 영역(107)은 상기 에피택시얼 패턴(140)과 접촉된다. 상기 저농도 도핑 영역(107) 내 도펀트 농도는 상기 에피택시얼 패턴(140) 내 도펀트 농도보다 작을 수 있다. 상기 제1 저농도 도핑 영역(107) 및 상기 에피택시얼 패턴(140)에 의하여 LDD 형 소스/드레인이 구현될 수 있다.
- [0037] 상기 소자 분리 패턴(102) 상에 하드 마스크 패턴(120)이 배치될 수 있다. 상기 하드 마스크 패턴(120)은 옆으로 연장되어, 상기 리세스 영역(130)의 상기 제1 내측벽(130a) 및 상기 제1 내측벽(130a)에 인접한 상기 소자 분리 패턴(102) 사이의 상기 활성부(104)를 덮을 수 있다. 상기 하드 마스크 패턴(120)은 상기 제2 저농도 도핑 영역(108)을 덮을 수 있다. 상기 하드 마스크 패턴(120)은 상기 제2 내측벽(130b)에 인접한 상기 소자 분리 패턴(102)의 부분을 덮지 않을 수 있다. 상기 하드 마스크 패턴(120)은 산화물, 질화물 및/또는 산질화물로 형성될 수 있다.
- [0038] 상기 에피택시얼 패턴(140) 상에 캡핑 반도체 패턴(150)이 배치될 수 있다. 상기 캡핑 반도체 패턴(150)은 상기 반도체 기판(100)의 반도체 원소와 동일한 반도체 원소로 형성될 수 있다. 예를 들어, 상기 반도체 기판(100)이 실리콘 기판인 경우, 상기 캡핑 반도체 패턴(150)은 실리콘으로 형성될 수 있다. 상기 캡핑 반도체 패턴(150)은 상기 에피택시얼 패턴(140)의 상부면과 접촉할 수 있다. 상기 캡핑 반도체 패턴(150)은 단결정 상태일 수 있다. 도시하지 않았지만, 상기 캡핑 반도체 패턴(150) 상에 금속 실리사이드가 배치될 수 있다. 상기 금속 실리사이드는 상기 캡핑 반도체 패턴(150) 내 반도체 원소와 금속의 반응에 의하여 형성될 수 있다.
- [0039] 한편, 상술된 실시 예에서, 상기 리세스 영역(130)의 상기 바닥면은 도핑되지 않은 상기 활성부(104)로 형성되었고, 상기 리세스 영역(130)의 제1 내측벽(130a)는 제2 저농도 도핑 영역(108)으로 형성되었다. 이와는 달리, 상기 리세스 영역(130)의 상기 바닥면은 도핑된 상기 활성부(104)로 형성될 수 있다. 이를 도 3 을 참조하여 설명한다. 본 변형 예에서 도 1, 2a 내지 도 2c 를 참조하여 설명된 반도체 소자와 동일한 구성요소들은 동일한 참조부호를 사용한다.
- [0040] 도 3 은 본 발명의 일 실시 예에 따른 반도체 소자의 변형 예를 설명하기 위한 것으로, 도 2a 의 I-I'를 따라 취한 단도면이다.
- [0041] 도 3 을 참조하면, 게이트 절연막(112), 게이트 전극(114), 캡핑 패턴(116) 및 스페이서(119)를 포함하고, 제1 방향으로 연장하는 게이트 라인(110a)이 활성부(104) 상에 배치될 수 있다. 상기 스페이서(119) 아래의 상기 활성부(104)의 일부분 내에 저농도 도핑 영역(107)이 배치될 수 있다. 상기 반도체 기판(100)은 제1 타입의 도펀트로 도핑되고, 상기 저농도 도핑 영역(107)은 제2 타입의 도펀트로 도핑된다. 상기 스페이서(119)의 일측에 위치한 상기 에피택시얼 패턴(140) 및 상기 활성부(104) 내에 고농도 도핑 영역(109)이 배치될 수 있다. 상기 에피택시얼 패턴(140)이 채워진 리세스 영역의 바닥면 및 제1 내측벽(130a)은 상기 고농도 도핑 영역(109)으로 형성될 수 있다. 상기 고농도 도핑 영역(109)은 제2 타입의 도펀트로 도핑된 영역일 수 있다. 상기 저농도 및 고농도 도핑 영역(107, 109)은 소스/드레인을 구성할 수 있다.
- [0042] 상술된 실시 예들 에서 상기 리세스 영역들의 단면은 사각형이었다. 이와는 달리, 상기 리세스 영역들은 다각형으로 형성될 수 있다. 이를 도 4 를 참조하여 설명한다. 본 변형 예에서 도 1, 2a 내지 도 2c 를 참조하여 설명된 반도체 소자와 동일한 구성요소들은 동일한 참조부호를 사용한다.
- [0043] 도 4 는 본 발명의 일 실시 예에 따른 반도체 소자의 다른 변형 예를 설명하기 위한 것으로, 도 2a 의 I-I'를 따라 취한 단도면이다.
- [0044] 도 4 를 참조하면, 게이트 라인(110) 양측의 상기 활성부(104) 내에 형성되고, 에피택시얼 패턴(141)으로 채워진 리세스 영역의 단면은 4각형 이상의 다각형으로 형성될 수 있다. 상기 활성부(104)로 형성된 상기 리세스 영역의 내면들은 3개 이상 존재할 수 있다. 상기 리세스 영역의 내면들은 동일한 결정면들일 수 있다. 예를 들어, 상기 리세스 영역의 면들은 {111} 결정면들일 수 있다.
- [0045] 다음으로 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법이 설명된다. 도 5a 내지 8a, 5b 내지 8b 및 5c 내지 8c 는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 것으로, 도 5a 내지 도 8a 는 본 발명의 일 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도이고, 도 5b 내지 8b는 각각 도 5a 내지 도 8a 의 I-I'를 따라 취한 단면도들이고, 도 5c 내지 도 8c 는 각각 도 5a 내지 도 8a 의 II-II'를 따라 취한 단면도들이다.
- [0046] 도 5a 내지 도 5c 를 참조하면, 반도체 기판(100)에 소자 분리 패턴(102)을 형성하여 활성부(104)를 정의한다.

상기 활성부(104)는 제1 타입의 도펀트로 도핑될 수 있다. 상기 활성부(104)는 제1 방향으로 연장하는 제1 측벽(104a) 및 상기 제1 방향과 수직인 제2 방향으로 연장하는 제2 측벽(104b)을 포함할 수 있다. 상기 제1 측벽(104a)이 연장되는 길이는 상기 제2 측벽(104b)이 연장되는 길이보다 길 수 있다. 상기 소자 분리 패턴(102)은 트렌치형 소자 분리 패턴으로 형성될 수 있다. 상기 소자 분리 패턴(102)은 산화물, 질화물 및/또는 산질화물 등으로 형성될 수 있다.

[0047] 상기 반도체 기판(100) 상에 차례로 적층된 게이트 절연막(112), 게이트 전극(114) 및 캡핑 패턴(116)이 형성될 수 있다. 상기 게이트 패턴(112, 114, 116)을 이온 주입 마스크로 사용하여 상기 활성부(104)에 제2 타입의 도펀트 이온들을 주입하여 저농도 도핑 영역(106)이 형성될 수 있다. 상기 게이트 패턴(112, 114, 116)의 양 측벽 상에 스페이서(118)가 형성될 수 있다. 상기 스페이서(118)는 상기 게이트 패턴(112, 114, 116)을 갖는 상기 반도체 기판(100) 상에 스페이서막을 형성하고, 상기 스페이서막을 이방성으로 식각하여 형성될 수 있다. 상기 스페이서막은 산화막, 질화막 및/또는 산질화막을 포함할 수 있다. 이로써, 게이트 절연막(112), 게이트 전극(114), 캡핑 패턴(116) 및 스페이서(118)를 포함하는 게이트 라인(110)이 형성될 수 있다. 상기 게이트 라인(110)은 상기 제1 방향으로 연장될 수 있다.

[0048] 도 6a 내지 도 6c 를 참조하면, 상기 소자 분리 패턴(102) 상에 하드 마스크 패턴(120) 및 상기 하드 마스크 패턴(120) 상의 감광막 패턴(121, photoresist pattern)이 형성될 수 있다. 상기 하드 마스크 패턴(120) 및 상기 감광막 패턴(121)은 상기 게이트 라인(110) 양측의 상기 활성부(104)를 노출하는 개구부(122)를 포함할 수 있다. 예를 들어, 상기 하드 마스크 패턴(120)은 상기 개구부(122)의 아랫부분을 정의하고, 상기 감광막 패턴(121)은 상기 개구부(122)의 윗부분을 정의할 수 있다. 상기 하드 마스크 패턴(120) 및 상기 감광막 패턴(121)은 상기 활성부(104)의 상기 제1 측벽(104a)에 인접한 상기 활성부(104)의 일부분을 덮을 수 있다. 상기 하드 마스크 패턴(120) 및 상기 감광막 패턴(121)은 상기 활성부(104)의 상기 제1 측벽(104a)에 인접한 상기 소자 분리 패턴(102)을 덮을 수 있다. 상기 하드 마스크 패턴(120)은 게이트 라인(110)을 포함하는 상기 반도체 기판(110) 상에 하드 마스크막을 형성하고, 상기 감광막 패턴(121)을 식각 마스크로 사용하여 상기 하드 마스크막을 패터닝하여 형성될 수 있다. 상기 하드 마스크 막은 산화물, 질화물 및/또는 산질화물로 형성될 수 있다.

[0049] 상기 개구부(122)는 상기 활성부(104)의 상기 제2 측벽(104b)의 적어도 일부를 노출할 수 있다. 상기 개구부(122)는 상기 활성부(104)의 상기 제1 측벽(104a)에 인접한 상기 제2 측벽(104b)의 부분을 제외한 나머지 상기 제2 측벽(104b)의 부분을 노출할 수 있다. 상기 개구부(122)는 상기 활성부(104)의 상기 제1 측벽(104a)에 인접한 상기 활성부(104)의 일부분을 제외한 나머지 상기 활성부(104)의 부분을 노출할 수 있다. 상기 개구부(122)는 상기 나머지 활성부(104)의 부분에 인접한 상기 소자 분리 패턴(102)을 노출할 수 있다. 상기 개구부(122)는 상기 게이트 라인(110)을 노출할 수 있다. 상기 개구부(122)는 상기 제1 방향으로 연장되는 장방형일 수 있다. 상기 노출된 활성부(104)의 면적은 상기 하드 마스크 패턴(120)으로 덮여진 상기 활성부(104)의 면적보다 넓을 수 있다.

[0050] 도 7a 내지 도 7c 를 참조하면, 상기 감광막 패턴(121)이 제거되고, 상기 개구부(122)에 의해 노출된 상기 활성부(104)가 식각될 수 있다. 상기 활성부(104)는 상기 게이트 라인(110) 및 상기 하드 마스크 패턴(120)을 식각 마스크로 사용하여 식각될 수 있다. 상기 활성부(104)는 이방성 또는 등방성으로 습식 및/또는 건식 식각의 방법을 사용하여 식각될 수 있다. 상기 개구부(122)에 의해 노출된 상기 활성부(104)가 식각되어, 상기 활성부(104) 내에 리세스 영역(130)이 형성될 수 있다.

[0051] 상기 리세스 영역(130)은 상기 제1 방향으로 연장되는 제1 내측벽(130a), 제3 내측벽(130c) 및 상기 제2 방향으로 연장되는 제2 내측벽(130b)을 포함할 수 있다. 상기 제3 내측벽(130c)은 상기 스페이서(118) 아래에 배치되고, 상기 제1 내측벽(130a)은 상기 소자 분리 패턴(102)에 인접하게 배치될 수 있다. 상기 제1 내측벽(130a) 및 상기 제3 내측벽(130c)은 상기 활성부(104)로 형성되고, 상기 제2 내측벽(130b)은 상기 소자 분리 패턴(102)으로 형성될 수 있다. 상기 리세스 영역(130)의 바닥면은 도핑되지 않은 상기 활성부(104)의 부분으로 형성될 수 있다.

[0052] 상기 노출된 활성부(104)가 식각됨으로써, 상기 게이트 라인(110) 양측의 상기 활성부(104) 내에 배치된 저농도 도핑 영역(106)의 일부가 식각될 수 있다. 상기 저농도 도핑 영역(106)의 일부가 식각되어, 상기 스페이서(118) 아래의 제1 저농도 도핑 영역(107) 및 하드 마스크 패턴(120) 아래의 제2 저농도 도핑 영역(108)이 형성될 수 있다. 상기 제1 저농도 도핑 영역(107) 및 상기 제2 저농도 도핑 영역(108)은 상기 저농도 도핑 영역(106)의 일부가 식각되고 잔존된 부분들일 수 있다. 상기 제2 저농도 도핑 영역(108)은 상기 제1 내측벽(130a)의 일부분을 형성할 수 있다. 상기 제1 저농도 도핑 영역(107)은 상기 제3 내측벽(130c)의 일부분을 형성할 수 있다.

- [0053] 도 8a 내지 도 8c 를 참조하면, 상기 리세스 영역(130)을 갖는 상기 반도체 기판(100)에 선택적 에피택시얼 공정이 수행되어, 상기 리세스 영역(130)을 채우는 에피택시얼 패턴(140)이 형성될 수 있다. 상기 스페이서(118) 아래의 상기 활성부(104)의 부분, 상기 하드 마스크 패턴(120) 아래의 상기 활성부(104)의 부분, 및 상기 리세스 영역(130)의 바닥면을 구성하는 상기 활성부(104)의 부분은 상기 선택적 에피택시얼 공정에서 상기 에피택시얼 패턴(140)이 형성되는 시드막(seed layer)으로 작용할 수 있다. 이 경우, 상기 에피택시얼 패턴(140)은 상기 리세스 영역(130)의 바닥면, 제1 내측벽(130a) 및 상기 제3 내측벽(130c)에서 동시에 성장됨으로써, 상기 에피택시얼 패턴(140)의 상부면은 실질적으로 평평할 수 있다. 또한, 상기 에피택시얼 패턴(140)이 상기 활성부(104) 상에 배치된 상기 게이트 라인(110)의 양측을 따라 연장되도록 형성됨으로써, 상기 소자 분리 패턴(102)과 인접한 상기 게이트 라인(110) 아래의 상기 활성부(104)의 모든 부분에 압축력 또는 인장력이 가해질 수 있다.
- [0054] 만약, 상기 하드 마스크 패턴(120)이 상기 활성부(104)의 제1 측벽(104a)에 인접한 상기 활성부(104)의 일부분을 덮지 않아 상기 리세스 영역(130)의 상기 제1 내측벽(130a)이 상기 소자 분리 패턴(102)으로 형성되는 경우, 상기 리세스 영역(130)의 바닥면을 이루는 상기 활성부(104)의 부분 및 상기 스페이서(118) 아래의 상기 활성부(104)의 부분이 상기 선택적 에피택시얼 공정의 시드막으로 작용할 수 있다. 이 경우, 상기 리세스 영역(130)의 바닥면 및 상기 스페이서(118) 아래의 상기 리세스 영역(130)의 제3 내측벽(130c)에서 에피택시얼 성장이 일어나고, 상기 소자 분리 패턴(102)으로 형성된 상기 제1 내측벽(130a)에서 에피택시얼 성장이 일어나지 못해, 성장된 에피택시얼 패턴의 상부면은 평평하지 못할 수 있다. 예를 들어, 이 경우, 에피택시얼 패턴의 상부면은 상기 게이트 라인(110)에 가까울수록 높을 수 있다. 에피택시얼 패턴의 상부면이 평평하지 못한 경우, 콘택 플러그와 상기 에피택시얼 패턴의 콘택 공정에서 콘택 불량 발생될 수 있다. 하지만, 상술된 바와 같이, 본 발명에 따르면, 상기 리세스 영역(130)의 3면에서 상기 에피택시얼 패턴(140)이 동시에 성장될 수 있고, 이로 인해 고신뢰성의 반도체 소자가 구현될 수 있다.
- [0055] 상기 에피택시얼 패턴(140)은 상기 반도체 기판(100)과 다른 반도체 원소를 포함하는 것이 바람직하다. 상기 에피택시얼 패턴(140)은 제2 타입의 도펀트로 도핑될 수 있다. 상기 에피택시얼 패턴(140)은 인시츄(in-situ) 방식으로 도핑될 수 있다. 상기 에피택시얼 패턴(140)은 상기 제1 및 제2 저농도 도핑 영역들(107, 108)보다 높은 도펀트 농도를 가질 수 있다. 상기 에피택시얼 패턴(140)은 상기 리세스 영역(130)을 완전히 채울 수 있다. 상기 에피택시얼 패턴(140)은 상기 리세스 영역(130)이 상기 제1 내측벽(130a) 및 상기 제2 내측벽(130b)과 접촉할 수 있다.
- [0056] 상기 에피택시얼 패턴(140)의 상기 제1 방향으로 연장되는 측벽 및 상기 소자 분리 패턴(102) 사이에, 상기 리세스 영역(130)의 상기 제1 내측벽(130a)에 인접하고, 상기 하드 마스크 패턴(120)으로 덮여진 상기 활성부(104)의 부분이 개재될 수 있다. 상기 하드 마스크 패턴(120)으로 덮여진 상기 활성부(104)의 부분은 상기 에피택시얼 패턴(140) 및 상기 소자 분리 패턴(102) 사이에서 연장될 수 있다. 상기 에피택시얼 패턴(140)의 상기 제2 방향으로 연장되는 측벽은 상기 소자 분리 패턴(102)과 접촉할 수 있다.
- [0057] 상기 에피택시얼 패턴(140) 상에 캡핑 반도체 패턴(150, 도 2a, 도 2b 및 도 2c 참조)이 형성될 수 있다. 상기 캡핑 반도체 패턴(150)은 선택적 에피택시얼 공정으로 형성될 수 있다. 이로써, 본 발명의 일 실시 예에 따른 반도체 소자가 구현될 수 있다.
- [0058] 이어서, 본 발명의 일 실시 예에 따른 반도체 소자의 변형 예의 제조 방법이 도 9 및 도 10 을 참조하여 설명된다.
- [0059] 도 9 및 도 10 은 본 발명의 일 실시 예에 따른 반도체 소자의 변형 예의 제조 방법을 설명하기 위한 단면도들이다. 본 변형 예에 따른 반도체 소자의 제조 방법은 저농도 도핑 영역(106)을 형성하는 것을 제외한 도 5a 내지 도 8a, 도 5b 내지 도 8b, 및 도 5c 내지 도 8c 를 참조하여 설명된 공정들을 포함할 수 있다.
- [0060] 도 9 를 참조하면, 선택적 에피택시얼 성장 공정을 수행하여 리세스 영역을 채우는 에피택시얼 패턴(140)이 형성될 수 있다. 본 변형 예에 따르면, 상기 에피택시얼 패턴(140)은 언도프트 상태(undoped state)일 수 있다.
- [0061] 도 10 을 참조하면, 스페이서(118)가 제거될 수 있다. 상기 게이트 패턴(112, 114, 116)을 이온 주입 마스크로 사용하여, 제2 타입의 도펀트 이온들을 상기 활성부(104) 및 에피택시얼 패턴(140)에 주입하여, 저농도 도핑 영역(106a)이 형성될 수 있다. 상기 저농도 도핑 영역(106a)은 상기 활성부(104)의 윗부분 및 상기 에피택시얼 패턴(140)의 윗부분에 형성될 수 있다.
- [0062] 이어서 도 3 을 참조하면, 상기 게이트 패턴(112, 114, 116)의 양 측벽 상에 제2 스페이서(118a)가 형성될 수

있다. 상기 제2 스페이서(118a)는 상기 반도체 기판(100) 상에 제2 스페이서막을 형성하고, 상기 제2 스페이서막을 이방성으로 식각하여 형성될 수 있다. 이어서, 게이트 라인(110a)을 이온 주입 마스크로 사용하여, 제2 타입의 도펀트 이온들을 상기 활성부(104) 및 상기 에피택시얼 패턴(140)에 주입하여 고농도 도핑 영역(109)이 형성될 수 있다. 상기 고농도 도핑 영역(109)은 상기 저농도 도핑 영역(106a)에 비하여 높은 도펀트 농도를 가질 수 있다. 상기 저농도 및 고농도 도핑 영역들(106a, 109)은 소스/드레인을 구성할 수 있다.

[0063] 본 변형 예에 따르면, 상기 리세스 영역을 채우는 에피택시얼 패턴(140)을 형성한 후에, 스페이서(118)를 제거하고, 저농도 도핑 영역(106a)을 형성하고, 제2 스페이서(118a)를 형성하고, 고농도 도핑 영역(109)이 형성될 수 있다.

[0064] 이어서 본 발명의 일 실시 예에 따른 반도체 소자의 다른 변형 예의 제조 방법이 도 4 를 참조하여 설명된다. 본 다른 변형 예에 따른 반도체 소자의 제조 방법은 도 5a 내지 도 8a, 도 5b 내지 도 8b, 및 도 5c 내지 도 8c 를 참조하여 설명된 공정들을 포함할 수 있다. 다만, 리세스 영역의 형성 방법이 상이할 수 있다.

[0065] 도 4 를 참조하면, 제1 이방성 식각, 등방성 식각, 제2 이방성 식각 및 선택성 습식 식각을 순차적으로 수행하여 상기 노출된 활성부(104)가 식각될 수 있다. 상기 선택성 습식 식각은 상기 반도체 기판(100)의 결정면들 중에서 선택된 결정면들을 식각 정지면으로 사용한다. 상기 선택성 습식 식각 공정은 상기 반도체 기판(100)의 {111} 결정면들을 식각 정지면으로 사용하는 것이 바람직하다. 다시 말해서, 상기 상기 선택성 습식 식각 공정에 의한 상기 {111} 결정면들의 식각율은 상기 선택성 습식 식각 공정에 의한 다른 결정면들의 식각율보다 느릴 수 있다. 이에 따라, 상기 선택성 습식 식각 공정에 의하여 리세스 영역의 내면들은 {111} 결정면들을 가질 수 있다.

[0066] 본 발명의 다른 실시 예에 따른 반도체 소자가 설명된다. 도 11은 본 발명의 다른 실시 예에 따른 반도체 소자를 설명하기 위한 사시도이고, 도 12a 는 본 발명의 다른 실시 예에 따른 반도체 소자를 설명하기 위한 평면도이고, 도 12b 내지 도 12d 는 본 발명의 다른 실시 예에 따른 반도체 소자를 설명하기 위한 것으로 각각 도 12a 의 III-III', IV-IV' 및 V-V' 를 따라 취한 단면도들이다.

[0067] 도 11, 도 12a 내지 도 12d 를 참조하면, 반도체 기판(100)에 활성부(105)를 정의하는 소자 분리 패턴(103)이 배치될 수 있다. 상기 활성부(105)는 제1 방향으로 연장하는 제1 측벽(105a) 및 상기 제1 방향과 수직인 제2 방향으로 연장하는 제2 측벽(105b)을 포함할 수 있다. 상기 소자 분리 패턴(103)은 상기 반도체 기판(100) 내에 트렌치를 형성하고, 상기 트렌치를 절연물질로 채워 형성될 수 있다. 상기 활성부(105)를 상기 제1 방향으로 가로지르는 게이트 라인(110)이 배치될 수 있다.

[0068] 상기 게이트 라인(110)의 양측의 상기 활성부(105) 내에 리세스 영역(132)이 배치될 수 있다. 상기 리세스 영역(132)은 제1 내측벽(132a, 132b), 제2 내측벽(132c, 132d) 및 제3 내측벽(132e)을 포함할 수 있다. 상기 제1 내측벽(132a, 132b) 및 상기 제3 내측벽(132e)은 상기 제1 방향으로 연장될 수 있고, 상기 제2 내측벽(132c, 132d)은 상기 제2 방향으로 연장될 수 있다.

[0069] 상기 제1 내측벽(132a, 132b)은 제1 내측벽 제1 부분(132a) 및 제1 내측벽 제2 부분(132b)을 포함할 수 있다. 상기 제1 내측벽 제1 부분(132a)은 상기 소자 분리 패턴(103)에 인접할 수 있다. 상기 제1 내측벽 제2 부분(132b)은, 상기 제2 방향으로 연장되어 상기 게이트 라인(110)을 가로지르고, 상기 제1 내측벽 제1 부분(132a)을 지나는 가상 직선으로부터 상기 제1 방향으로 이격될 수 있다. 상기 제3 내측벽(132e)은 상기 게이트 라인(110)에 인접할 수 있다. 상기 제1 내측벽의 제2 부분(132b)은 상기 활성부(105)의 제2 측벽(105b)에 인접하고, 상기 활성부(105)의 제1 측벽(105a)에 인접한 상기 활성부(105)의 부분과 상기 제3 내측벽(132e) 사이에 배치될 수 있다.

[0070] 상기 제2 방향으로 상기 제3 내측벽(132e)의 길이는 상기 제1 내측벽의 제1 부분(132a) 및 상기 제1 내측벽의 제2 부분(132b)의 상기 제2 방향으로의 길이와 같을 수 있다. 상기 제1 내측벽의 부분들(132a, 132b) 및 상기 제3 내측벽(132e)은 상기 활성부(105)로 형성될 수 있다. 스페이서(118) 아래의 제1 저농도 도핑 영역(107)은 상기 제3 내측벽(132e)의 일부를 형성할 수 있다. 상기 제1 저농도 도핑 영역(107)은 제2 타입의 도펀트로 도핑된 영역일 수 있다. 상기 소자 분리 패턴(103)에 인접한 제2 저농도 도핑 영역(108a)은 상기 제1 내측벽의 제1 및 제2 부분들(132a, 132b)의 일부를 형성할 수 있다. 상기 제2 저농도 도핑 영역(108a)은 제2 타입의 도펀트로 도핑된 영역일 수 있다.

[0071] 상기 제2 내측벽(132c, 132d)은 제2 내측벽 제1 부분(132c) 및 제2 내측벽 제2 부분(132d)을 포함할 수 있다. 상기 제2 내측벽 제1 부분(132c)은 상기 활성부(105)의 제1 측벽(105a)에 인접할 수 있고, 상기 제2 내측벽 제2

부분(132d)은 상기 게이트 라인(110)에 인접할 수 있다. 상기 제2 내측벽 제2 부분(132d)은, 상기 제2 방향으로 연장되어 상기 게이트 라인(110)을 가로지르고, 상기 제2 내측벽 제1 부분(132c)을 지나는 가상 직선으로부터, 상기 제1 방향으로 이격될 수 있다.

[0072] 상기 제2 내측벽의 제2 부분(132d)은 상기 제2 내측벽의 제1 부분(132c)에 인접한 상기 활성부(105)의 부분과 상기 제3 내측벽(132e) 사이에 배치될 수 있다. 상기 게이트 라인(110)에 수직인 방향으로 상기 제2 내측벽의 제1 부분(132c)의 길이는 상기 제2 내측벽의 제2 부분(132d)의 길이보다 길 수 있다. 상기 제2 내측벽의 제1 부분(132c)은 상기 활성부(105)로 형성될 수 있고, 상기 제2 내측벽의 제2 부분(132d)은 상기 소자 분리 패턴(103)으로 형성될 수 있다. 상기 제2 저농도 도핑 영역(108a)은 상기 제2 내측벽의 제1 부분(132c)의 일부를 형성할 수 있다. 상기 리세스 영역(132)의 바닥면은 도핑되지 않은 상기 활성부(105)로 형성될 수 있다.

[0073] 상기 리세스 영역(132) 내에 에피택시얼 패턴(142)이 배치될 수 있다. 상기 에피택시얼 패턴(142)은 상기 리세스 영역(132)을 완전히 채울 수 있다. 상기 에피택시얼 패턴(132)은 상기 리세스 영역(132)의 상기 제1 내측벽의 제1 및 제2 부분들(132a, 132b), 상기 제2 내측벽의 제1 및 제2 부분(132c, 132d) 및 상기 제3 내측벽(132e)과 접촉할 수 있다. 상기 리세스 영역(132)의 상기 제1 내측벽의 제2 부분(132b) 및 상기 제3 내측벽(132e) 사이에 개재된 상기 에피택시얼 패턴(142)의 부분의 상기 제2 방향의 폭은, 상기 제1 내측벽의 제1 부분(132a) 및 상기 제3 내측벽(132e) 사이에 개재된 에피택시얼 패턴(142)의 부분의 상기 제2 방향의 폭보다 좁을 수 있다.

[0074] 상기 제1 방향으로 연장되는 상기 에피택시얼 패턴(142)의 측벽 및 상기 소자 분리 패턴(103) 사이에, 상기 리세스 영역(132)의 상기 제1 내측벽의 제1 및 제2 부분들(132a, 132b)에 인접한 상기 활성부(105)의 부분이 개재될 수 있다. 상기 에피택시얼 패턴(142)의 상기 제2 방향으로 연장되는 측벽의 일부는 상기 소자 분리 패턴(102)과 접촉하고, 나머지 일부는 상기 제2 내측벽의 제1 부분(132c)에 인접한 상기 활성부(105)의 부분과 접촉할 수 있다. 상기 에피택시얼 패턴(142)의 상부면은 상기 활성부(105)의 상부면보다 높거나 같을 수 있다.

[0075] 상기 에피택시얼 패턴(142)은 상술된 에피택시얼 패턴(140)과 동일한 물질을 포함할 수 있다.

[0076] 상기 소자 분리 패턴(103) 상에 하드 마스크 패턴(124)이 배치될 수 있다. 상기 하드 마스크 패턴(124)은 옆으로 연장되어, 상기 리세스 영역(132)의 상기 제1 내측벽의 제1 부분(132a)과 상기 제1 내측벽의 제1 부분(132a)에 인접한 소자 분리 패턴(103) 사이의 상기 활성부(105)의 부분, 상기 제2 내측벽의 제1 부분(132c)과 상기 제2 내측벽의 제1 부분(132c)에 인접한 상기 소자 분리 패턴(103) 사이의 상기 활성부(105)의 부분을 덮을 수 있다. 상기 하드 마스크 패턴(124)은 산화물, 질화물 및/또는 산질화물로 형성될 수 있다.

[0077] 상기 에피택시얼 패턴(142) 상에 캡핑 반도체 패턴(152)이 배치될 수 있다. 상기 캡핑 반도체 패턴(152)은 상술된 캡핑 반도체 패턴(150)과 동일한 물질을 포함할 수 있다.

[0078] 다음으로 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법이 설명된다. 도 13a 내지 도 14a 는 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도이고, 도 13b 내지 도 14b 는 각각 도 13a 내지 도 14a 의 III-III' 를 따라 취한 단면도들이고, 도 13c 내지 도 14c 는 각각 도 13a 내지 도 14a 의 IV-IV' 를 따라 취한 단면도들이고, 도 13d 내지 도 14d 는 각각 도 13a 내지 도 14a 의 V-V' 를 따라 취한 단면도들이다.

[0079] 도 13a 내지 도 13d 를 참조하면, 반도체 기판(100)에 소자 분리 패턴(103)을 형성하여 활성부(105)를 정의한다. 상기 활성부(105)는 제1 방향으로 연장하는 제1 측벽(105a) 및 상기 제1 방향과 수직인 제2 방향으로 연장하는 제2 측벽(105b)을 포함할 수 있다. 상기 제1 측벽(105a)이 연장되는 길이 및 상기 제2 측벽(105b)이 연장되는 길이는 동일할 수 있다. 상기 반도체 기판(100) 상에 도 5a 내지 도 5c 를 참조하여 설명된 방법에 의해 게이트 라인(110) 및 저농도 도핑 영역(106)이 형성될 수 있다.

[0080] 상기 소자 분리 패턴(103) 상에 하드 마스크 패턴(124) 및 감광막 패턴(125)이 형성될 수 있다. 상기 하드 마스크 패턴(124) 및 상기 감광막 패턴(125)은 상기 게이트 라인(110) 양측의 상기 활성부(105)의 부분 및 상기 게이트 라인(110)을 노출하는 개구부(126)를 포함할 수 있다. 상기 하드 마스크 패턴(124)은 상기 개구부(126)의 아랫부분을 정의하고, 상기 감광막 패턴(125)은 상기 개구부(126)의 윗 부분을 정의할 수 있다. 상기 하드 마스크 패턴(124) 및 상기 감광막 패턴(125)은 상기 활성부(105)의 상기 제1 측벽(105a)에 인접한 상기 활성부(105)의 일부분을 덮을 수 있다. 상기 활성부(105)의 상기 제2 측벽(105b)에 인접한 상기 활성부(105)의 부분 중에서, 상기 게이트 라인(110)에 인접한 부분은 상기 개구부(126)에 의해 노출되고, 상기 활성부(105)의 제1 측벽(105a)에 인접한 나머지 부분은 상기 하드 마스크 패턴(124)으로 덮일 수 있다. 상기 개구부(126)에 의해 노출

된 상기 제2 측벽(105b)의 부분과 인접한 상기 소자 분리 패턴(103)의 부분은 상기 개구부(126)에 의해 노출될 수 있다. 평면적 관점에서 상기 개구부는 십자형일 수 있다. 상기 개구부(126)에 의해 노출된 상기 활성부(105)의 면적은 상기 하드 마스크 패턴(124) 및 상기 감광막 패턴(125)으로 덮여진 상기 활성부(105)의 면적보다 넓을 수 있다.

- [0081] 도 14a 내지 도 14d 를 참조하면, 상기 감광막 패턴(125)이 제거되고, 상기 개구부(126)에 의해 노출된 상기 활성부(105)가 식각될 수 있다. 상기 활성부(105)는 상기 게이트 라인(110) 및 상기 하드 마스크 패턴(124)을 식각 마스크로 사용하여 식각될 수 있다. 상기 활성부(105)는 이방성 또는 등방성으로 습식 및/또는 건식 식각의 방법을 사용하여 식각될 수 있다.
- [0082] 상기 노출된 활성부(105)가 식각되어, 상기 활성부(105) 내에 리세스 영역(132)이 형성될 수 있다. 상기 리세스 영역(132)은 제1 내측벽(132a, 132b), 제2 내측벽(132c, 132d) 및 제3 내측벽(132e)을 포함할 수 있다. 상기 제1 내측벽(132a, 132b) 및 상기 제3 내측벽(132e)은 상기 제1 방향으로 연장할 수 있고, 상기 제2 내측벽(132c, 132d)은 상기 제2 방향으로 연장될 수 있다.
- [0083] 상기 제1 내측벽(132a, 132b)은 제1 내측벽 제1 부분(132a) 및 제1 내측벽 제2 부분(132b)을 포함할 수 있다. 상기 제1 내측벽 제1 부분(132a)은 상기 소자 분리 패턴(103)에 인접할 수 있다. 상기 제3 내측벽(132e)은 상기 게이트 라인(110)에 인접할 수 있다. 상기 제1 내측벽의 제2 부분(132b)은 상기 활성부(105)의 제2 측벽(105b)에 인접하고, 상기 활성부(105)의 제1 측벽(105a)에 인접한 상기 활성부(105)의 부분과 상기 제3 내측벽(132e) 사이에 배치될 수 있다.
- [0084] 상기 제1 내측벽의 부분들(132a, 132b) 및 상기 제3 내측벽(132e)은 상기 활성부(105)로 형성될 수 있다. 상기 제2 내측벽(132c, 132d)은 제2 내측벽 제1 부분(132c) 및 제2 내측벽 제2 부분(132d)을 포함할 수 있다. 상기 제2 내측벽 제1 부분(132c)은 상기 활성부(105)의 제1 측벽(105a)에 인접할 수 있고, 상기 제2 내측벽 제2 부분(132d)은 상기 게이트 라인(110)에 인접할 수 있다.
- [0085] 상기 제2 내측벽의 제2 부분(132d)은 상기 제2 내측벽의 제1 부분(132c)에 인접한 상기 활성부(105)의 부분과 상기 제3 내측벽(132e) 사이에 배치될 수 있다. 상기 제2 내측벽의 제1 부분(132c)은 상기 활성부(105)로 형성될 수 있고, 상기 제2 내측벽의 제2 부분(132d)은 상기 소자 분리 패턴(103)으로 형성될 수 있다. 상기 리세스 영역(132)의 바닥면은 도핑되지 않은 상기 활성부(105)로 형성될 수 있다.
- [0086] 상기 노출된 활성부(105)가 식각됨으로써, 상기 게이트 라인(110) 양측의 상기 활성부(105) 내에 배치된 상기 저농도 도핑 영역(106)의 일부가 식각될 수 있다. 상기 저농도 도핑 영역(106)의 일부가 식각되어, 상기 스페이서(118) 아래의 제1 저농도 도핑 영역(107) 및 하드 마스크 패턴(120) 아래의 제2 저농도 도핑 영역(108a)이 형성될 수 있다. 상기 제2 저농도 도핑 영역(108)은 상기 활성부(105)의 상기 제1 내측벽에 인접한 상기 활성부(105) 내에 배치되고, 상기 제1 방향으로 연장하는 제1 서브 영역, 및 상기 제1 서브 영역의 양단에서 상기 게이트 라인(110)을 향하여 상기 제2 방향으로 연장하는 제2 서브 영역들을 포함할 수 있다. 상기 제2 저농도 도핑 영역(108)의 상기 제2 서브 영역들은 상기 게이트 라인(110) 아래의 상기 활성부(105)와 접촉하지 않을 수 있다.
- [0087] 다시 도 12a 내지 도 12d 를 참조하여 본 발명의 다른 실시 예에 따른 반도체 소자의 제조 방법을 계속해서 설명한다.
- [0088] 도 12a 내지 도 12d 를 참조하면, 상기 리세스 영역(132)을 갖는 반도체 기판(100)에 선택적 에피택시얼 공정이 수행되어, 상기 리세스 영역(132)을 채우는 에피택시얼 패턴(142)이 형성될 수 있다. 상기 리세스 영역(132)의 내측벽들 중에서, 상기 활성부(105)로 형성된 상기 리세스 영역(132)의 내측벽들(132a, 132b, 132c, 132e)은 상기 선택적 에피택시얼 공정에서 상기 에피택시얼 패턴(142)이 형성되는 시드막으로 작용할 수 있다. 상기 에피택시얼 패턴(142) 상에 캡핑 반도체 패턴(152)이 형성될 수 있다. 이로써, 본 발명의 다른 실시 예에 따른 반도체 소자가 구현될 수 있다.
- [0089] 상술된 실시예들에서 개시된 반도체 소자들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 일 실시예들에 따른 3차원 반도체 기억 소자들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In

Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.

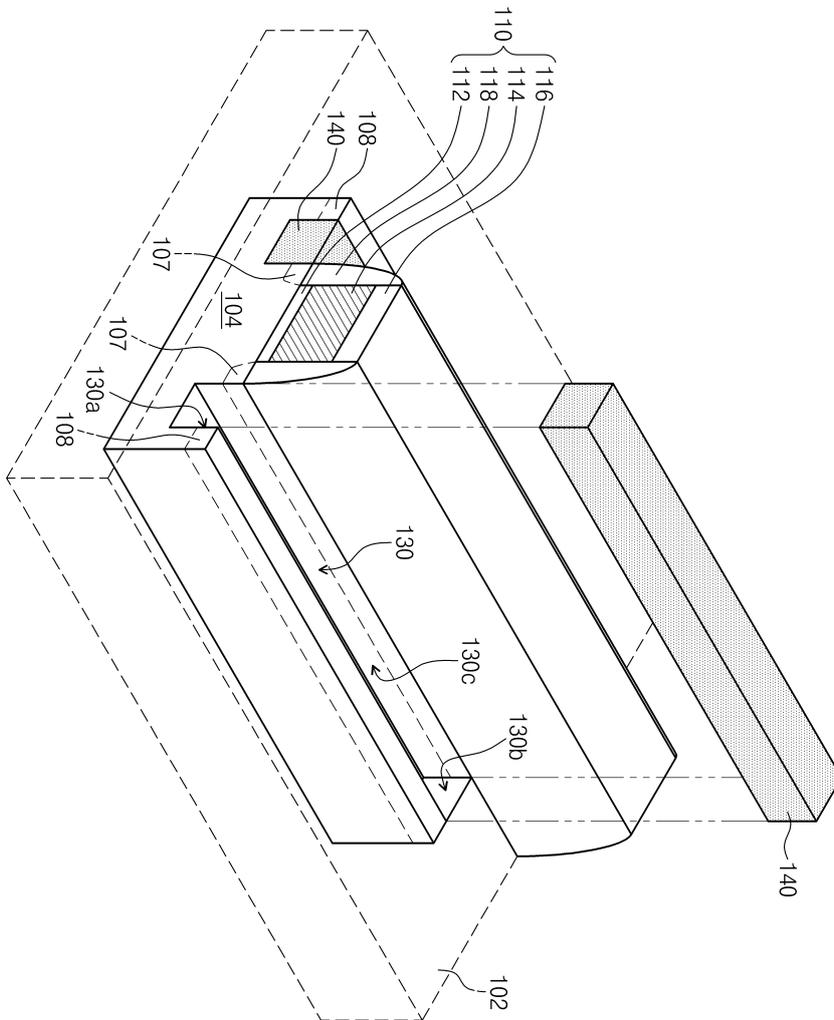
[0090] 이상, 첨부된 도면들을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

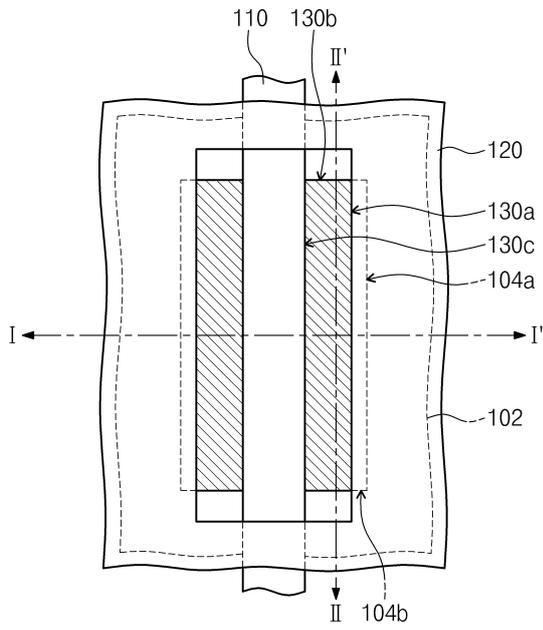
- [0091] 100: 기판
- 110: 게이트 라인
- 130, 132: 리세스 영역
- 140, 142: 에피택시얼 패턴

도면

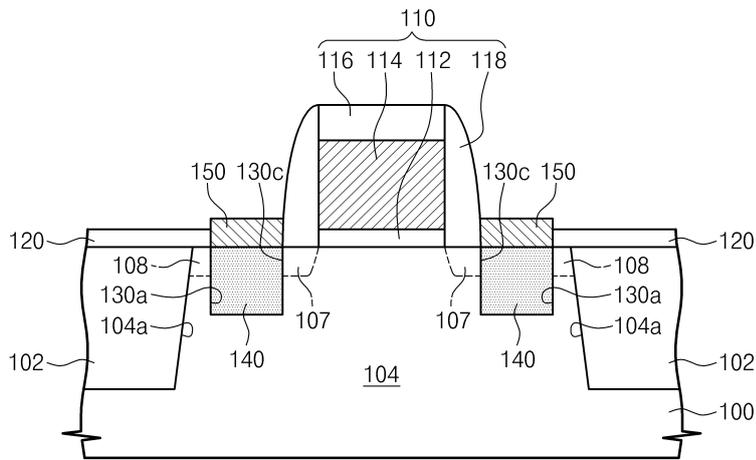
도면1



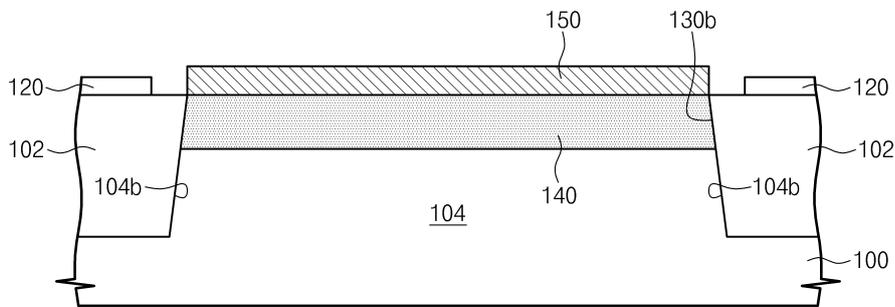
도면2a



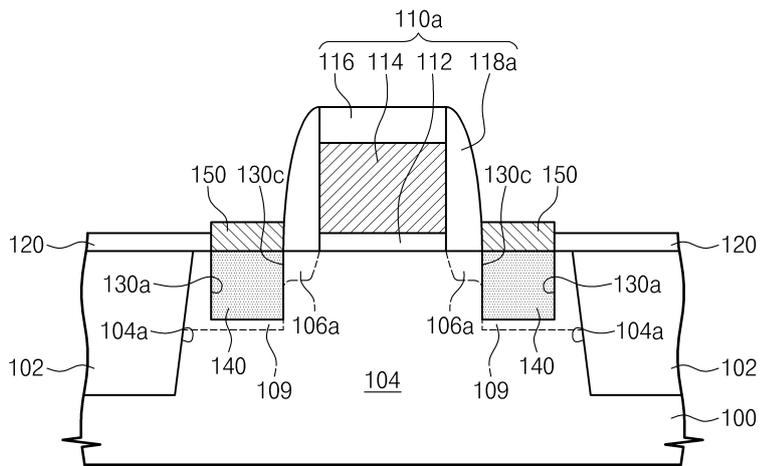
도면2b



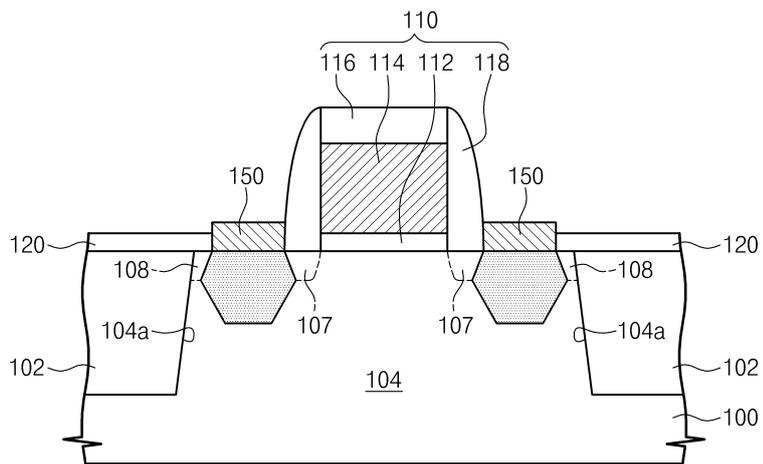
도면2c



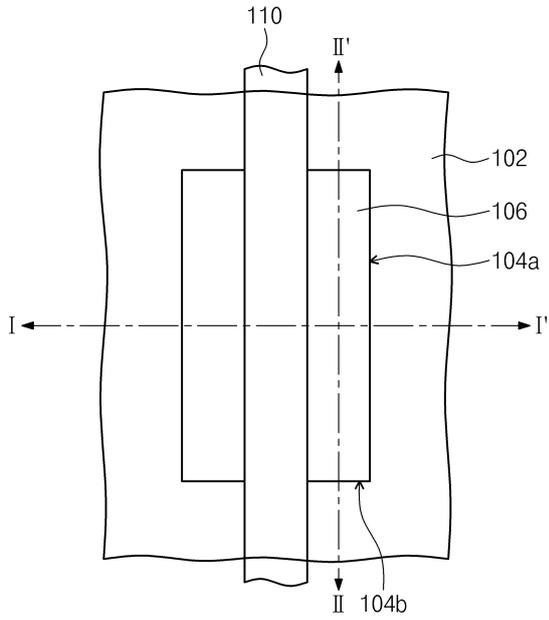
도면3



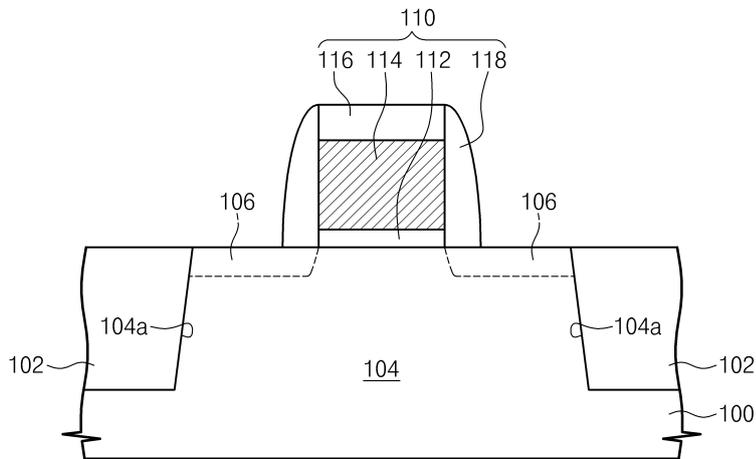
도면4



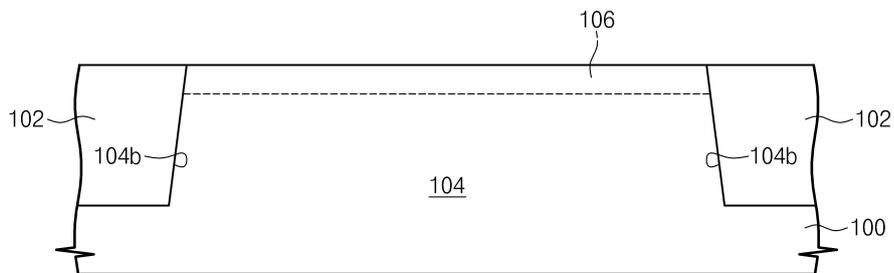
도면5a



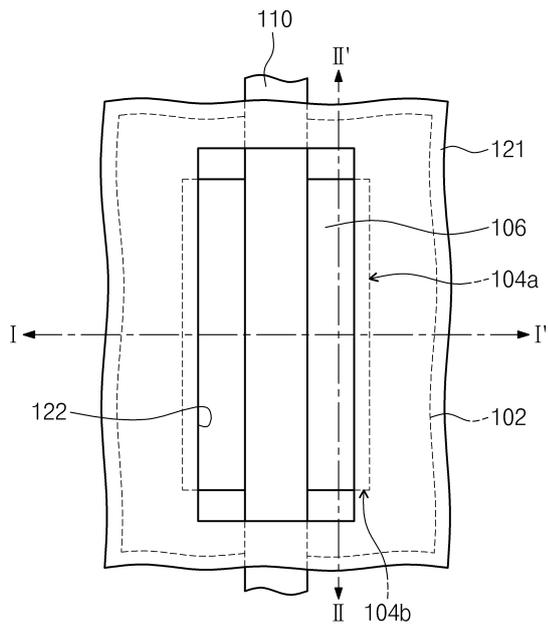
도면5b



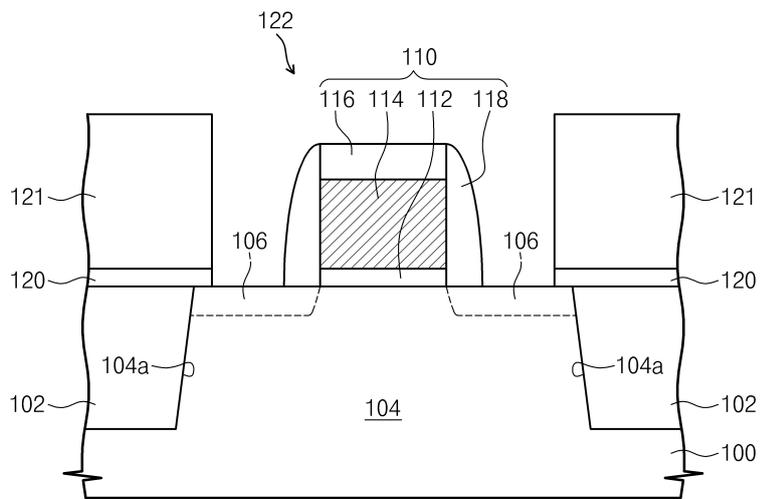
도면5c



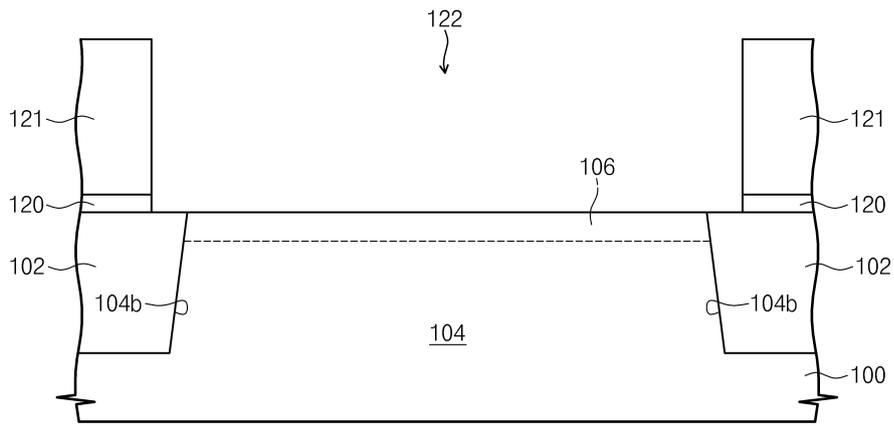
도면6a



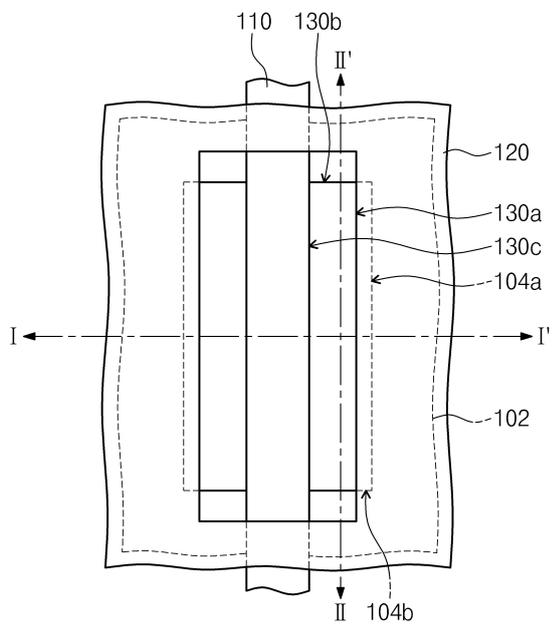
도면6b



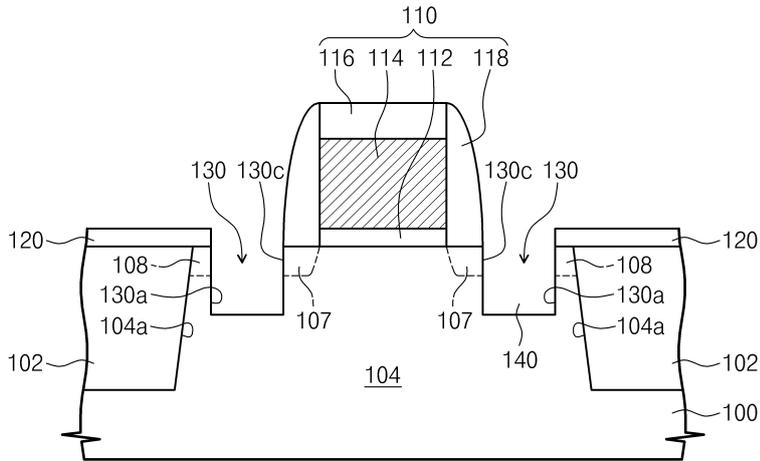
도면6c



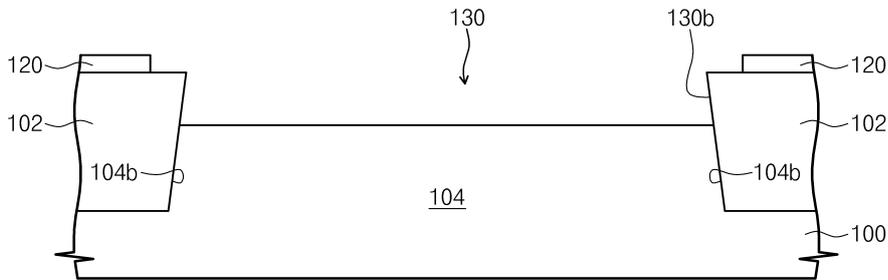
도면7a



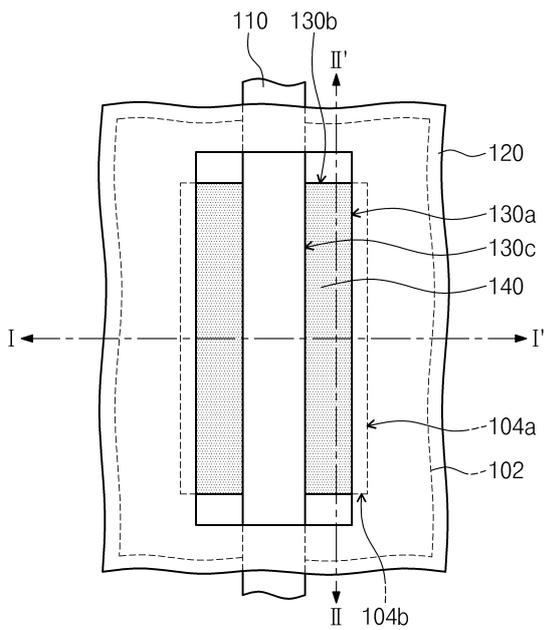
도면7b



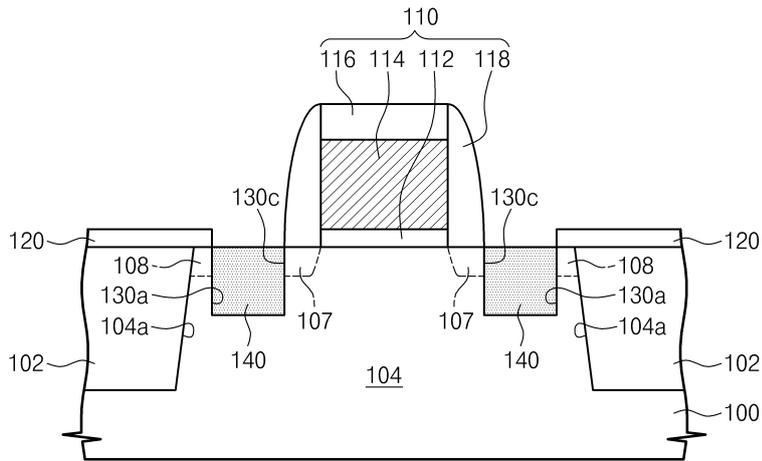
도면7c



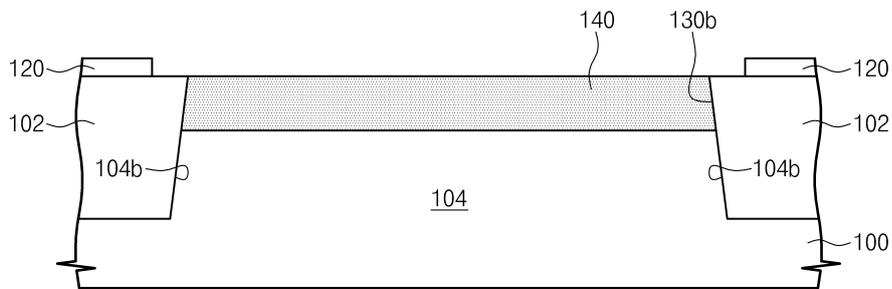
도면8a



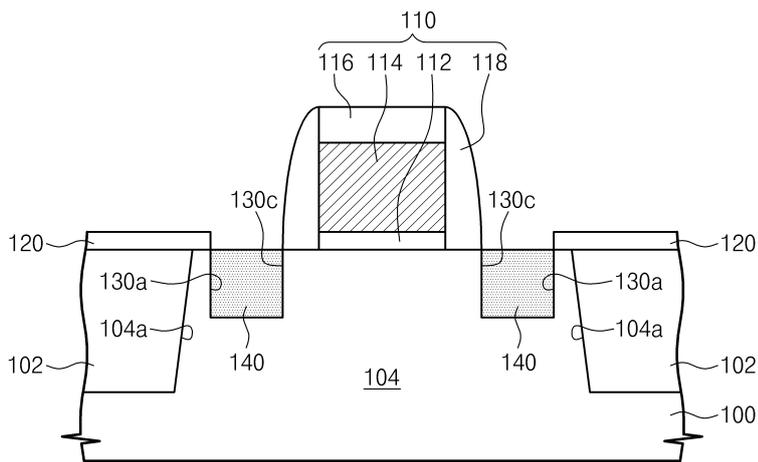
도면8b



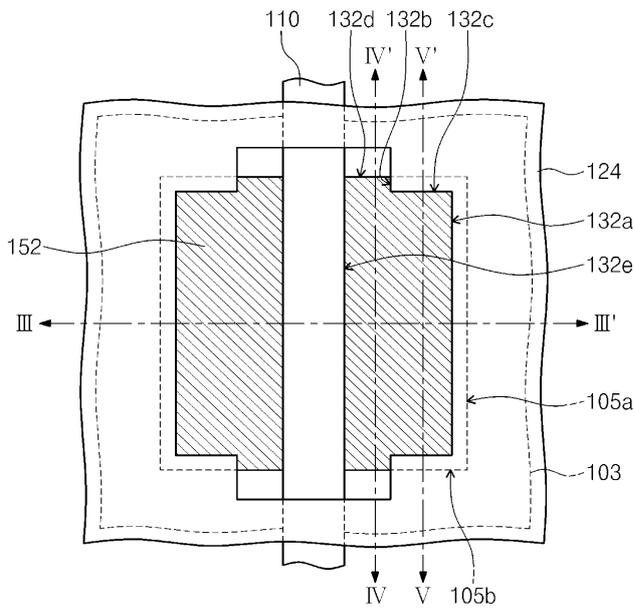
도면8c



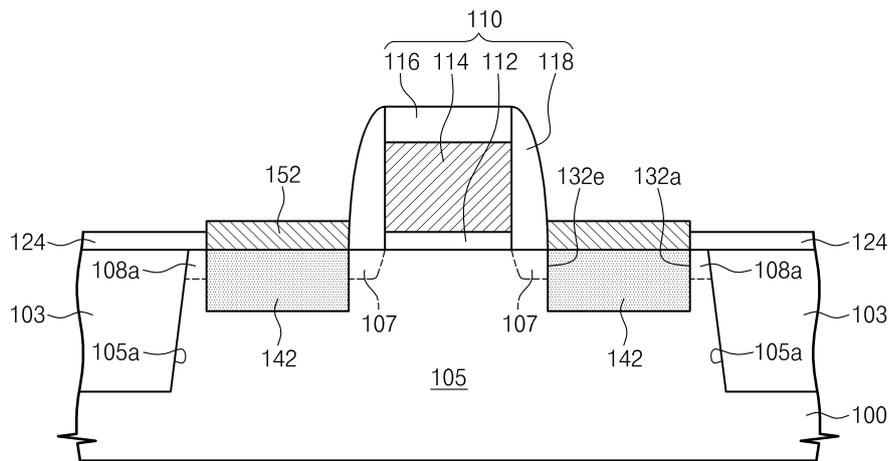
도면9



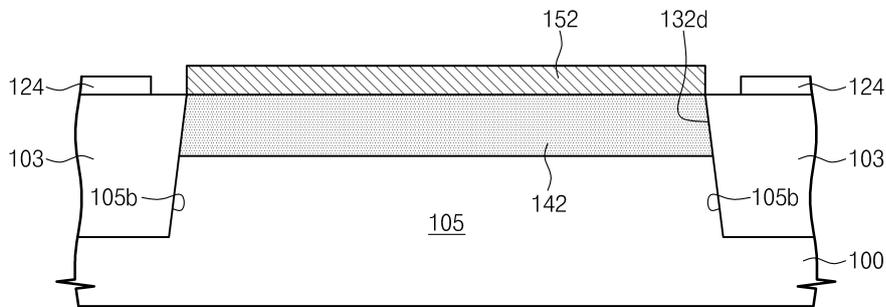
도면12a



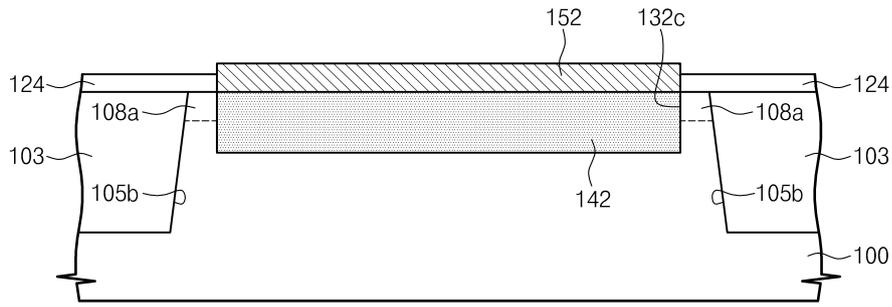
도면12b



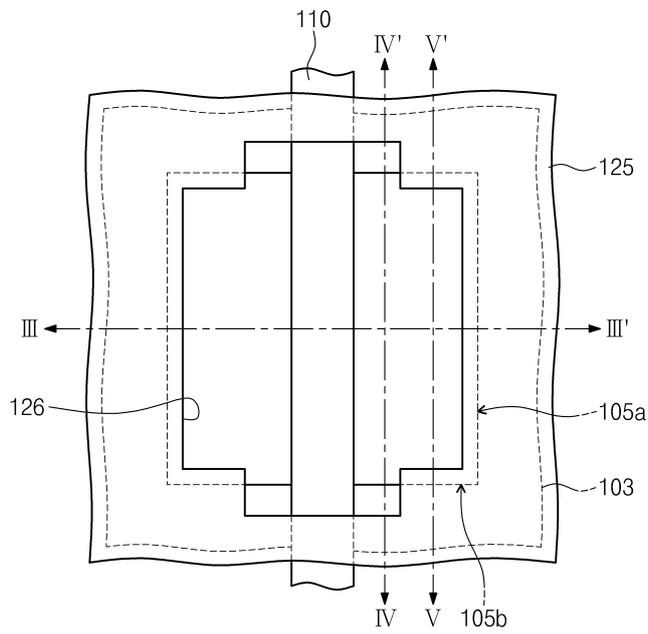
도면12c



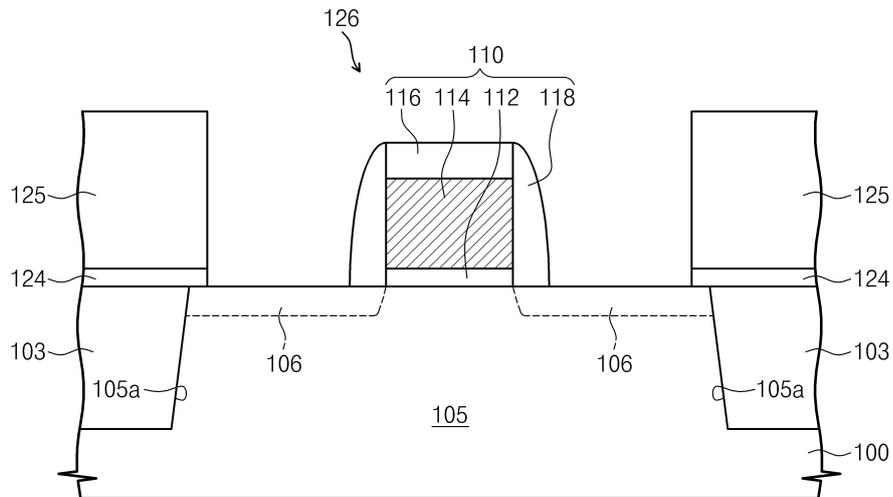
도면12d



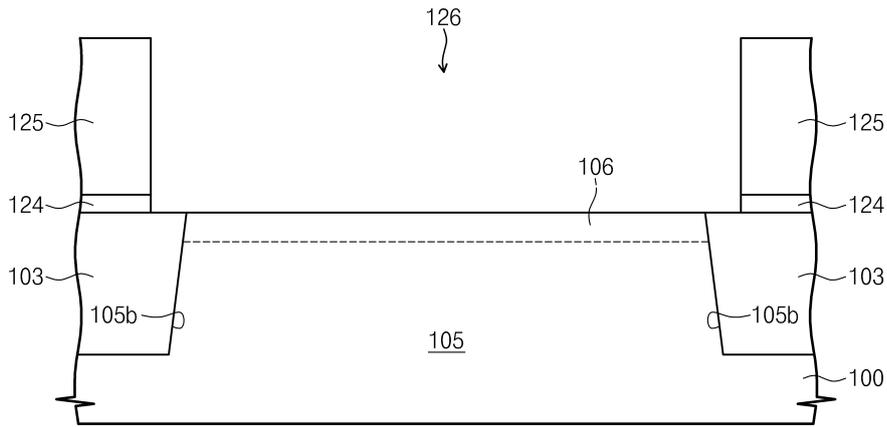
도면13a



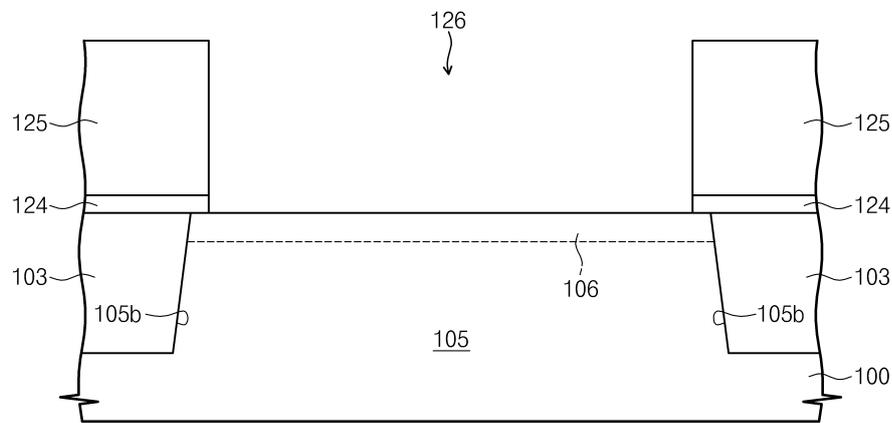
도면13b



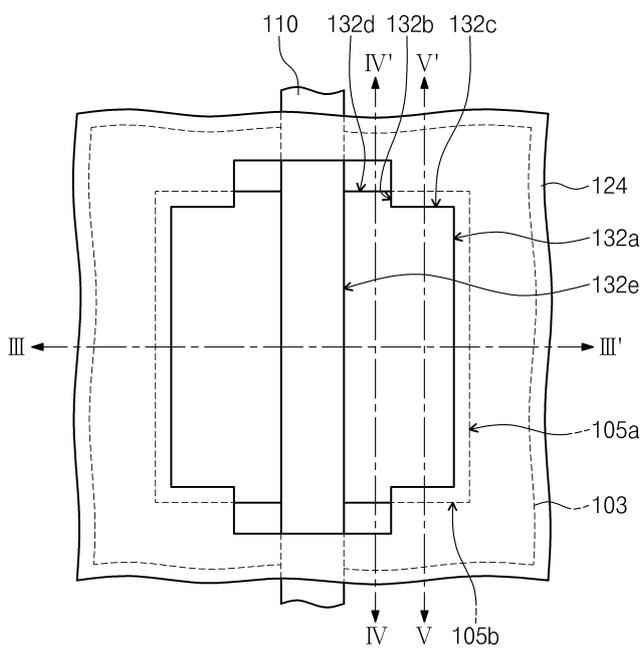
도면13c



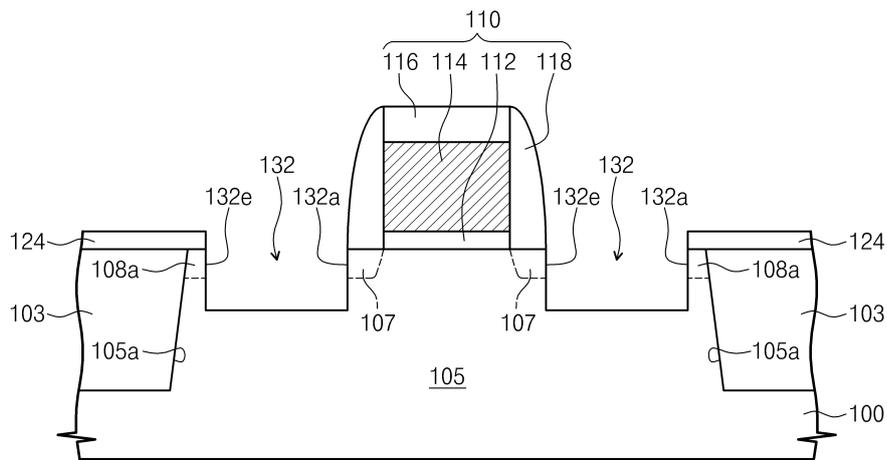
도면13d



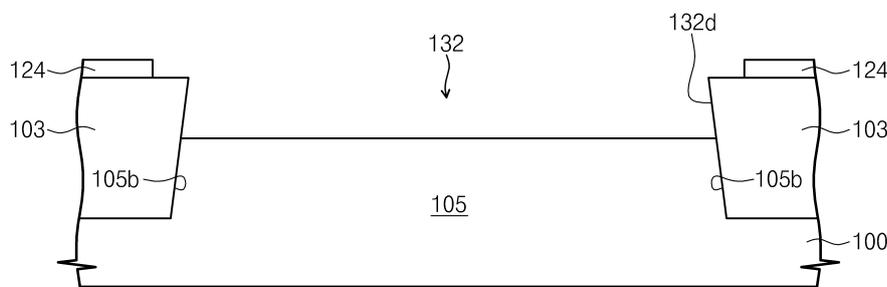
도면14a



도면14b



도면14c



도면14d

