

(12) 发明专利申请

(10) 申请公布号 CN 102751277 A

(43) 申请公布日 2012. 10. 24

(21) 申请号 201210227965. 5

(22) 申请日 2012. 07. 04

(30) 优先权数据

13/215, 116 2011. 08. 22 US

(71) 申请人 成都芯源系统有限公司

地址 611731 四川省成都市高新西区科新路  
8号成都芯源系统有限公司

(72) 发明人 唐纳德·迪斯尼

(51) Int. Cl.

H01L 27/06 (2006. 01)

H01L 27/02 (2006. 01)

H01L 21/82 (2006. 01)

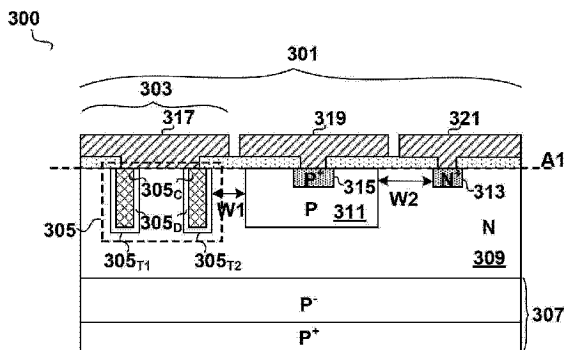
权利要求书 2 页 说明书 9 页 附图 4 页

(54) 发明名称

集成有肖特基二极管的功率器件及其制造方法

(57) 摘要

提出了一种集成有功率晶体管和肖特基二极管的功率器件及形成功率器件的方法。根据本发明实施例的功率器件包括功率晶体管、肖特基二极管以及沟槽阻隔体,其中所述功率晶体管具有漏区,所述肖特基二极管形成于所述漏区中,所述沟槽阻隔体形成于所述肖特基二极管附近,可以用于降低所述肖特基二极管的反向泄漏电流。根据本发明实施例的功率器件具有良好的单向导通电流性能,并且反向泄漏电流较小。另外,根据本发明实施例的功率器件还可以消除或者至少降低由寄生BJT引起的载流子注入衬底的问题。再者,根据本发明实施例的功率器件还可以具有改善的反向击穿电压,并且尺寸也可能减小。



1. 一种功率器件,包括:  
半导体衬底;  
功率晶体管,形成于所述半导体衬底中,其中所述功率晶体管包括漏区、源区、栅区以及耦接所述漏区的漏极金属;  
沟槽阻隔体,形成于所述功率晶体管的漏区中,其中所述沟槽阻隔体包括第一沟槽和第二沟槽,所述第一沟槽和第二沟槽由所述漏区的一部分隔开;以及  
肖特基二极管,形成于所述第一沟槽和第二沟槽之间,其中所述肖特基二极管具有阳极和阴极,所述的阳极包括所述漏极金属,所述阴极包括所述漏区的一部分。
2. 如权利要求 1 所述的功率器件,其特征在于,所述第一沟槽和第二沟槽采用导电材料填充,所述导电材料通过介电材料与所述功率晶体管的漏区隔离。
3. 如权利要求 2 所述的功率器件,其特征在于,所述漏极金属与所述第一沟槽和第二沟槽中填充的所述导电材料接触。
4. 如权利要求 2 所述的功率器件,其特征在于所述第一沟槽和第二沟槽的底部和侧壁覆盖有所述介电材料。
5. 一种功率器件,包括:  
半导体衬底,具有第一导电类型;  
阱区,形成于所述半导体衬底中,并且具有与所述第一导电类型相反的第二导电类型;  
栅区,形成于所述阱区中,并且具有所述的第一导电类型;  
第一沟槽和第二沟槽,形成于位于所述栅区一侧的所述阱区中,并且由所述阱区的一部分隔开;以及  
漏极金属,与将所述第一沟槽和第二沟槽隔开的那部分阱区接触,形成金属半导体接触。
6. 如权利要求 5 所述的功率器件,其特征在于所述第一沟槽和第二沟槽采用导电材料填充,所述导电材料通过介电材料与所述阱区隔离。
7. 如权利要求 6 所述的功率器件,其特征在于所述漏极金属与所述第一沟槽和第二沟槽中填充的所述导电材料接触。
8. 如权利要求 6 所述的功率器件,其特征在于,所述第一沟槽和第二沟槽均具有底部和侧壁,并且所述第一沟槽和第二沟槽的底部和侧壁覆盖有所述介电材料。
9. 如权利要求 5 所述的功率器件,其特征在于所述阱区包括漏区和源区,其中,所述栅区位于所述漏区和所述源区之间。
10. 如权利要求 5 所述的功率器件,其特征在于进一步包括:  
栅欧姆接触区,形成于所述栅区中,并具有所述的第一导电类型;及  
源欧姆接触区,形成于位于所述栅区另一侧的所述阱区中,并且具有所述的第二导电类型。
11. 如权利要求 10 所述的功率器件,其特征在于所述沟槽阻隔体到所述栅区之间的距离大于所述栅区到所述源欧姆接触区之间的距离。
12. 一种形成集成有功率晶体管和肖特基二极管的功率器件的方法,包括:  
提供半导体衬底的步骤;

在所述半导体衬底中形成功率晶体管的步骤,其中形成所述功率晶体管的步骤包括在所述半导体衬底中形成漏区、栅区和源区的步骤;

在所述漏区中形成沟槽阻隔体的步骤,其中形成所述沟槽阻隔体的步骤包括在所述漏区中形成第一沟槽和第二沟槽的步骤,所述第一沟槽和第二沟槽由所述漏区的一部分隔开;以及

在所述漏区中形成肖特基二极管的步骤,其中形成所述肖特基二极管的步骤包括形成漏极金属的步骤,所述漏极金属与所述第一沟槽和第二沟槽隔之间的那部分漏区接触。

13. 如权利要求 12 所述的方法,其特征在于,所述第一沟槽和第二沟槽均具有底部和侧壁,形成所述沟槽阻隔体的步骤进一步包括:

在所述第一沟槽和第二沟槽的底部和侧壁上形成覆盖所述底部和侧壁的介电材料层的步骤;以及

采用导电材料填充所述第一沟槽和第二沟槽的步骤。

14. 如权利要求 13 所述的方法,其特征在于,形成所述漏极金属的步骤进一步包括:在所述漏极金属与填充所述第一沟槽和第二沟槽的所述导电材料之间形成电气接触。

15. 一种形成功率器件的方法,包括:

提供具有第一导电类型的半导体衬底的步骤;

在所述半导体层中形成具有第二导电类型的阱区的步骤,其中所述第二导电类型与所述第一导电类型相反;

在所述阱区中形成具有所述第一导电类型的栅区的步骤;

在位于所述栅区一侧的所述阱区中形成第一沟槽和第二沟槽的步骤,其中所述第一沟槽和第二沟槽被所述阱区的一部分隔开;以及

形成漏极金属的步骤,其中所述漏极金属与将所述第一沟槽和第二沟槽隔开的那部分阱区接触。

16. 如权利要求 15 所述的方法,其特征在于,所述第一沟槽和第二沟槽均具有底部和侧壁,形成所述第一沟槽和第二沟槽的步骤进一步包括:

在所述第一沟槽和第二沟槽的底部和侧壁上形成覆盖所述底部和侧壁的介电材料层的步骤;以及

采用导电材料填充所述第一沟槽和第二沟槽的步骤。

17. 如权利要求 16 所述的方法,其特征在于,形成所述漏极金属的步骤进一步包括:在所述漏极金属与填充所述第一沟槽和第二沟槽的所述导电材料之间形成电气接触。

18. 如权利要求 15 所述的方法,其特征在于,进一步包括:

在所述阱区中形成漏区和源区的步骤,其中所述漏区和所述源区被所述栅区隔开。

19. 如权利要求 15 所述的方法,其特征在于,进一步包括:

在所述栅区中形成栅欧姆接触区的步骤,其中所述栅欧姆接触区具有所述第一导电类型;及

在位于所述栅区另一侧的所述阱区中形成源欧姆接触区的步骤,其中所述源欧姆接触区具有所述第二导电类型。

20. 如权利要求 19 所述的方法,其特征在于,所述第一沟槽和第二沟槽到所述栅区之间的距离大于所述栅区到所述源欧姆接触区之间的距离。

## 集成有肖特基二极管的功率器件及其制造方法

### 技术领域

[0001] 本发明的实施例涉及半导体器件,尤其涉及集成有肖特基二极管的高压晶体管器件。

### 背景技术

[0002] 在电源管理电路中经常需要用到这样的功率器件,其包括功率晶体管以及与该功率晶体管集成一体的肖特基二极管。图 1A 简要示意出一种功率转换电路 100,该功率转换电路 100 基于包含有功率晶体管 101 以及与该功率晶体管串联的肖特基二极管 103 的功率器件 PT 而构建,用于将输入电压  $V_{in}$  转换为输出电压  $V_o$ 。其中,功率器件 101 可以包括,例如:结型场效应晶体管(JFET),其具有栅极(G),该栅极 G 连接至电气地。因此,无需再为 JFET 的栅极提供复杂的控制电路。然而,JFET 是“常开”器件,其可以双向导通电流,即其既可以从漏极(D)到源极(S)导通电流,也可以从源极(S)到漏极(D)导通电流。因此,如果没有肖特基二极管 103,当输出电压  $V_o$  大于输入电压  $V_{in}$  时,将有电流反向地从输出  $V_o$  灌入输入  $V_{in}$ ,而这种从输出  $V_o$  到输入  $V_{in}$  的电流反灌是需要避免的。肖特基二极管 103 正是用于阻止这种从输出  $V_o$  到输入  $V_{in}$  的电流反灌。

[0003] 图 1B 示出了流经肖特基二极管 103 和 JFET 101 的电流  $I_{IN}$  与输入电压  $V_{in}$  的关系曲线示意图,在 JFET 101 的栅极 G 和源极 S 均接电气地的情况下。由图 1B 可见,当输入电压  $V_{in}$  高于肖特基二极管 103 的正向导通电压  $V_F$  时,电流  $I_{IN}$  从输入  $V_{in}$  经由正向偏置的肖特基二极管 103 以及常开的 JFET 101 流向输出  $V_o$ 。当  $V_{in}$  进一步增大,例如,增大到 JFET 101 的夹断电压  $V_p$ ,则 JFET 101 将被夹断,从而使得电流  $I_{IN}$  几乎保持稳定,不再随  $V_{in}$  的增大而增大。在典型应用中,输出  $V_o$  并不一定接电气地,而是通常连接到下级电路,以为下级电路提供能量。在这种情况下, $V_o$  将随着  $V_{in}$  增大而增大,直到  $V_{in}$  增大到 JFET 101 的夹断电压  $V_p$ , $V_o$  将几乎保持稳定不变。因此,JFET 101 用于从输入  $V_{in}$  向下级电路提供能量,同时可以保护下级电路不受高压损坏,例如,输入电压  $V_{in}$  高于  $V_p$  时,即便输入电压  $V_{in}$  继续增大,提供给下级电路的输出电压  $V_o$  也不再随输入电压增大而增大。当然,若输入电压增大到超过 JFET 101 的正向击穿电压  $V_{BF}$  时,将有很大的电流从  $V_{in}$  流向 JFET 101 的栅极和 / 或  $V_o$ 。由图 1B 还可见,若输入电压  $V_{in}$  相对于输出电压  $V_o$  为负值,即  $V_{in}$  小于  $V_o$  时,流经肖特基二极管 103 和 JFET 101 的电流  $I_{IN}$  变成一个从输出  $V_o$  流向输入  $V_{in}$  的泄漏电流  $I_{OFF}$ 。当输入电压  $V_{in}$  相对于输出电压  $V_o$  负的值超过肖特基二极管 103 的击穿电压  $V_{BR}$  时,将有很大的电流从  $V_o$  流向  $V_{in}$ 。

[0004] 图 2 示出了现有技术中的功率器件 200 的纵向剖面示意图。该功率器件 200 集成有 JFET 202 和肖特基二极管 204。该功率器件 200 形成于 P 型衬底 206 上。N 型阱区 208 形成于 P 型衬底 206 中。JFET 202 和肖特基二极管 204 共用该 P 型衬底 206 及 N 型阱区 208。P 型掺杂区 210 形成于 N 型阱区 208 中,用作 JFET 202 的栅区;P<sup>+</sup>重掺杂区 212 形成于 P 型掺杂区 210 中,用作栅区 210 的欧姆接触。图 2 所示的功率器件 200 中,N 型阱区 208 的位于栅区 210 左侧的部分形成 JFET 202 的漏区,N 型阱区 208 的位于栅区 210 右侧

的部分形成 JFET 202 的源区。N<sup>+</sup> 重掺杂区 214 形成于 N 型阱区 208 的位于栅区 210 右侧的部分中, 用作 JFET 202 源区的欧姆接触。漏极金属 216、栅极金属 218 以及源极金属 220 形成于功率器件 200 的上表面上, 并且分别与 JFET 202 的漏区、P<sup>+</sup> 重掺杂区 212 以及 N<sup>+</sup> 重掺杂区 214 耦接, 分别用作功率器件 200 的漏电极 D、栅电极 G 和源电极 S。

[0005] 肖特基二极管 204 包括阴极 208 和阳极 216, 分别与 JFET 202 共用 N 型阱区 208 和漏极金属 216。肖特基二极管 204 还进一步包括 P<sup>+</sup> 重掺杂区 222, 形成于肖特基二极管 204 的左右两侧。P<sup>+</sup> 重掺杂区 222 用于形成融合肖特基二极管 (merged Schottky Diode), 从而降低肖特基二极管 204 的反向泄漏电流。若没有 P<sup>+</sup> 重掺杂区 222, 肖特基二极管 204 的反向泄漏电流将较高而不能被接受。

[0006] 然而, P<sup>+</sup> 重掺杂区 222 可能在功率器件 200 的导通状态及肖特基二极管 204 正向导通的情况下引起一些问题。事实上, 功率器件 200 中存在寄生的双极型结型晶体管 (BJT), 该 BJT 分别以 P<sup>+</sup> 重掺杂区 222、N 型阱区 208 和 P 型衬底 206 为发射极、基极和集电极。在较大的正向导通电流下, P<sup>+</sup> 重掺杂区 222 和 N 型阱区 208 之间的结可能正向偏置, 使得该寄生 BJT 导通。在这种情况下, 载流子将可能注入衬底 206 中, 对与功率器件 200 共同集成在衬底 206 上的其它电路造成影响, 这是所不希望的。

[0007]

## 发明内容

[0008] 针对现有技术中的一个或多个问题, 本发明的实施例提供一种功率器件及其制造方法。

[0009] 在本发明的一个方面, 提出了一种功率器件, 包括: 半导体衬底以及形成于所述半导体衬底上的功率晶体管、沟槽阻隔体和肖特基二极管。其中, 所述功率晶体管形成于所述半导体衬底中, 并且包括漏区、源区、栅区以及耦接所述漏区的漏极金属; 所述沟槽阻隔体, 形成于所述功率晶体管的漏区中, 并且包括第一沟槽和第二沟槽, 所述第一沟槽和第二沟槽由所述漏区的一部分隔开; 所述肖特基二极管, 形成于所述第一沟槽和第二沟槽之间, 具有阳极和阴极, 所述的阳极包括所述漏极金属, 所述阴极包括所述漏区的一部分。

[0010] 根据本发明的实施例, 所述第一沟槽和第二沟槽采用导电材料填充, 所述导电材料通过介电材料与所述功率晶体管的漏区隔离。

[0011] 根据本发明的实施例, 所述漏极金属与所述第一沟槽和第二沟槽中填充的所述导电材料接触。

[0012] 根据本发明的实施例, 所述第一沟槽和第二沟槽的底部和侧壁覆盖有所述介电材料。

[0013] 在本发明的另一方面, 提出了一种功率器件, 包括: 半导体衬底, 具有第一导电类型; 阱区, 形成于所述半导体衬底中, 并且具有与所述第一导电类型相反的第二导电类型; 栅区, 形成于所述阱区中, 并且具有所述的第一导电类型; 第一沟槽和第二沟槽, 形成于位于所述栅区一侧的所述阱区中, 并且由所述阱区的一部分隔开; 以及漏极金属, 与将所述第一沟槽和第二沟槽隔开的那部分阱区接触, 形成金属半导体接触。

[0014] 根据本发明的实施例, 所述第一沟槽和第二沟槽采用导电材料填充, 所述导电材料通过介电材料与所述阱区隔离。

[0015] 根据本发明的实施例,所述漏极金属与所述第一沟槽和第二沟槽中填充的所述导电材料接触。

[0016] 根据本发明的实施例,所述第一沟槽和第二沟槽均具有底部和侧壁,并且所述第一沟槽和第二沟槽的底部和侧壁覆盖有所述介电材料。

[0017] 根据本发明的实施例,所述阱区包括漏区和源区,其中,所述栅区位于所述漏区和所述源区之间。

[0018] 根据本发明的实施例,所述功率器件进一步包括:栅欧姆接触区,形成于所述栅区中,并具有所述的第一导电类型;及源欧姆接触区,形成于位于所述栅区另一侧的所述阱区中,并且具有所述的第二导电类型。

[0019] 根据本发明的实施例,所述第一沟槽和第二沟槽到所述栅区之间的距离大于所述栅区到所述源欧姆接触区之间的距离。

[0020] 在本发明的又一方面,提出了一种形成集成有功率晶体管和肖特基二极管的功率器件的方法,包括:提供半导体衬底的步骤;在所述半导体衬底中形成功率晶体管的步骤,其中形成所述功率晶体管的步骤包括在所述半导体衬底中形成漏区、栅区和源区的步骤;在所述漏区中形成沟槽阻隔体的步骤,其中形成所述沟槽阻隔体的步骤包括在所述漏区中形成第一沟槽和第二沟槽的步骤,所述第一沟槽和第二沟槽由所述漏区的一部分隔开;以及在所述漏区中形成肖特基二极管的步骤,其中形成所述肖特基二极管的步骤包括形成漏极金属的步骤,所述漏极金属与所述第一沟槽和第二沟槽之间的那部分漏区接触。

[0021] 据本发明的实施例,所述第一沟槽和第二沟槽均具有底部和侧壁,形成所述沟槽阻隔体的步骤进一步包括:在所述第一沟槽和第二沟槽的底部和侧壁上形成覆盖所述底部和侧壁的介电材料层的步骤;以及采用导电材料填充所述第一沟槽和第二沟槽的步骤。

[0022] 根据本发明的实施例,形成所述漏极金属的步骤进一步包括:在所述漏极金属与填充所述第一沟槽和第二沟槽的所述导电材料之间形成电气接触。

[0023] 在本发明的再一方面,提出了一种形成功率器件的方法,包括:提供具有第一导电类型的半导体衬底的步骤;在所述半导体层中形成具有第二导电类型的阱区的步骤,其中所述第二导电类型与所述第一导电类型相反;在所述阱区中形成具有所述第一导电类型的栅区的步骤;在位于所述栅区一侧的所述阱区中形成第一沟槽和第二沟槽的步骤,其中所述第一沟槽和第二沟槽被所述阱区的一部分隔开;以及形成漏极金属的步骤,其中所述漏极金属与位于所述第一沟槽和第二沟槽之间的那部分阱区接触。

[0024] 根据本发明的实施例,所述第一沟槽和第二沟槽均具有底部和侧壁,形成所述第一沟槽和第二沟槽的步骤进一步包括:在所述第一沟槽和第二沟槽的底部和侧壁上形成覆盖所述底部和侧壁的介电材料层的步骤;以及采用导电材料填充所述第一沟槽和第二沟槽的步骤。

[0025] 根据本发明的实施例,形成所述漏极金属的步骤进一步包括:在所述漏极金属与填充所述第一沟槽和第二沟槽的所述导电材料之间形成电气接触。

[0026] 根据本发明的实施例,所述形成所述功率器件的方法可以进一步包括在所述阱区中形成漏区和源区的步骤,其中所述漏区和所述源区被所述栅区隔开。

[0027] 根据本发明的实施例,所述形成所述功率器件的方法可以进一步包括:在所述栅区中形成栅欧姆接触区的步骤,其中所述栅欧姆接触区具有所述的第一导电类型;及在位

于所述栅区另一侧的所述阱区中形成源欧姆接触区的步骤,其中所述源欧姆接触区具有所述的第二导电类型。

[0028] 根据本发明的实施例,所述第一沟槽和第二沟槽到所述栅区之间的距离大于所述栅区到所述源欧姆接触区之间的距离

利用上述方案,根据本发明实施例的功率器件至少具有以下的一个或多个优点:具有良好的单向导通电流性能,即可以在需要导通电流的方向上(正向)允许电流流通,而在不希望导通电流的方向上(反向)阻止电流流通,并且反向泄漏电流较小;可以消除或者至少降低由寄生BJT引起的载流子注入衬底的问题,从而在应用过程中,降低了对与该功率器件集成于同一衬底上的其它电路造成的影响;可以具有改善的反向击穿电压,并且尺寸也可能减小;可以具有不对称的截止特性,也就是说,根据本发明实施例的功率器件从漏区到源区和/或栅区的方向上可以承受的电压大于从源区和/或栅区到漏区的方向上可以承受的电压。

### 附图说明

[0029] 下面的附图有助于更好地理解接下来对本发明不同实施例的描述。这些附图并非按照实际的特征、尺寸及比例绘制,而是示意性地示出了本发明一些实施方式的主要特征。这些附图和实施方式以非限制性、非穷举性的方式提供了本发明的一些实施例。为简明起见,不同附图中具有相同功能的相同或类似的组件或结构采用相同的附图标记。

[0030] 图 1A 示出了现有技术中一种功率转换电路 100 的示意图;

图 1B 示出了对应于图 1A 中所示功率转换电路 100 的电流与输入电压关系曲线示意图;

图 2 示出了现有技术中集成有 JFET 和融合肖特基二极管的功率器件 200 的纵向剖面示意图;

图 3A 示出了根据本发明一个实施例的功率器件 300 的纵向剖面示意图;

图 3B 示出了采用图 3A 中所示的功率器件 300 构建将输入电压  $V_{in}$  转换为输出电压  $V_o$  的转换电路的一种示例性实施方式;

图 4A-4C 示出了根据本发明一个实施例的功率器件的制造过程的示意图;

图 5 示出了根据本发明一个实施例的形成功率器件的方法的流程示意图。

### 具体实施方式

[0031] 下面将详细说明本发明的一些实施例。在接下来的说明中,一些具体的细节,例如实施例中的具体电路结构、器件结构、工艺步骤以及这些电路、器件和工艺的具体参数,都用于对本发明的实施例提供更好的理解。本技术领域技术人员可以理解,即使在缺少一些细节或者其他方法、元件、材料等结合的情况下,本发明的实施例也可以被实现。

[0032] 在本发明的说明书及权利要求书中,若采用了诸如“左、右、内、外、前、后、上、下、顶、之上、底、之下”等一类的词,均只是为了便于描述,而不表示组件/结构的必然或永久的相对位置。本领域的技术人员应该理解这类词在合适的情况下是可以互换的,例如,以使得本发明的实施例可以在不同于本说明书描绘的方向下仍可以运作。此外,“耦接”一词意味着以直接或者间接的电气的或者非电气的方式连接。“一个/这个/那个”并不用于特指单

数,而可能涵盖复数形式。“在……内”可能涵盖“在……内 / 上”。“在一个实施例中 / 根据本发明的一个实施例”的用法并不用于特指同一个实施例中,当然也可能是同一个实施例中。除非特别指出,“或”可以涵盖“和 / 或”的意思。本领域技术人员应该理解以上对各用词的说明仅提供一些示例性的用法,并不用于限定这些词。

[0033] 本发明的实施例公开了一种集成有功率晶体管和具有沟槽的肖特基二极管的功率器件。根据本发明的一个实施例,该功率器件包括:半导体衬底;形成于所述半导体衬底上的功率晶体管,其中所述功率晶体管包括漏区、源区、栅区以及耦接所述漏区的漏极金属;形成于所述功率晶体管漏区中的沟槽阻隔体,其中所述沟槽阻隔体包括第一沟槽和第二沟槽,所述第一沟槽和第二沟槽被所述漏区的一部分隔开;以及形成于所述第一沟槽和第二沟槽之间的肖特基二极管,其中所述肖特基二极管具有阳极和阴极,所述阳极包括所述漏极金属,所述阴极包括所述功率晶体管的所述第一沟槽和第二沟槽隔开的漏区部分。

[0034] 根据本发明的一个实施例,所述第一沟槽和第二沟槽采用导电材料填充,所述导电材料通过介电材料与所述功率晶体管的漏区隔离。

[0035] 根据本发明的一个实施例,所述第一沟槽和第二沟槽均具有底部和侧墙,其中所述第一沟槽和第二沟槽的底部和侧墙覆有介电材料。

[0036] 根据本发明的一个实施例,所述功率晶体管的漏区金属与所述第一沟槽和第二沟槽中填充的导电材料接触。

[0037] 根据本发明各实施例的功率器件,其中具有沟槽阻隔体的肖特基二极管的反向泄漏电流很小,该肖特基二极管可以阻止电流在所述功率器件中朝不希望的方向流通,而在该功率器件希望导通电流的方向上施加的电压稍大于所述肖特基二极管的正向导通电压(例如,0.3V)时,该肖特基二极管正向导通并允许电流在该功率器件希望导通电流的方向上流通。因而,根据本发明各实施例的集成有肖特基二极管的功率器件,具有良好的单向导通电流性能,即可以在需要导通电流的方向上(正向)允许电流流通,而在不希望导通电流的方向上(反向)阻止电流流通,并且反向泄漏电流较小。另外,与图1中示意出的现有技术中的功率器件PT不同,根据本发明各实施例的功率器件中不包含寄生的双极型结型晶体管BJT。因此,根据本发明实施例的集成有功率晶体管和具有沟槽阻隔体的肖特基二极管的功率器件可以消除或者至少降低由寄生BJT引起的载流子注入衬底的问题,从而在应用过程中,降低了对与该功率器件集成于同一衬底上的其它电路造成的影响。

[0038] 图3A示出了根据本发明一个实施例的功率器件300的纵向剖面示意图。在图3A中所示的示例性实施例中,该功率器件300包括:结型场效应晶体管(JFET)301、肖特基二极管303和沟槽阻隔体305。根据本发明的图3A所示的示例性实施例,功率器件300具有P型衬底307,该P型衬底307可能包括P<sup>+</sup>型重掺杂衬底部分和P<sup>-</sup>型轻掺杂外延层部分。功率器件300还可以进一步包括形成于P型衬底307上的N型阱区309,以及形成于N型阱区309中的P型掺杂区311。本领域的普通技术人员应该可以理解,所述P型掺杂区311可以作为JFET 301的栅区,所述N型阱区309的位于所述P型掺杂区311左侧的部分可以作为JFET 301的漏区,而所述N型阱区309的位于所述P型掺杂区311右侧的部分可以作为JFET 301的源区。

[0039] 根据本发明的一个示例性实施例,所述功率器件300还可以进一步包括N<sup>+</sup>型重掺杂区313,该N<sup>+</sup>型重掺杂区313形成于所述N型阱区309的位于所述P型掺杂区311右侧



的部分中,并且接近其上表面 A1。所述 N<sup>+</sup> 型重掺杂区 313 可以用作 JFET 301 的源区欧姆接触。根据本发明的一个示例性实施例,所述功率器件 300 还可以进一步包括 P<sup>+</sup> 型重掺杂区 315,该 P<sup>+</sup> 型重掺杂区 315 形成于所述 P 型掺杂区 311 中,并且接近其上表面 A1。所述 P<sup>+</sup> 型重掺杂区 315 可以用作 JFET 301 栅区的欧姆接触。根据本发明的一个示例性实施例,所述功率器件 300 还可以进一步包括漏极金属 317、栅极金属 319 和源极金属 321,它们分别用作功率器件 300 的漏电极 D、栅电极 G 和源电极 S,并且分别与所述 JFET 301 的漏区(所述 N 型阱区 309 的位于所述 P 型掺杂区 311 左侧的部分)、栅区(P 型掺杂区 311)和源区(所述 N 型阱区 309 的位于所述 P 型掺杂区 311 右侧的部分)耦接。根据本发明的一个实施例,所述栅极金属 319 通过与所述 P<sup>+</sup> 型重掺杂区 315 接触而耦接至所述栅区。类似地,所述源极金属 321 通过与所述 N<sup>+</sup> 型重掺杂区 313 接触而耦接至所述源区。

[0040] 根据本发明的一个示例性实施例,JFET 301 和肖特基二极管 303 共用 P 型衬底 307 以及 N 型阱区 309。肖特基二极管 303 包括阴极和阳极,其中所述阴极包括所述 N 型阱区 309,所述阳极包括所述漏极金属 317,从而形成金属半导体接触。

[0041] 根据本发明的一个示例性实施例,沟槽阻隔体 305 邻近所述肖特基二极管 303 而形成,用于阻挡肖特基二极管 303 的反向泄漏电流。根据本发明的一个示例性实施例,沟槽阻隔体 305 包括第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub>,该第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 形成于所述 N 型阱区 309 的用作所述 JFET 301 的漏区的部分中,并且被 JFET 301 的漏区的一部分隔开,从而该第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 分别位于所述肖特基二极管 303 的左侧和右侧。根据本发明的一个示例性实施例,所述的第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 均具有底部和侧壁,并且它们的底部和侧壁覆盖有介电材料层 305<sub>b</sub>,该第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 由导电材料 305<sub>c</sub> 填充。其中所述导电材料 305<sub>c</sub> 耦接所述漏极金属 317。根据本发明的一个实施例,所述导电材料 305<sub>c</sub> 与所述漏极金属 317 部分接触。

[0042] 根据本发明的一个示例性实施例,所述介电材料层 305<sub>b</sub> 可以包括二氧化硅。根据本发明的一个示例性实施例,所述导电材料 305<sub>c</sub> 可以包括掺杂的多晶硅。

[0043] 图 3B 示出了采用图 3A 中所示的功率器件 300 构建将输入电压 V<sub>in</sub> 转换为输出电压 V<sub>o</sub> 的转换电路的一种示例性实施方式。如图 3B 所示,漏极金属 317 耦接输入电压 V<sub>in</sub>,栅极金属 319 耦接至电气地,源极金属 321 耦接输出端用于输出电压 V<sub>o</sub>。当输入电压 V<sub>in</sub> 大于肖特基二极管 303 的正向导通电压时,功率器件 300 开始导通,电流从 JFET 301 的漏区流向 JFET 301 的源区(也就是从 V<sub>in</sub> 流向 V<sub>o</sub>)。由于沟槽阻隔体 305 形成于所述第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 中,并且填充所述第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 的导电材料 305<sub>c</sub> 被介电材料层 305<sub>b</sub> 与所述 N 型阱区 309 隔离,因此,消除或者至少减小了在功率器件 300 中形成寄生双极性结型晶体管(BJT)的可能性。更进一步的,介电材料层 305<sub>b</sub> 阻止了从导电材料 305<sub>c</sub> 向 N 型阱区 309 的载流子注入,从而消除或者至少减小了由寄生 BJT 引起的载流子注入衬底 307 的问题。因此,根据本发明实施例的功率器件 300,其集成有 JFET 301 和具有沟槽阻隔体 305 的肖特基二极管 303,该功率器件 300 在导通状态及肖特基二极管 303 正向偏置(导通)的情况下,载流子注入衬底 307 的可能性被消除或者至少降低了。

[0044] 在另一方面,当输出电压 V<sub>o</sub> 大于输入电压 V<sub>in</sub> 时,肖特基二极管 303 从正向偏置转变为反向偏置。由于只有电子参与形成电流,肖特基二极管 303 的反向恢复时间很短。当肖特基二极管 303 的阴极到阳极的电压随着 V<sub>o</sub> 的增大而不断增大时,在所述第一沟槽 305<sub>T1</sub>

和第二沟槽 305<sub>T2</sub> 周围的 N 型阱区 309 中将开始形成耗尽区 323。根据本发明的一个示例性实施方式, 所述第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 的距离被设置为使得在所述第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 周围分别形成的耗尽区 323 在相对较低的肖特基二极管 303 反向偏置电压(例如: 1V~10V)下融合。在所述第一沟槽 305<sub>T1</sub> 和第二沟槽 305<sub>T2</sub> 周围分别形成的耗尽区 323 相互融合后, 肖特基二极管阴极(309)到阳极(317)的电压基本保持稳定, 从而使肖特基二极管 303 受蔽护而不受输出电压  $V_o$  继续增大将对其造成的损害。

[0045] 因此, 根据本发明实施例的功率器件 300 中, 沟槽阻隔体 305 不仅有益于降低所述肖特基二极管 303 的反向泄漏电流, 而且有助于使所述肖特基二极管 303 在具有相对较小的阴极区域的情况下, 便可以具有较高的反向击穿电压。因而也有助于提高功率器件 300 的击穿电压, 并降低功率器件 300 的尺寸。另一方面, 沟槽阻隔体 305 还有助于消除或者至少减小在功率器件 300 中形成寄生 BJT 的可能性, 从而消除或者至少在很大程度上减小了不必要的载流子向功率器件 300 的衬底 307 注入的可能性。

[0046] 根据本发明的一个示例性实施例, 功率器件 300 具有不对称的截止特性, 也就是说, 功率器件 300 从漏电极 317 到源电极 321 和 / 或栅电极 319 的方向上可以承受的电压大于从源电极 321 和 / 或栅电极 319 到漏电极 317 的方向上可以承受的电压。为了实现这种不对称的截止特性, 根据本发明的一个示例性实施例, 位于沟槽阻隔体 305 到栅区 311 之间的 N 型阱区 309 部分的宽度(例如: 图 3A 中的  $W_1$ ) 大于位于栅区 311 到源区欧姆接触 313 之间的 N 型阱区 309 部分的宽度(例如: 图 3A 中的  $W_2$ ),  $W_1 > W_2$ 。

[0047] 以上基于图 3A 和图 3B 对根据本发明各实施例的功率器件 300 进行了说明, 虽然在上述说明中, 功率器件 300 示例性地包括 JFET 301, 与肖特基二极管 303 和沟槽隔离体 305 集成。然而上述对本发明各实施例的示例性说明并不用于对本发明进行限定, 根据本发明的变形实施例及实施方式, 功率器件 300 还可能包括其它类型的功率晶体管, 例如金属氧化物半导体场效应晶体管(MOSFET)、双极型结型晶体管(BJT) 等代替前述各实施例中的 JFET 301 与所述肖特基二极管 303 及沟槽阻隔体 305 集成。

[0048] 根据本发明各实施例及其变形实施方式的功率器件的有益效果不应该被认为仅仅局限于以上所述的。根据本发明各实施例的这些及其它有益效果可以通过阅读本发明的详细说明及研究各实施例的附图被更好地理解。

[0049] 图 4A-4C 示出了根据本发明一个实施例的制造集成有功率晶体管和沟槽阻隔肖特基二极管的功率器件的制造过程的示意图。

[0050] 首先, 如图 4A 所示, 提供半导体衬底 402, 并在接下来的步骤中在所述半导体衬底 402 上形成功率晶体管 404。根据本发明的一个示例性实施例, 所述半导体衬底 402 可以包括 P 型半导体衬底。根据本发明的一个示例性实施例, 所述半导体衬底 402 可以包括 P<sup>+</sup> 重掺杂半导体衬底层和形成于该 P<sup>+</sup> 重掺杂半导体衬底层上的 P<sup>-</sup> 轻掺杂半导体外延层。根据本发明的一个示例性实施例, 所述功率晶体管 404 可以包括 N 沟道 JFET。形成所述 N 沟道 JFET 404 的步骤可以包括: 在所述半导体衬底 402 上形成 N 型阱区 406; 以及在所述 N 型阱区 406 中形成 P 型栅区 408。根据本发明的一个示例性实施例, 形成所述 N 沟道 JFET 404 的步骤可以进一步包括: 在所述 P 型栅区 408 中形成 P<sup>+</sup> 重掺杂区 410; 以及在位于所述栅区 408 任一侧的所述 N 型阱区 406 的部分中形成 N<sup>+</sup> 重掺杂区 412 (例如: 图 4A 中示意在位于所述栅区 408 右侧的所述 N 型阱区 406 的部分中形成 N<sup>+</sup> 重掺杂区 412)。

[0051] 接下来,如图 4B 所示,在所述 N 型阱区 406 中形成沟槽阻隔体 414。根据本发明的一个示例性实施例,形成所述沟槽阻隔体 414 的步骤包括:在位于所述栅区 408 没有形成 N<sup>+</sup> 重掺杂区 412 那一侧的所述 N 型阱区 406 的部分中形成第一沟槽 406<sub>T1</sub> 和第二沟槽 406<sub>T2</sub>;在所述第一沟槽 406<sub>T1</sub> 和第二沟槽 406<sub>T2</sub> 的底部和侧壁上均形成覆盖介电材料层 418;以及采用导电材料 420 填充所述第一沟槽 406<sub>T1</sub> 和第二沟槽 406<sub>T2</sub>。根据本发明的一个示例性实施例,所述介电材料层 418 包括二氧化硅。根据本发明的一个示例性实施例,所述导电材料 420 包括掺杂的多晶硅。

[0052] 下一步,如图 4C 所示,在所述 N 型阱区 406 上形成介电层 422,并且对该介电层 422 进行刻蚀以露出所述功率晶体管 404 栅区 408 的一部分(例如:所述 P<sup>+</sup> 重掺杂区 410)、所述功率晶体管 404 源区的一部分(例如:所述 N<sup>+</sup> 重掺杂区 412)、位于所述第一沟槽 406<sub>T1</sub> 和第二沟槽 406<sub>T2</sub> 之间的 N 型阱区 406 部分、以及所述第一沟槽 406<sub>T1</sub> 和第二沟槽 406<sub>T2</sub> 中的导电材料 420 的一部分。接着,在所述介电层 422 上形成金属层 424 并将该金属层 424 刻蚀形成漏极金属 424<sub>D</sub>、栅极金属 424<sub>G</sub> 和源极金属 424<sub>S</sub>,分别用作功率晶体管 404 的漏电极、栅电极以及源电极,并分别耦接露出的 N 型阱区 406 部分和导电材料 420 部分、露出的所述栅区 408 部分和露出的所述源区部分。根据本发明的示例性实施例,所述漏极金属 424<sub>D</sub>、栅极金属 424<sub>G</sub> 和源极金属 424<sub>S</sub> 分别与露出的 N 型阱区 406 部分和导电材料 420 部分、露出的 P<sup>+</sup> 重掺杂区 410 和露出的 N<sup>+</sup> 重掺杂区 412 接触。在这一步中,同时也形成了肖特基二极管 428,位于所述所述第一沟槽 406<sub>T1</sub> 和第二沟槽 406<sub>T2</sub> 之间,所述漏极金属 424<sub>D</sub> 用作该肖特基二极管 428 的阳极,所述 N 型阱区 406 用作该肖特基二极管 428 的阴极。

[0053] 以上基于图 4A-4C 对根据本发明实施例的制造集成有功率晶体管 404 和具有沟槽阻隔(406)的肖特基二极管 428 的功率器件 400 的制造过程的说明,并不用于将本发明限制在如上所描述的各具体实施方式中。根据本发明的变形实施例,所述半导体衬底 402 可以包括 N 型半导体衬底,所述功率晶体管 404 可以包括 P 沟道 JFET。根据本发明另外的变形实施例,所述功率晶体管 404 可以包括其它类型的功率晶体管(例如 MOSFET、BJT 等),而不仅仅局限于 JFET。

[0054] 图 5 示出了根据本发明一个实施例的形成集成有功率晶体管和肖特基二极管的功率器件的方法的流程示意图。该方法包括:步骤 501,提供半导体衬底;步骤 502,在所述半导体衬底上形成功率晶体管,其中形成所述功率晶体管可以包括在所述半导体衬底上形成漏区、栅区和源区;步骤 503,在所述功率晶体管的漏区中形成沟槽阻隔体;以及步骤 504,在所述功率晶体管的漏区中形成肖特基二极管。

[0055] 根据本发明的一个示例性实施例,在步骤 503 中形成所述沟槽阻隔体的步骤包括:在所述功率晶体管的漏区中形成第一沟槽和第二沟槽,其中所述第一沟槽和第二沟槽被所述功率晶体管的漏区的一部分隔开,所述第一沟槽和第二沟槽均具有底部和侧壁。根据本发明的一个示例性实施例,在步骤 504 中形成肖特基二极管的步骤包括:在所述功率晶体管的漏区上形成漏极金属,与位于所述第一沟槽和第二沟槽之间的所述漏区部分接触。

[0056] 根据本发明的一个示例性实施例,在步骤 503 中形成所述沟槽阻隔体的步骤可以进一步包括:在所述第一沟槽和第二沟槽的底部和侧壁上形成覆盖介电材料层;以及采用导电材料填充所述第一沟槽和第二沟槽。

[0057] 以上对根据本发明各实施例及其变形实施方式形成功率器件的制造过程及方法步骤的描述仅为示例性的,并不用于对本发明的进行限定。另外,一些公知的制造步骤、工艺、材料及所用杂质等并未给出或者并未详细描述,以使本发明清楚、简明且便于理解。发明所属技术领域的技术人员应该理解,以上各实施例中描述的方法及步骤可能可以采用不同的顺序实现,并不仅仅局限于所描述的实施例。

[0058] 虽然本说明书中以集成有 N 沟道 JFET 和肖特基二极管的功率器件为例对根据本发明各实施例的集成有功率晶体管和肖特基二极管的功率器件及其制造方法进行了示意与描述,但这并不意味着对本发明的限定,本领域的普通技术人员应该理解这里给出的结构及原理同样适用于该功率器件中集成的功率晶体管为 P 沟道 JFET、N 沟道 / 沟道 MOSFET、功率 BJT、DMOS 等高压晶体管器件及其它类型的半导体材料及半导体器件的情形。

[0059] 虽然根据本发明的某些实施例,选用掺杂的多晶硅来填充沟槽阻隔体的第一沟槽和第二沟槽,然而这并不用于限定填充沟槽阻隔体的第一沟槽和第二沟槽的导电材料为掺杂的多晶硅。本领域的技术人员应该理解,填充沟槽阻隔体的第一沟槽和第二沟槽的导电材料可能包括与器件制造工艺相兼容的其它导电材料(例如:金属、其它半导体、半金属、和 / 或它们的组合物)。因此,这里的“掺杂的多晶硅”意味着涵盖了硅及除硅以外的其它导电材料及其组合物。

[0060] 因此,上述本发明的说明书和实施方式仅仅以示例性的方式对本发明实施例的功率器件及其制造方法进行了说明,并不用于限定本发明的范围。对于公开的实施例进行变化和修改都是可能的,其他可行的选择性实施例和对实施例中元件的等同变化可以被本技术领域的普通技术人员所了解。本发明所公开的实施例的其他变化和修改并不超出本发明的精神和保护范围。

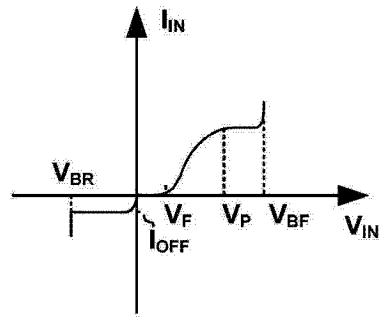
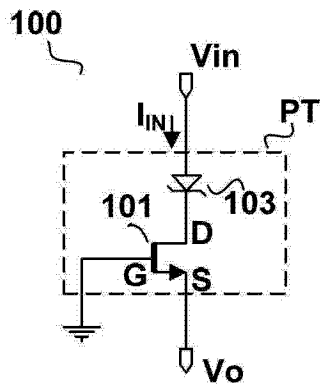


图 1B

图 1A

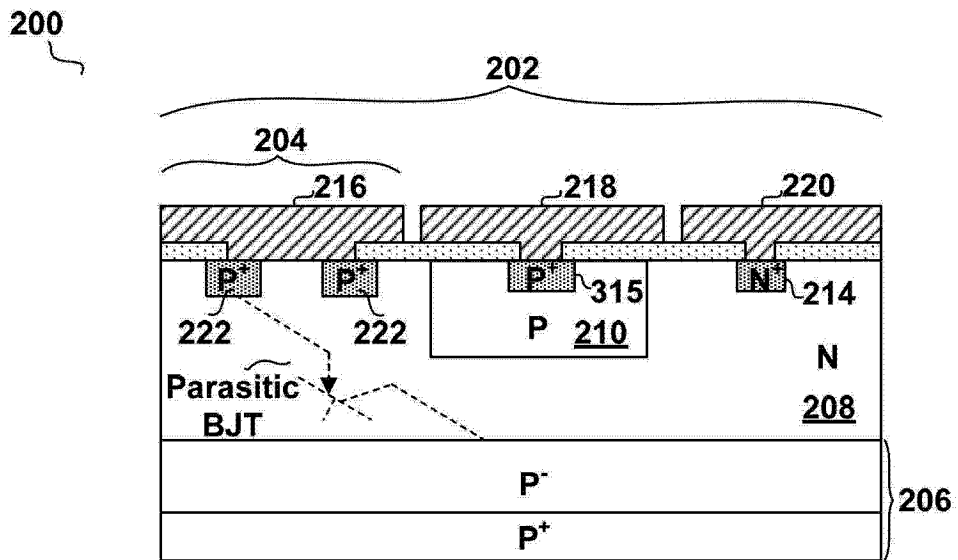


图 2

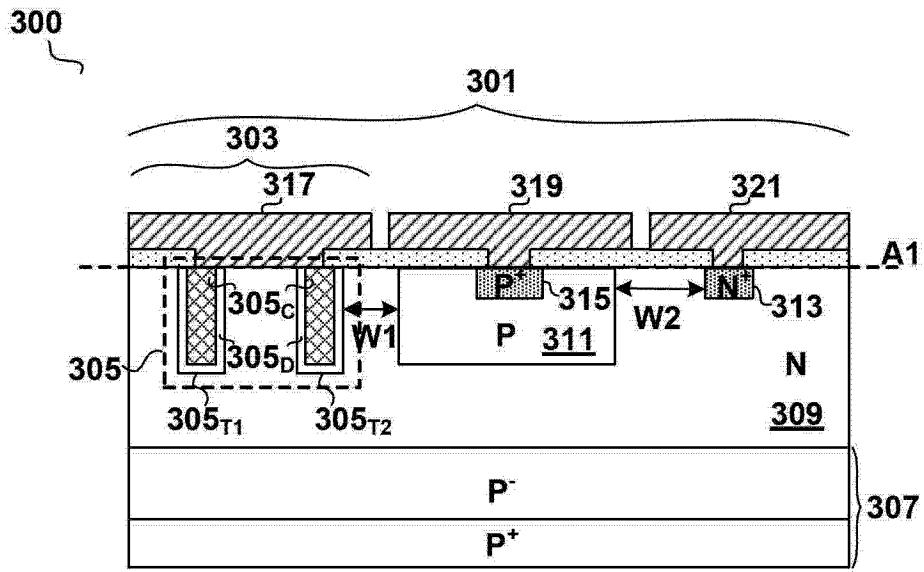


图 3A

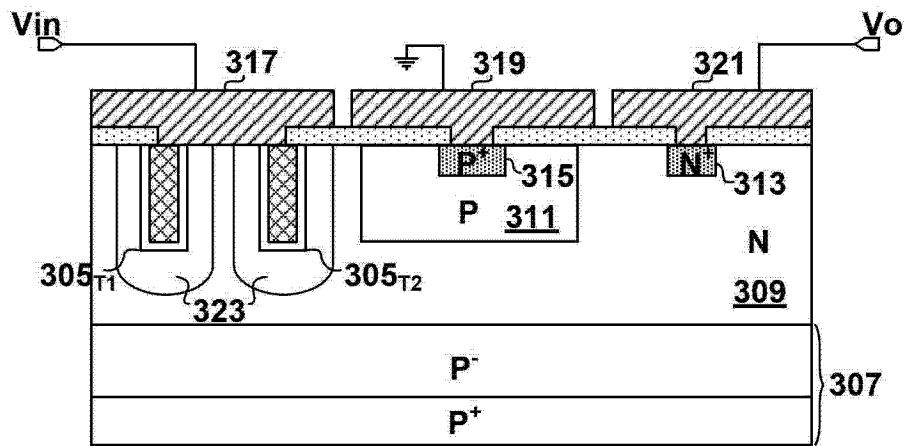


图 3B

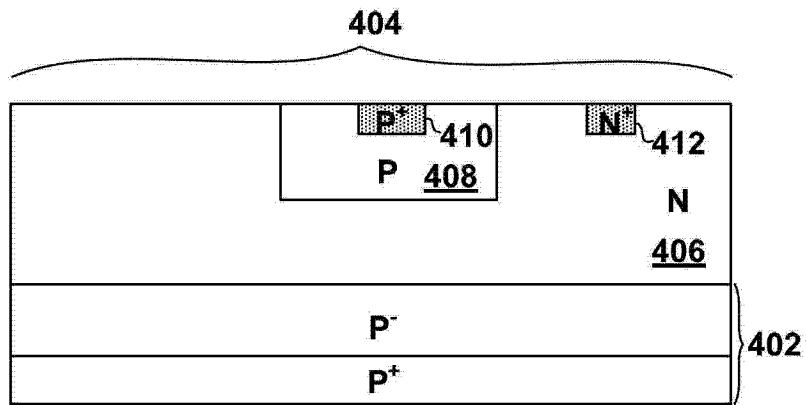


图 4A

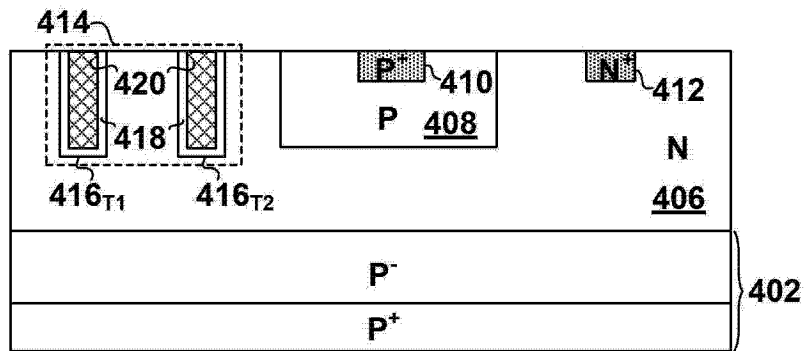


图 4B

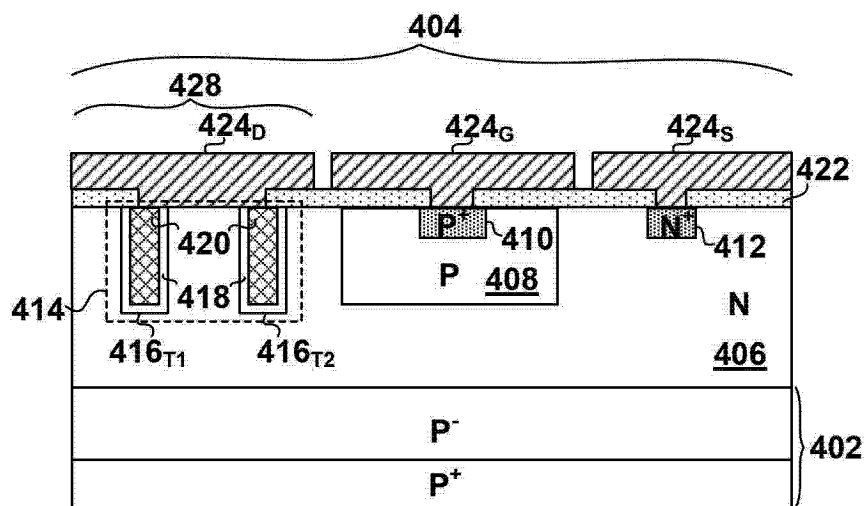


图 4C

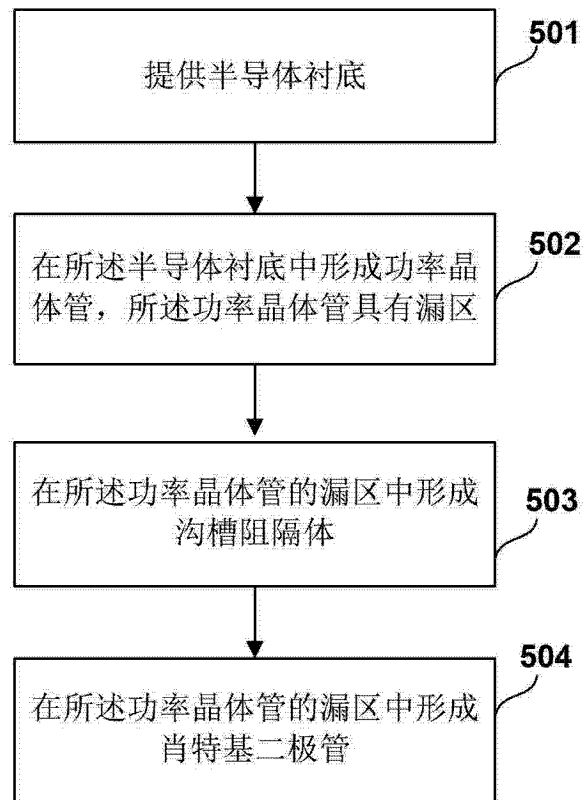


图 5