



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I555153 B

(45)公告日：中華民國 105 (2016) 年 10 月 21 日

(21)申請案號：103144454

(22)申請日：中華民國 103 (2014) 年 12 月 19 日

(51)Int. Cl. : *H01L23/48 (2006.01)**H01L23/12 (2006.01)**H01L21/60 (2006.01)*(71)申請人：恆勁科技股份有限公司 (中華民國) PHOENIX PIONEER TECHNOLOGY CO., LTD.
(TW)

新竹縣湖口鄉新興路 458 之 17 號

(72)發明人：許哲瑋 HSU, CHE WEI (TW)；許詩濱 HSU, SHIH PING (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 201444040A

TW 201448075A

審查人員：徐欽民

申請專利範圍項數：11 項 圖式數：2 共 17 頁

(54)名稱

基板結構及其製法

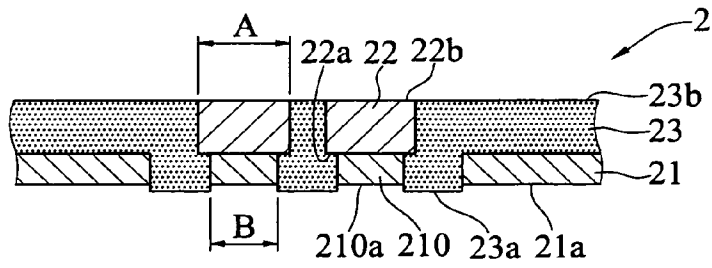
SUBSTRATE STRUCTURE AND METHOD OF FABRICATING THE SAME

(57)摘要

一種基板結構之製法，係先提供具有一線路層之一承載板，且該線路層具有複數電性接觸墊，再於該些電性接觸墊上形成複數導電柱，且該導電柱之端面的面積大於該電性接觸墊之端面的面積，接著形成一絕緣層於該承載板上以包覆該線路層，且該些導電柱係外露於該絕緣層，之後移除該承載板，令該導電柱之端面作為植球墊，以省略製作絕緣層之第二表面上之線路層，而降低製作成本。本發明復提供該基板結構。

A method of manufacturing a substrate structure is provided, including a carrier having a wiring layer comprised of a plurality of electrical contact pads; forming a plurality of conductive pillars on the electrical contact pads, wherein the end surface of the conductive pillars is greater than that of the electrical contact pads; forming an insulating layer on the carrier to cover the wiring layer while exposing the conductive pillars therefrom; and removing the carrier for allowing the end surface of the conductive pillars to serve as ball-planting pads and thereby eliminate the need to form a wiring layer on the second surface of the insulating layer in order to reduce manufacturing costs. The invention further provides the substrate structure as described above.

指定代表圖：



第2D圖

符號簡單說明：

2 . . . 基板結構

21 . . . 線路層

21a . . . 線路層第一表面

210 . . . 電性接觸墊

210a . . . 電性接觸墊第一端面

22 . . . 導電柱

22a . . . 導電柱第一端面

22b . . . 導電柱第二端面

23 . . . 絕緣層

23a . . . 絕緣層第一表面

23b . . . 絕緣層第二表面

A、B . . . 面積

發明摘要

公告本

※申請案號：103144454

※申請日：103.12.19

※IPC分類：H01L 23/48 (2006.01)
H01L 23/12 (2006.01)

【發明名稱】(中文/英文)

H01L 21/60 (2006.01)

基板結構及其製法

SUBSTRATE STRUCTURE AND METHOD OF

FABRICATING THE SAME

【中文】

一種基板結構之製法，係先提供具有一線路層之一承載板，且該線路層具有複數電性接觸墊，再於該些電性接觸墊上形成複數導電柱，且該導電柱之端面的面積大於該電性接觸墊之端面的面積，接著形成一絕緣層於該承載板上以包覆該線路層，且該些導電柱係外露於該絕緣層，之後移除該承載板，令該導電柱之端面作為植球墊，以省略製作絕緣層之第二表面上之線路層，而降低製作成本。本發明復提供該基板結構。

【英文】

A method of manufacturing a substrate structure is provided, including a carrier having a wiring layer comprised of a plurality of electrical contact pads; forming a plurality of conductive pillars on the electrical contact pads, wherein the end surface of the conductive pillars is greater than that of the electrical contact pads; forming an insulating layer on the carrier to cover the wiring layer while exposing the conductive pillars therefrom; and removing the carrier for allowing the end surface of the conductive pillars to serve as ball-planting pads and thereby eliminate the need to form a wiring layer on the second surface of the insulating layer in order to reduce manufacturing costs. The invention further provides the substrate structure as described above.

【代表圖】

【本案指定代表圖】：第（ 2D ）圖。

【本代表圖之符號簡單說明】：

2	基板結構
21	線路層
21a	線路層第一表面
210	電性接觸墊
210a	電性接觸墊第一端面
22	導電柱
22a	導電柱第一端面
22b	導電柱第二端面
23	絕緣層
23a	絕緣層第一表面
23b	絕緣層第二表面
A、B	面積

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

基板結構及其製法

SUBSTRATE STRUCTURE AND METHOD OF
FABRICATING THE SAME

【技術領域】

本發明係有關一種基板結構，尤指一種封裝堆疊結構用之基板結構及其製法。

【先前技術】

隨著半導體封裝技術的演進，半導體裝置(Semiconductor device)已開發出不同的封裝型態，而為提升電性功能及節省封裝空間，遂堆加複數封裝結構以形成封裝堆疊結構(Package on Package，簡稱 PoP)，此種封裝方式能發揮系統封裝(System in Package，簡稱 SiP)異質整合特性，可將不同功用之電子元件，例如：記憶體、中央處理器、繪圖處理器、影像應用處理器等，藉由堆疊設計達到系統的整合，適合應用於輕薄型各種電子產品。

早期封裝堆疊結構係將記憶體封裝件(俗稱記憶體 IC)藉由複數焊球堆疊於邏輯封裝件(俗稱邏輯 IC)上，且隨著電子產品更趨於輕薄短小及功能不斷提昇之需求，記憶體封裝件之佈線密度愈來愈高，以奈米尺寸作單位，因而其接點之間間距更小；然，邏輯封裝件的間距係以微米尺寸作單位，而無法有效縮小至對應記憶體封裝件的

間距，導致雖有高線路密度之記憶體封裝件，卻未有可配合之邏輯封裝件，以致於無法有效生產電子產品。

因此，為克服上述問題，遂於記憶體封裝件與邏輯封裝件之間增設一基板結構（substrate structure），如，該基板結構之底端電性結合間距較大之具邏輯晶片之邏輯封裝件，而該基板結構之上端電性結合間距較小之具記憶體晶片之記憶體封裝件。

第 1A 至 1B 圖係為習知基板結構 1 之製法之剖面示意圖。

如第 1A 圖所示，利用雷射方式形成通孔 100 於一承載板 10 上。

如第 1B 圖所示，分別形成線路層 11,14 於該承載板 10 之上、下兩側上，且於該通孔 100 中電鍍金屬材以形成導電柱 12，俾藉由該導電柱 12 電性連接該線路層 11,14。

之後，分別形成一絕緣層 13,16 於該承載板 10 之上、下兩側與該線路層 11,14 上，並外露該線路層 11,14 之部分表面，俾供作為外接墊。

惟，習知基板結構 1 之製法中，各線路層 11,14 間之導電方式需經由雷射方式於該承載板 10 上形成通孔 100，再電鍍金屬材以形成導電柱 12，因而製程繁瑣，以致於製作成本難以降低。

因此，如何克服習知技術中之問題，實已成目前亟欲解決的課題。

【發明內容】

鑑於上述習知技術之缺失，本發明提供一種基板結構，係包括：一絕緣層，係具有相對之第一表面與第二表面；一線路層，係形成於該絕緣層之第一表面上，且該線路層具有複數電性接觸墊；以及複數導電柱，係形成於該絕緣層中且設於該線路層上並連通至該絕緣層之第二表面，其中，該導電柱之端面的面積大於該電性接觸墊之端面的面積。

本發明復提供一種基板結構之製法，係包括：提供具有一線路層之一承載板，且該線路層具有複數電性接觸墊；於該些電性接觸墊上形成複數導電柱，且該導電柱之端面的面積大於該電性接觸墊之端面的面積；形成一絕緣層於該承載板上，以令該絕緣層包覆該線路層，該絕緣層係具有相對之第一表面與第二表面，且該絕緣層藉其第一表面結合至該承載板上，而該些導電柱係外露於該絕緣層之第二表面；以及移除該承載板，使該線路層外露於該絕緣層之第一表面。

前述之製法中，移除全部該承載板。

前述之基板結構及其製法中，該絕緣層係以鑄模方式、塗佈方式或壓合方式形成於該承載板上，故形成該絕緣層之材質係為鑄模化合物、底層塗料或介電材料。

前述之基板結構及其製法中，該線路層之表面係低於該絕緣層之第一表面。

前述之基板結構及其製法中，該導電柱之端面係齊平該絕緣層之第二表面。

另外，前述之基板結構及其製法中，移除部分該承載板，使保留之該承載板作為設於該絕緣層之第一表面上的支撐結構。

由上可知，本發明基板結構及其製法，係藉由在該些電性接觸墊上形成導電柱，再形成該絕緣層，因而無需採用習知雷射方式形成通孔，故相較於習知技術，本發明能縮減製程步驟而降低成本。

再者，藉由該導電柱之端面的面積大於該電性接觸墊之端面的面積，使該導電柱之端面作為植球墊，以省略製作絕緣層之第二表面上之線路層，故相較於習知技術，本發明能縮減製程步驟而降低成本。

【圖式簡單說明】

第 1A 至 1B 圖係為習知基板結構之製法之剖視示意圖；以及

第 2A 至 2D 圖係為本發明之基板結構之製法之剖視示意圖；其中，第 2D' 圖係為第 2D 圖之另一態樣。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例

關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”、“第一”、“第二”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2D 圖係為本發明之無核心層式 (coreless) 基板結構 2 之一實施例之製法之剖視示意圖。於本實施例中，該基板結構 2 係為晶片尺寸覆晶封裝 (flip-chip chip scale package, 簡稱 FCCSP) 用之基板。

如第 2A 圖所示，提供一承載板 20。於本實施例中，該承載板 20 係為基材，例如銅箔基板，但無特別限制，本實施例係以銅箔基板作說明，其兩側具有含銅之金屬材 20a。

接著，藉由圖案化製程，以形成一線路層 21 於該承載板 20 上。

於本實施例中，該線路層 21 係包含複數電性接觸墊 210 與複數導電跡線 211。

如第 2B 圖所示，藉由圖案化製程，以電鍍形成複數導電柱 22 於該線路層 21 之電性接觸墊 210 上，且該導電柱 22 之導電柱第一端面 22a 與導電柱第二端面 22b 的面積 A 均大於該電性接觸墊 210 之電性接觸墊第一端面 210a 與電性接觸墊第二端面 210b 的面積 B。

於本實施例中，該些導電柱 22 係以其導電柱第一端面 22a 接觸且電性連接該些電性接觸墊 210 之電性接觸墊第二端面 210b。

如第 2C 圖所示，形成一絕緣層 23 於該承載板 20 上，以令該絕緣層 23 包覆該線路層 21 與該些導電柱 22，該絕緣層 23 係具有相對之絕緣層第一表面 23a 與絕緣層第二表面 23b，且該絕緣層 23 藉其絕緣層第一表面 23a 結合至該承載板 20 上，而該導電柱 22 之其中一端面（即導電柱第二端面 22b）係外露於該絕緣層 23 之絕緣層第二表面 23b。

於本實施例中，該絕緣層 23 係以鑄模方式、塗佈方式或壓合方式形成於該承載板 20 上，且形成該絕緣層 23 之材質係為鑄模化合物 (Molding Compound)、底層塗料 (Primer)、或如環氧樹脂 (Epoxy) 之介電材料。

再者，該導電柱 22 之導電柱第二端面 22b 係齊平該絕緣層 23 之絕緣層第二表面 23b。

如第 2D 圖所示，移除全部該承載板 20，使該線路層 21 之線路層第一表面 21a（含該電性接觸墊 210 之電性接觸墊第一端面 210a）外露於該絕緣層 23 之絕緣層第一表面 23a，且該線路層 21 之線路層第一表面 21a 係低於該絕緣層 23 之絕緣層第一表面 23a。

於本實施例中，係以蝕刻方式移除該金屬材 20a，故會略蝕刻該線路層 21 之線路層第一表面 21a，使該線路層 21 之線路層第一表面 21a 係微凹於該絕緣層 23 之絕緣層第一表面 23a。

於另一實施例中，如第 2D' 圖所示，圖案化蝕刻移除部分該承載板 20，使保留之該承載板作為支撐結構 20'，且該線路層 21 之線路層第一表面 21a (含該電性接觸墊 210 之電性接觸墊第一端面 210a) 外露於該絕緣層 23 之絕緣層第一表面 23a。

因此，本發明之製法係藉由在該些電性接觸墊 210 上形成導電柱 22，再形成該絕緣層 23，因而無需採用習知雷射方式形成通孔，故相較於習知技術，本發明能縮減製程步驟而降低成本。

再者，於製作完複數導電柱 22 後，令該導電柱 22 之導電柱第二端面 22b 的面積 A 大於該電性接觸墊 210 之電性接觸墊第一端面 210a 與電性接觸墊第二端面 210b 的面積 B，使該導電柱 22 之導電柱第二端面 22b 直接作為植球墊，以省略製作絕緣層 23 之絕緣層第二表面 23b 上之線路層，故相較於習知技術，本發明能縮減製程步驟而降低成本。

本發明復提供一種基板結構 2,2'，係包括：一絕緣層 23、一線路層 21 以及複數導電柱 22。

所述之絕緣層 23 係具有相對之絕緣層第一表面 23a 與絕緣層第二表面 23b，且該絕緣層 23 係為鑄模化合物、環氧樹脂或介電材料。

所述之線路層 21 係嵌埋於該絕緣層 23 中並外露於該絕緣層第一表面 23a，且該線路層 21 具有複數電性接觸墊 210。

所述之導電柱 22 係形成於該絕緣層 23 中且設於該些電性接觸墊 210 上並連通至該絕緣層 23 之絕緣層第二表面 23b，其中，該導電柱 22 之導電柱第一端面 22a 與導電柱第二端面 22b 的面積 A 大於該電性接觸墊 210 之電性接觸墊第一端面 210a 與電性接觸墊第四端面 210b 的面積 B。

於一實施例中，該線路層 21 之線路層第一表面 21a 係低於該絕緣層 23 之絕緣層第一表面 23a。

於一實施例中，該導電柱 22 之導電柱第二端面 22b 係齊平該絕緣層 23 之絕緣層第二表面 23b。

於一實施例中，所述之基板結構 2' 復包括一支撐結構 20'，係設於該絕緣層 23 之絕緣層第一表面 23a 上。

綜上所述，本發明基板結構及其製法，主要應用在細間距及高腳數之封裝堆疊結構之產品上，例如智慧型手機、平板、網通、筆記型電腦等產品，且在產品需於高頻高速下運作、朝輕薄短小設計、功能越強、越快及儲存量愈高時，更需使用到本發明之基板結構。

再者，本發明之基板結構 2,2' 可藉由該線路層 21 結合邏輯封裝件或記憶體封裝件，且可藉由該導電柱 22 結合邏輯封裝件或記憶體封裝件。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

1、2、2'	基板結構
10、20	承載板
100	通孔
11、14、21	線路層
12、22	導電柱
13、16、23	絕緣層
20a	金屬材
20'	支撐結構
21a	線路層第一表面
210	電性接觸墊
210a	電性接觸墊第一端面
210b	電性接觸墊第二端面
211	導電跡線
22a	導電柱第一端面
22b	導電柱第二端面
23a	絕緣層第一表面
23b	絕緣層第二表面
A、B	面積

申請專利範圍

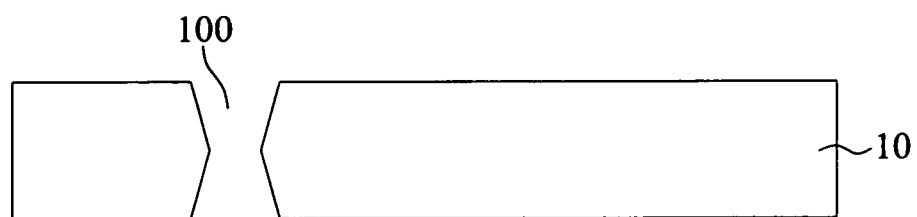
1. 一種基板結構，係包括：
 - 一絕緣層，係具有相對之第一表面與第二表面；
 - 一線路層，係形成於該絕緣層之第一表面上，且該線路層具有複數電性接觸墊；以及
 - 複數導電柱，係形成於該絕緣層中且設於該線路層上並連通至該絕緣層之第二表面，其中，該導電柱之一端面的面積大於該電性接觸墊之一端面的面積。
2. 如申請專利範圍第 1 項所述之基板結構，其中，形成該絕緣層之材質係為鑄模化合物、底層塗料或介電材料。
3. 如申請專利範圍第 1 項所述之基板結構，其中，該線路層之表面係低於該絕緣層之第一表面。
4. 如申請專利範圍第 1 項所述之基板結構，其中，該導電柱之端面係齊平該絕緣層之第二表面。
5. 如申請專利範圍第 1 項所述之基板結構，復包括一設於該絕緣層之第一表面上的支撐結構。
6. 一種基板結構之製法，係包括：
 - 提供具有一線路層之一承載板，其中，該線路層具有複數電性接觸墊；
 - 於該些電性接觸墊上形成複數導電柱，其中，該導電柱之一端面的面積大於該電性接觸墊之一端面的面積；
 - 形成一絕緣層於該承載板上，以令該絕緣層包覆該線路層，其中，該絕緣層係具有相對之第一表面與第二

表面，且該絕緣層藉其第一表面結合至該承載板上，而該些導電柱係外露於該絕緣層之第二表面；以及

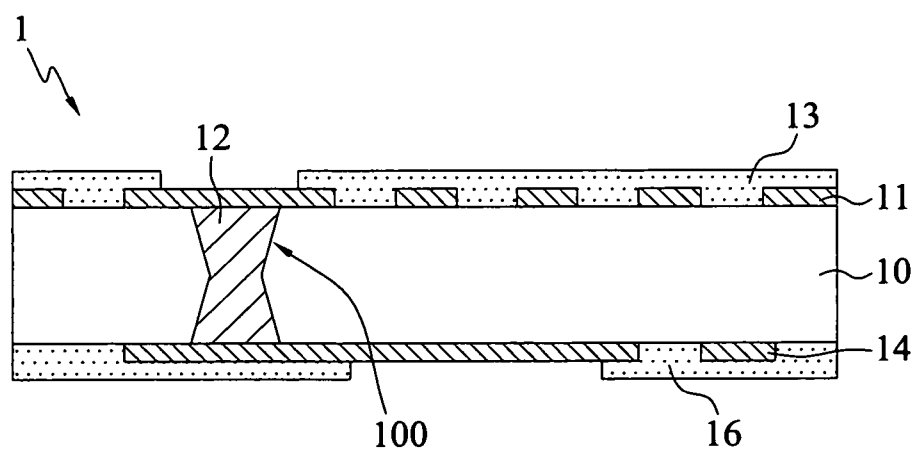
移除該承載板，使該線路層外露於該絕緣層之第一表面而形成該基板結構。

7. 如申請專利範圍第 6 項所述之基板結構之製法，其中，該絕緣層係以鑄模方式、塗佈方式或壓合方式形成於該承載板上。
8. 如申請專利範圍第 6 項所述之基板結構之製法，其中，該線路層之表面係低於該絕緣層之第一表面。
9. 如申請專利範圍第 6 項所述之基板結構之製法，其中，該些導電柱之端面係齊平於該絕緣層之第二表面。
10. 如申請專利範圍第 6 項所述之基板結構之製法，其中，移除該承載板係指完全移除該承載板。
11. 如申請專利範圍第 6 項所述之基板結構之製法，其中，移除該承載板係指移除部分該承載板，而使保留於該基板結構上之該承載板作為一支撐結構。

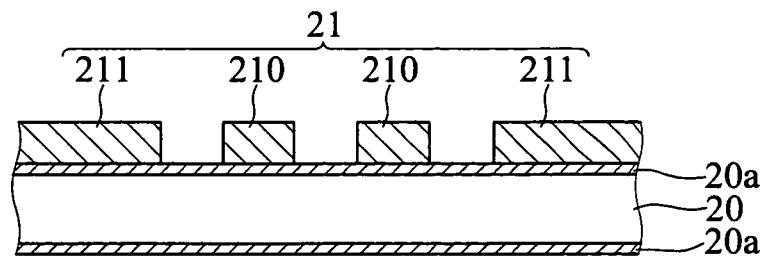
圖式



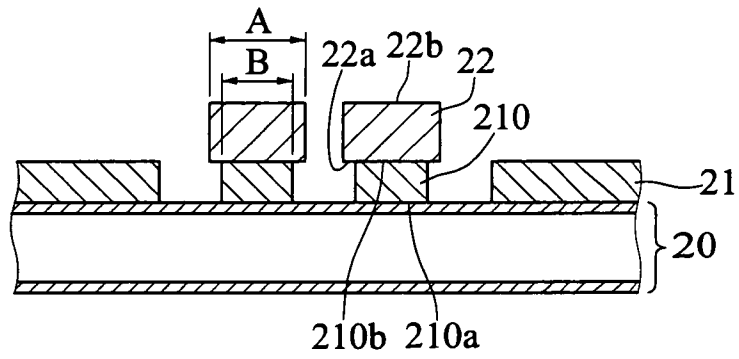
第1A圖



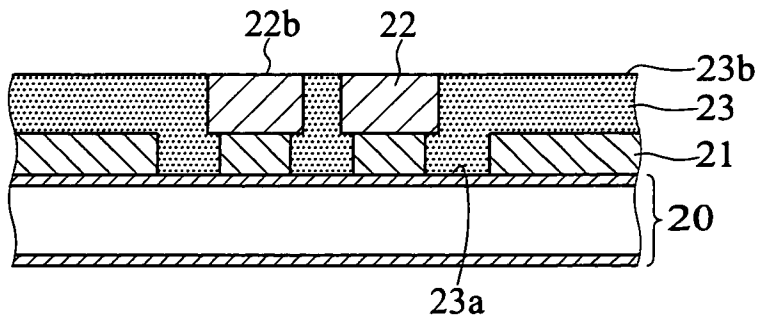
第1B圖



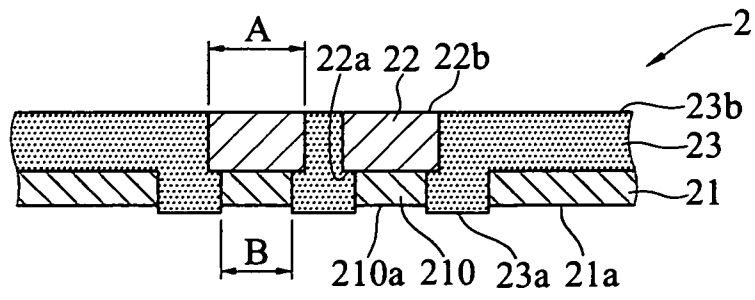
第2A圖



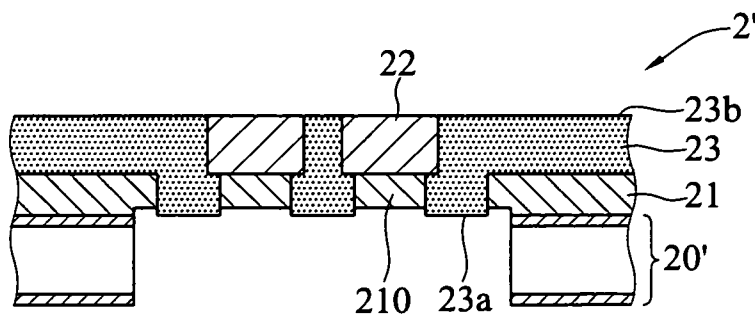
第2B圖



第2C圖



第2D圖



第2D'圖