(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 29/00

(45) 공고일자 2002년08월21일
(11) 등록번호 10-0332950
(24) 등록일자 2002년04월03일

(21) 출원번호 10-1998-0012826
(22) 출원일자 1998년04월10일

(65) 공개번호 특1999-0079926
(43) 공개일자 1999년11월05일

(73) 특허권자 삼성전자 주식회사
경기 수원시 팔달구 매탄3동 416

(72) 발명자 유태화
경기도 평택시 비전2동 759-8번지

(74) 대리인 임창현

심사관 : 김세영

(54) 단일비트동작모드와다중비트동작모드를갖는불휘발성반도체메모리장치및그것의기입/독출방법

요약

다중 비트 데이터가 저장을 위한 주 어레이와 단일 비트 데이터의 저장을 위한 리던던트 필드 어레이를 포함하는 불휘발성 반도체 메모리 장치의 신규한 기입/독출 방법이 여기에 개시된다. 상기 기입/독출 방법은 정상적인 동작 동안에 인가되는 외부 명령이 상기 다중 비트 데이터의 기입/독출 동작을 나타내는 지 또는 상기 단일 비트 데이터의 기입/독출 동작을 나타내는 지의 여부를 판별하는 단계 및; 상기 외부 명령이 상기 주 어레이에 저장되는 다중 비트 데이터의 기입/독출 동작을 나타내면 상기 주 어레이에 대한 다중 비트 기입/독출 동작을 수행하고, 그렇지 않으면 상기 리던던트 필드 어레이에 대한 단일 비트 기입/독출 동작을 수행하는 단계를 포함한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 플래시 EEPROM 장치의 개략적인 어레이 구성을 보여주는 도면;

도 2는 본 발명의 불휘발성 반도체 메모리 장치의 신규한 기입/독출 방법에 따른 처리 단계들을 보여주는 흐름도;

도 3은 본 발명의 바람직한 실시예에 따른 신규한 불휘발성 반도체 메모리 장치인 플래시 EEPROM 장치 및 그것의 주변 회로를 보여주는 블록도; 그리고

도 4는 본 발명의 바람직한 실시예에 따른 플래시 EEPROM 장치의 리던던트 필드 어레이에 저장된 데이터의 독출 동작을 위한 동작 타밍도이다.

*도면의 주요 부분에 대한 부호 설명

100 : 주 어레이 200 : 리던던트 필드 어레이

300 : 페이지 버퍼 400 : 타이밍 제어 회로

500 : 로우 디코더

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 반도체 메모리 장치에 관한 것으로, 구체적으로는 단일 비트 메모리 셀 어레이 및 다중 비트 메모리 셀 어레이 둘다 갖는 플래시 EEPROM(Electrically Erasable and Programmable Read Only Memory) 장치 및 그것의 기입/독출 방법에 관한 것이다.

컴퓨터 시스템, 디지털 핸디 터미널 등에서 불휘발성 반도체 메모리 장치들은 중요한 구성 요소로서 자리 잡아 가고 있다. 고밀도 불휘발성 메모리 장치들, 특히 그들 중에서도 플래시 EEPROM (flash electrically erasable and programmable read - only memory) 장치는 높은 프로그래밍 속도(higher programming speed) 그리고 낮은 전력 소비(lower power consumption) 등의 장점들을 가지므로, 디지털 카메라(digital camera), 개인용 컴퓨터(PC)용 집적 회로 카드들(IC cards) 등에서 대량 저장용 매체(media for mass storage)로서, 그리고 하드 디스크(hard disk) 대신에 사용되고 있다.

플래시 메모리 셀은 제어 게이트(control gate), 플로팅 게이트(floating gate), 소오스 및, 드레인을 구비하는 하나의 전계 효과 트랜지스터(field effect transistor; FET)로 구성된다. 플로팅 게이트 상의 전하량(amount of charge)을 변화시켜서 플래시 셀의 임계 전압(threshold voltage)이 변하도록 함으로써 플래시 셀에 정보가 저장되도록 한다. 워드 라인 (word line)을 통해 제어 게이트에 선택 전압 (selection voltage)을 인가하는 것에 의해 플래시 셀의 독출 동작(reading operation)이 수행된다. 상기 선택 전압이 인가될 때 플래시 셀을 통해 흐르는 전류의 양은 플래시 셀의 임계 전압에 의해 결정된다.

전형적인 플래시 셀 즉, 셀 당 1 비트의 데이터를 저장하는 셀은 2 가지의 상태들 즉, 소거된 상태와 프로그램된 상태를 가지며, 각 상태는 임계 전압들의 범위에 대응한다. 상기 두 가지의 가능한 상태들(possible states)을 구분하기 위해, 상기 상태들 사이의 임계 전압들의 범위 즉, 분리 범위(separation range)에 의해 상기 두 상태들은 분리된다. 플래시 셀의 독출 동작이 수행될 때, 플래시 셀의 임계 전압은 기준 전압 즉, 기준 플래시 셀(reference flash cell)의 임계 전압(이 전압은 상기 분리 범위 내의 임의의 전압임)과 비교된다.

선택된 플래시 셀이 프로그램되면, 플로팅 게이트 상에 전자들이 포획(trip)되어서 상기 셀의 임계 전압이 증가하게 된다. 이로써, 선택된 셀의 소오스-드레인을 통해 흐르는 전류는 기준 셀을 통해 흐르는 전류보다 작아지게 된다. 선택된 플래시 셀이 소거되면, 플로팅 게이트 상에 거의 전자들이 존재하지 않게 되어서 셀의 임계 전압이 감소하게 됨으로써 선택된 셀을 통해 흐르는 전류가 기준 셀을 통해 흐르는 전류보다 많아지게 된다. 이와 같이 셀이 소거된 상태를 흔히 '논리 1'로 표시한다.

플래시 EEPROM 장치들은, 메모리 셀 구조의 관점에서, 일반적으로 NAND 구조로 된 (structured) 장치와 NOR 구조로 된 장치로 구분된다. NOR 구조 메모리는 셀들 각각이 독립적으로 비트 라인(bit line)과 워드 라인(word line)에 연결되는 구조를 가지므로 어떤 셀의 기입 동작(writing or programming operation)이나 독출 동작 동안에 해당 셀이 다른 셀들에 의해 간섭을 적게 받는 장점을 가진다. 하지만, 이 NOR 구조 메모리는 각 셀과 그에 대응하는 비트 라인 사이에 그들을 상호 연결하기 위한 컨택(contact)을 필요로 하므로 집적도 관점에서, 복수 개의 셀들이 직렬로 연결된 한 개의 유니트(unit) 즉, 스트링(string) 당 한 개의 접점 만을 필요로 하는 NAND 구조 메모리와 비교할 때, 불리하다. 따라서, 고집적 플래시 메모리 장치는 주로 NAND 구조를 채용하고 있다.

대량 저장용 장치의 중요한 필수 요건은 비트 당 낮은 가격(low cost per bit)을 구현해야 하는 것이다. 플래시 메모리 장치의 집적도 향상을 위해 한 개의 메모리 셀에 다수 비트들의 데이터를 저장하는 기술로서, 다중 비트(multibit) 플래시 EEPROM 기술에 대한 연구가 활발히 진행되고 있다. 상기 다중 비트 EEPROM은 다중 레벨(multilevel), 또는 다중 상태(multistate) EEPROM이라 불리우기도 한다.

플래시 EEPROM 장치의 비트 당 가격을 획기적으로 줄일 수 있는 기술이 1995년 2월, IEEE, ISSCC Digest of Technical Papers, pp. 132-133에, M. Bauer 등에 의해, "A Multilevel-Cell 32Mb Flash Memory" 라는 제목으로 게재된 바 있다. 상기 문헌에 개시된 플래시 메모리 장치는 NOR 구조의 셀 어레이를 가지는 장치이며, 셀 크기의 감소와 더불어 셀 당 2 비트, 또는 4 가지의 상태들(2 bits, or 4 states per cell)의 저장 능력을 가진다.

상기 문헌에 개시된 플래시 메모리 장치에 있어서, 2 비트 당 4 상태들에 해당하는 데이터를 2 진법으로 나타내면, "00", "01", "10" 및 "11" 이 되며, 각 데이터에는 특정한 임계 전압 레벨들, 예를 들면, 데이터 "00" 에 대해서는 2.5V, "01" 에 대해서는 1.5V, "10" 에 대해서는 0.5V, 그리고 "11" 에 대해서는 -3V의 임계 전압 레벨들이 각각 부여된다. 각 메모리 셀이 상기 4 레벨들의 임계 전압들 중 특정한 하나의 임계 전압 레벨을 가짐으로써, 00, 01, 10, 그리고 11의 2 진 데이터 중 특정 임계 전압에 해당하는 하나의 2 진 데이터가 각 메모리 셀에 저장된다. 이와 같이, 다중 상태 플래시 메모리 장치는 통상적으로 2 개 이상의 임계 전압 분포(threshold voltage distribution)와 각각의 임계 전압(Vt)에 대응하는 상태들을 가진다.

상기 문헌에 개시된 다중 상태(또는 다중 비트) 플래시 메모리 장치는 16 메가 비트(Mb)의 물리적인 셀 어레이(physical cell array)를 가지나, 다중 비트 셀 동작 모드(multibit cell operation mode)에서는 32Mb의 가상적인 셀 어레이(virtual cell array)를 가진다. 즉, 상기 다중 상태 플래시 메모리 장치는 모드 선택 신호(mode option signal)에 의해 셀 어레이 전체가 택일적으로 단일 혹은 다중 비트 셀 동작 모드들로 되어서 16Mb 혹은 32Mb의 용량을 가진다.

이상과 같은 다중 비트 플래시 메모리 장치에서는 1 개의 셀에 저장할 수 있는 데이터의 수가 종래의 단일 비트 메모리 장치에 비해 2 배, 3 배로 증가함에 따라 그 제작 비용은 1/2, 1/3의 선형적인 비율로 감소하게 된다.

일반적으로, 플래시 메모리 장치 (1000)는, 도 1에 도시된 바와 같이, 크게 2 개의 영역들 즉, 주 어레이(main array) (100) 및 리던던트 필드 어레이(redundant field array) (200)로 구분된다. 주 어레이(100)는 통상의 데이터를 저장하는 영역이다. 리던던트 필드 어레이(200)는 주 어레이(100)에 대한 정보들 예컨대, 배드 섹터(bad sector)에 대

한 정보, 해당 메모리 장치의 데이터 포맷(data format)을 위한 어드레스 맵핑(address mapping) 정보 등과 같은 디바이스 데이터(정보)를 저장하는 영역으로서, 통상적으로 워드 라인 당 16 바이트가 제공된다.

다중 상태 셀의 인접한 상태들 사이의 윈도우(state-to-state window)는 일반 셀(즉, 단일 비트 셀)의 윈도우에 대해 그 폭이 좁고(예를 들어, 4 상태 셀의 경우에는, 약 0.6V 정도), 그리고 독출 동작 동안에 선택된 워드 라인(selected word line)에 인가되는 전압과 임계 전압 분포(threshold voltage distribution)의 가장자리(edge) 간의 마진(margin)은 상기 윈도우의 절반(예를 들면, 약 0.3V 정도)이 된다. 따라서, 다중 비트(또는 다중 상태) 셀 어레이는 공정 변화(process variation)나 선택된 워드 라인의 전압 레벨, 동작 전압, 온도 등의 변화에 의한 무효 감지(invalid sensing)의 가능성이 단일 비트 셀 어레이보다 더 높다. 따라서, 다중 비트 플래시 메모리 장치는 음성 정보, 화성 정보 등과 같은, 대량의 연속적인 정보들 중 한 개 비트 혹은 몇 개 비트 정보들의 저장 실패(storage failure)가 발생된다. 하더라도 큰 문제가 없는 정보들의 저장을 위한 대용량의 장치로서 사용되기에는 적합하나, 바이오스(basic input/output system; BIOS) 정보, 폰트(font) 정보 등과 같이 우수한 보존 특성(excellent storage characteristics)이 요구되는 정보들의 저장을 위한 장치로서 사용되기에는 부적합하다.

그러한 문제가 야기되는 것을 방지하기 위한 방법으로서, 주 어레이(100)에는, 다중 비트 데이터가 저장되고 그리고 디바이스 데이터가 저장되는 리던던트 필드 어레이(200)에는, 단일 비트 데이터가 저장되는 스킴이 적용되어 오고 있다. 그러한 저장 스킴에서, 주 어레이(100)에 저장된 다중 비트 데이터 예를 들면, 2 비트 데이터를 독출하기 위해서, 잘 알려진 독출 방법에 따라 하나의 선택된 메모리 셀에 저장된 다중 비트 데이터가 기입 또는 독출된다. 그러한 다중 비트 독출 방법들은 USP. No, 5,172,338에 " MULTI-STATE EEPROM READ AND WRITE CIRCUITS AND TECHNIQUES" 라는 제목으로 그리고 USP. No, 5,457,650,에 " APPAATUS AND METHOD FOR READING MULTI-LEVEL DATA STORED IN A SEMICONDUCTOR MEMORY" 라는 제목으로 게재되어 있다.

또한, 상기 리던던트 필드 어레이(200)에 저장된 단일 비트 데이터 역시 주 어레이(100)의 기입/독출 동작과 유사한(또는 동일한) 기입/독출 동작에 의해서 기입/독출된다. 셀당 2 비트 데이터를 저장하는 플래시 EEPROM 장치에 있어서, 리던던트 필드 어레이(200)에 단일 비트 데이터를 기입/독출하기 위해서, 적어도 3 번의 기입 또는 감지 동작들이 반복적으로 수행된다. 리던던트 필드 어레이(200)로/로부터 단일 비트 데이터를 기입/독출하는 경우에, 단일 비트 데이터의 기입/독출 시간은 다중 비트 데이터를 기입/독출하는 데 소용되는 시간만큼 소요된다. 주어레이(100)에 저장되는 다중 비트의 수가 증가하면 할 수록 리던던트 필드어레이(200)에 저장되는 단일 비트 데이터의 기입/독출 시간은 더욱 증가한다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 단일 비트 동작 모드와 다중 비트 동작 모드를 갖는 그리고 다중 비트 셀들의 상태들에 무관하게 향상된 속도로 단일 비트 동작을 수행할 수 있는 불휘발성 반도체 메모리 장치 및 그것의 기입/독출 방법을 제공하는 것이다.

발명의 구성 및 작용

(구성)

상술한 바와 같은 목적을 달성하기 위한 본 발명의 일 특징에 의하면, 다중 비트 데이터의 저장을 위한 주 어레이 및; 단일 비트 데이터가 저장을 위한 리던던트 필드 어레이를 포함하는 반도체 메모리 장치의 기입/독출 방법에 있어서: 정

상적인 동작 동안에 인가되는 외부 명령이 상기 다중 비트 데이터의 기입/독출 동작을 나타내는 지 또는 상기 단일 비트 데이터의 기입/독출 동작을 나타내는 지의 여부를 판별하는 단계 및; 상기 외부 명령이 상기 주 어레이에 저장되는 다중 비트 데이터의 기입/독출 동작을 나타내면 상기 주 어레이에 대한 다중 비트 기입/독출 동작을 수행하고, 그렇지 않으면 상기 리던던트 필드 어레이에 대한 단일 비트 기입/독출 동작을 수행하는 단계를 포함하는 것을 특징으로 한다.

특히, 본 발명의 기입/독출 방법의 단일 비트 동작 기간은 다중 비트 동작 기간보다 짧다.

(작용)

이와 같은 방법 및 장치에 의해서, 단일 비트 동작의 기간이 다중 비트 동작의 기간보다 짧게 수행되도록 함으로써(예컨대, 주 메로리 어레이에 대한 동작은 다중 비트 동작으로 수행되도록 하고 리던던트 필드 어레이에 대한 동작은 단일 비트 동작으로 수행되도록 함으로써) 단일 비트 및 다중 비트 동작 모드 둘다를 갖는 불휘발성 반도체 메모리 장치의 성능을 향상시킬 수 있다.

(실시예)

이하 본 발명의 실시예에 따른 참조도면 도 1 내지 도 4에 의거하여 상세히 설명한다.

도 2를 참조하면, 다중 비트 데이터 (multibit data)를 저장을 위한 주 메모리 어레이 (main memory array)와 단일 비트 데이터 (single bit data)를 저장을 위한 리던던트 필드 어레이 (redundant field array)를 구비하는 불휘발성 반도체 메모리 장치의 신규한 기입/독출 방법에 의하면, 먼저 정상적인 기입/독출 동작 동안에 제공되는 외부 기입/독출 명령이 상기 다중 비트 데이터(또는 주 메로리 어레이)의 기입/독출 동작을 나타내는 지 또는 상기 단일 비트 데이터(또는 리던던트 필드 어레이)의 기입/독출 동작을 나타내는 지의 여부가 상기 비휘발성 메모리 장치내에 제공되는 명령 레지스터(또는 제어 로직) (미도시된)에 의해서 판별된다. 그 후, 상기 외부 기입/독출 명령이 상기 다중 비트 데이터의 기입/독출 동작을 나타내면 상기 주 어레이에 대한 다중 비트 데이터 기입/독출 동작이 수행되고, 그렇지 않으면 상기 리던던트 필드 영역에 대한 단일 비트 데이터 기입/독출 동작이 수행된다. 이로써, 다중 비트 데이터를 저장하기 위한 주 메모리 어레이의 기입/독출 동작과 달리 리던던트 필드 어레이에 기입/독출 시간은 다중 비트 독출 동작에 의해서 수행되므로 리던던트 필드 어레이에 관련된 독출 시간은 다중 비트 독출 동작에 의한 것에 비해서 1/n (여기서, n은 다중 비트의 수를 나타냄)으로 단축될 수 있다.

다음에는 도 2를 참조하여 본 발명의 바람직한 실시예에 따른 불휘발성 반도체 메모리 장치의 기입/독출 동작을 구체적으로 설명한다.

도 2를 참조하면, 단계 S100에서, 외부 명령(external command)이 인가되었는 지의 여부가 판별되고, 만약 외부 명령이 인가되지 않으면, 상기 단계 S100이 반복 수행된다. 일반적으로, 도면에는 도시되지 않았지만, 불휘발성 반도체 메모리 장치 즉, 플래시 EEPROM 장치에는, 칩 인에이블(chip enable; /CE), 독출 인에이블(read enable; /RE), 기입 인에이블(write enable; /WE)에 따라 동작하는 명령 레지스터(command register) 및 칩 인에이블(/CE), 독출 인에이블(/RE), 기입 인에이블(/WE), 어드레스 래치 인에이블(address latch enable; ALE), 명령 래치 인에이블(command latch enable; CLE), 기입 프로텍트(write protected; /WP) 등에 따라 동작하는 제어 로직(control logic)이 제공되며, 상기 명령 레지스터 및 제어 로직에 의해서 외부 명령이 인가되었는 지의 여부가 판별 가능하다.

다음 단계 S110에서, 상기 외부 명령이 기입/독출 명령(program/read command)을 나타내는 지의 여부가 판별된다 (상기 명령 레지스터 또는 상기 제어 로직에 의해서). 상기 외부 명령이 기입/독출 명령이 아니면, 단계 S120에서 상기 외부 명령에 상응하는 동작이 상기 불휘발성 반도체 메모리 장치 내에서 수행된다. 그렇지 않으면, 다음 단계 S130에

서, 상기 기입/독출 명령이 단일 비트 기입/독출 명령인 지의 여부가 판별된다 (상기 명령 레지스터 또는 상기 제어 로직에 의해서). 상기 기입/독출 명령이 단일 비트 기입/독출 명령이면, 단계 S150에서, 리던던트 필드 어레이에 대한 단일 비트 기입/독출 동작이 수행된다. 그렇지 않으면, 다음 단계 S150에서, 주 어레이에 저장된 다중 비트 데이터가 다중 비트 기입/독출(또는, 감지) 동작에 따라 독출된다. 상기 단계들 S130, S140, 그리고 S150이 수행된 후 상기 하나의 외부 명령에 관련된 동작이 종료된다.

이러한 일련의 과정에 의하면, 주 어레이로/로부터는 잘알려진 다중 비트 기입/독출 동작(앞서 언급된 문헌에 상세히 설명되어 있음)에 따라 다중 비트 데이타가 기입/독출되고 그리고 리던던트 필드 어레이로/로부터는 단일 비트 독출 동작에 따라 단일 비트 데이터가 기입/독출된다. 즉, 리던던트 필드 어레이에 대한 기입/독출 동작 동안에는 선택된 워드라인이 고정된 레벨을 가지는 선택 전압에 의해서 한 번 구동된다. 결과적으로, 리던던트 필드 어레이에 저장된 단일 비트 데이터의 기입/독출하는 데 소요되는 시간은 1/n(n은 다중 비트의 수)으로 단축될 수 있다.

도 3은 본 발명의 바람직한 실시예에 따른 플래시 EEPROM 장치의 리던던트 필드 어레이 및 그 주변 회로들을 보여주는 블록도이다. 도 4에서, 리던던트 필드 어레이 (200)의 각 메모리 셀은 다중 비트 데이터를 저장하기 위한 주 어레이(도시되지 않음)의 그것과 동일한 제조 공정에 의해서 형성된다. 즉, 리던던트 필드 어레이(200)의 각 메모리 셀은 제어 게이트, 플로팅 게이트, 소오스 및, 드레인으로 구성된다.

도 3을 참조하면, 행들(rows)과 열들(columns)을 정의하는 기판(도시되지 않음) 상에는, 상기 행들을 따라 신장하는 복수 개의 워드 라인들(WL1) - (WLm)과, 상기 열들을 따라 신장하는 복수 개의 비트 라인들(BL1) - (BLn)과, 복수 개의 메모리 셀들의 어레이(200)가 형성되어 있다. 상기 어레이(200)는 NAND 구조로 되어 있으며, 대응하는 주 어레이(미도시된)와 관련된 디바이스 데이터를 저장하기 위한 리던던트 필드 어레이(redundant field array)이다. 이 어레이(200)의 구조는 주 어레이의 그것과 동일하다.

도 3에 도시된 바와 같이, 리던던트 필드 어레이(200)는, 주 어레이(도시되지 않음)와 마찬가지로, 복수 개의 비트 라인들(BL1) - (BLn)에 각각 대응하는 복수 개의 스트링(110)들을 구비하고 있다. 상기 어레이(200)의 행들을 따라서는, 스트링 선택 라인(SSL)과 공통 소오스 라인 (GSL) 및 복수 개의 워드 라인들(WL1) - (WLm)이 신장하고, 그것의 열들을 따라서는, 스트링(110)들에 각각 대응하도록 복수 개의 비트 라인들(BL1) - (BLn)이 신장한다. 각 스트링(110)은 N - 형 금속 산화물 반도체 전계 효과 트랜지스터(metal oxide semiconductor field effect transistor; N - MOSFET)들로 이루어지는 2 개의 선택 트랜지스터들(ST1) 및 (ST2)과, 이 선택 트랜지스터들(ST1) 및 (ST2) 사이에 각각의 소오스 - 드레인 채널(source - drain channel) 즉, 전류 통로가 직렬로 연결됨과 아울러 각각은 플로팅 게이트(floating gate)와 컨트롤 게이트(control gate)를 가지는 복수 개의 메모리 셀 트랜지스터들(M1) - (Mm)로 구성된다.

각 스트링(110)의 스트링 선택 트랜지스터(ST1)의 전류 통로는 대응하는 비트 라인과 셀 트랜지스터 (M1)의 전류 통로와 연결되고, 접지 선택 트랜지스터(ST2)의 전류 통로는 가상 접지 라인(virtual ground line)인 공통 소오스 라인(common source line) (CSL)과 셀 트랜지스터(Mm)의 전류 통로 사이에 연결된다. 각 스트링(110)의 스트링 선택 트랜지스터(ST1)의 게이트, 메모리 셀 트랜지스터들(M1) - (Mm)의 컨트롤 게이트들 및 접지 선택 트랜지스터(ST2)의 게이트는 각각 스트링 선택 라인(SSL), 워드 라인들(WL1) - (WLm) 및, 공통 소오스 라인(CSL)에 연결된다.

여기에 개시되는 메모리 셀 스트링의 구조는 일 예에 지나지 않으며, 이 기술 분야에 통상적인 지식을 가진 자들은 상기 스트링이 다양한 구조들을 가질 수 있다는 것을 잘 이해할 것이다.

다시 도 3을 참조하면, 어레이(200)의 좌측에는, 스트링 선택 라인(SSL), 워드 라인들(WL1) - (WLm) 및, 공통 소오스 라인(CSL)과 연결되는 잘 알려진 행 디코더 회로(500)가 배치되어 있다. 또한, 리던던트 필드 어레이(200)의 하측에는, 복수 개의 비트 라인들(BL1) - (BLn)에 연결되는 선택된 셀들에 대한 기입 동작 및 독출 동작을 수행하는 페이지 버퍼 회로 (300)가 배치되어 있다.

상기 페이지 버퍼 회로(300)는 외부로부터 주어진 데이터를 래치하고 있다가 프로그래밍 또는 기입 동작 동안에 대응하는 비트 라인으로 래치한 정보에 해당하는 전압을 공급하는 페이지 버퍼로서, 프로그램 검증 동작 동안에 프로그래밍이 잘 행해졌는 지를 판단하기 위한 검증 회로로서, 독출 동작 동안에는 상기 대응하는 비트 라인 상의 정보를 감지하고 증폭하는 감지 회로로서 각각 작용한다. 도시의 편의상, 도 3에는, 하나의 비트 라인(BL1)에 대응하는 하나의 페이지 버퍼가 상세히 도시되어 있다. 하지만, 실제로는 주 어레이에 연결되는 그리고 주 어레이를 위한 다중 비트 동작을 수행하는 복수의 제 1 페이지 버퍼들과, 리던던트 필드 어레이에 연결되는 그리고 리던던트 필드 어레이를 위한 단일 비트 동작을 수행하는 복수의 제 2 페이지 버퍼들이 존재하는 것을 잘 이해할 수 있을 것이다.

도 3에 도시된 바와 같이, 페이지 버퍼(300)는 교차되도록 접속된 2 개의 인버터들(301) 및 (302)으로 구성되는 래치 회로(350)를 구비하고 있다. 페이지 버퍼(300)에는, 대응하는 비트 라인(BL1)에 관련된 하나의 공핍형(depletion mode) N_MOSFET(303) 및 하나의 N - MOSFET(304)가 제공된다. 상기 공핍형 트랜지스터(303)의 전류 통로와 상기 트랜지스터(304)의 전류 통로는 비트 라인(BL1)과 노드 (305) 사이에 순차로 직렬로 접속되고, 상기 공핍형 트랜지스터(303)의 게이트는 접지되고, 트랜지스터(304)의 게이트는 어드레스 신호(Ai)가 인가되며 대응하는 비트 라인(BL1)을 선택하는 기능을 한다.

노드 (305)에는 독출 동작 동안 선택된 비트 라인으로 부하 전류(load current)를 공급하기 위한 전류원(current source) (306)이 접속된다. 상기 노드 (305)와 래치 회로 (350)의 한 입출력 노드 (307) 및 대응하는 입출력 라인 (IO) 사이에는 N_MOSFET(308)의 전류 통로가 접속된다. 상기 트랜지스터(308)의 게이트에는 독출 동작의 초기에 래치 회로(350)를 리셋시키고, 프로그래밍 동작 동안에 래치 회로(350)의 데이터가 대응하는 비트 라인(BL1)으로 전달되도록 하는 제어 신호(PGM)가 인가된다.

또, 페이지 버퍼(300)에는, 노드 (305)와 접지 사이에 접속된 전류 통로를 가지는 N - MOSFET(309)가 제공된다. 이 트랜지스터(309)는 독출 동작 동안에 제어 신호(DCB)에 응답하여 트랜지스터(308)와 함께 래치 회로(350)를 초기화시키는 기능을 한다.

래치 회로(350)의 다른 입출력 노드(310)와 접지 전압 사이에는 N - MOSFET들(311), (312) 및 (313)의 전류 통로들이 직렬로 순차로 접속된다. 트랜지스터(311)의 게이트에는 어드레스 신호(Ai)가 인가되고, 트랜지스터(313)의 게이트에는 타이밍 제어 회로(400)의 출력 신호(LATCH)가 인가되고, 트랜지스터(312)의 게이트에는 노드 (305) 및 전류원(306)과 접속된다. 상기 LATCH 신호는 독출 동작 동안에, 래치 회로(350)가 대응하는 비트 라인(BL1) 상의 데이터를 래치하도록 한다.

여기서, 상기 리던던트 필드 어레이(200)에 저장된 단일 비트 데이터의 독출 동작이 요구될 때, 비트 라인(BL1)에 대응하는 페이지 버퍼(300)는 상기 LATCH 신호에 응답해서 어드레싱되는 하나의 메모리 셀에 저장된 단일 비트 데이터를 감지하여 래치 회로(350)에 래치한다.

상기 타이밍 제어 회로(400)는 상기 단일 비트 데이터 독출 동작의 감지 구간 동안(즉, RDsp 신호가 활성화되는 동안)

에 LRDVF 신호가 활성화될 때 상기 LATCH 신호를 발생한다. 상기 타이밍 제어 회로(400)는 하나의 2 개의 NOR 게이트들(314) 및 (315)과 하나의 인버터(316)로 구성된다. 상기 NOR 게이트(314)의 입력 단자들로는, 신호들 (RD3), (EVF), (PGVF2), (PGVF3), 그리고 (RDsp)가 인가된다. 상기 인버터(316)의 입력 단자로는, LRDVF 신호가 인가된다. 여기서, RD3 신호는 이미 잘 알려져 있는 2 비트 NAND 플래시 메모리 장치의 3 단계 독출 동작 중에서 3 번째 감지 구간을 정의하는 신호이다. EVF 신호는 소거 검증을 위한 감지 구간들을 정의하는 신호이다. PGVF2 및 PGVF3 신호들은 2 비트 플래시 EEPROM 메모리 장치의 두 번째 및 세 번째 프로그래밍 사이클의 프로그래밍 검증 구간을 정의하는 신호이다. LRDVF 신호는 독출 동작 동안에 감지가 완료되는 시점에서 발생되는 펄스 신호이다. 위의 신호들의 타이밍은 도 4에 도시되어 있다.

다음에는 첨부된 도 2 내지 도 4를 참조하여 본 실시예에 따른 플래시 메모리 장치의 동작들 특히, 리던던트 필드 어레이(200)와 관련된 동작들이 상세히 설명된다.

도 4에 도시된 바와 같이, 리던던트 필드 어레이(200)의 독출 동작을 알리는 플래그 신호(Spread)가 로우 레벨(low level)에서 하이 레벨(high level)이 되면, 플래시 EEPROM 장치는 리던던트 필드 어레이(200)에 대한 독출 모드(read mode)로 진입된다. 리던던트 필드 어레이(200)에 대한 독출 동작은 초기화 구간(reset period) (①)과 감지 구간(sensing period) (②)으로 나눠 수행된다.

상기 초기화 구간(①)에서, 리던던트 필드 어레이(200)의 비트 라인들(BL1) - (BLn)에 대응하는 페이지 버퍼(300)들 및 상기 비트 라인들(BL1) - (BLn)이 로우 레벨 즉, 0V로 방전된다. 즉, 신호들 (PGM) 및 (DCB)은 로우 레벨(예컨대, 0V)에서 하이 레벨(예컨대, Vcc)이 되고 그리고 비트 라인들(BL1) - (BLn)을 선택하기 위한 신호 (Ai)가 로우 레벨(0V)에서 하이 레벨(Vcc)이 됨에 따라, 트랜지스터들(304), (308) 및 (309)은 턴-온된다. 상기 트랜지스터들(304) 및 (308)을 통해서, 비트 라인들(BL1) - (BLn)에 대응하는 페이지 버퍼들(300)의 래치 회로(350) 및 상기 비트 라인들(BL1) - (BLn)은 0V로 디스챠지된다. 예컨대, 상기 래치 회로(350)의 입출력 노드들 (314) 및 (318)은 로우 레벨과 하이 레벨로 각각 초기화된다.

그 다음에, 감지 구간(②) 동안에, 리던던트 필드 어레이(200)에 대한 단일 비트 독출 동작을 알리는 신호 (RDsp)가 로우 레벨(0V)에서 하이 레벨(예컨대, Vcc)로 활성화된다. 이와 동시에, 스트링 선택 라인(SSL), 그라운드 선택 라인(GSL), 비선택 워드 라인들(예를 들면, (WL2) - (WLm)) 및, 어드레스 신호(Ai)는 로우 레벨에서 하이 레벨(예컨대, 6V)로 활성화되고 그리고 신호들 (DCB) 및 (PGM)은 하이 레벨에서 로우 레벨로 비활성화된다. 선택된 워드 라인(예를 들면, WL1)은 계속해서 로우 레벨 즉, 0V로 유지된다. 트랜지스터들(304) 및 (311)은 턴-온되고 그리고 트랜지스터들(308) 및 (309)은 턴-오프됨에 따라, 감지 동작이 수행된다. 이때, 트랜지스터(312)는 전류원(306)에 의해서 턴-온된다.

또한, 타이밍 제어 회로(400)의 NOR 게이트(314)에 인가되는 RD3, EVF, PGVF2 및 PGVF3 신호들은 리던던트 필드 어레이(200)에 대한 단일 비트 독출 동작 동안에 모두 로우 레벨 즉, 0V로 비활성화된다. 리던던트 필드 어레이(200)의 단일 비트 독출 동작 동안에 RDsp 신호가 하이 레벨로 유지되기 때문에, 타이밍 제어 회로(400) 내의 NOR 게이트(314)의 출력은 다른 신호들에 관계없이 로우 레벨로 유지된다. LRDVF 신호가 감지 구간(②) 동안 감지 시점을 제외한 구간에서 로우 레벨로 유지되기 때문에, NOR 게이트(315)의 출력(LATCH)은 감지 시점(즉, LRDVF가 하이 레벨로 활성화되는 구간) 이외의 구간 동안에 로우 레벨로 유지된다. 그 결과, 트랜지스터(313)는 단지 감지 시점에서 턴-온된다.

전술한 일련의 과정을 통해서 감지 동작이 수행된다. 이를 좀 더 구체적으로 설명하면 다음과 같다.

선택된 워드 라인(WL1)과 선택된 비트 라인(BL1)에 관련된 셀 트랜지스터(M1)가 부의 임계 전압(negative threshold voltage), 예를 들면, -2.7V,을 가지는 온 셀(on cell) (데이터 '1')일 때, 상기 셀 트랜지스터(M1)의 전류 통로는 형성된다. 전류원(306)으로부터 공급되는 로드 전류는 상기 선택된 셀 트랜지스터(M1)의 전류 통로를 통해서 접지된 공통 소오스 라인(CSL)으로 흐르며, 상기 선택된 비트 라인(BL1) 상의 전위는 트랜지스터(303)의 셧-오프(shut-off) 전압(예를 들면, 1.5V)보다 낮아진다. 게이트가 노드 (305)에 연결된 트랜지스터(312)는 턴-오프된다.

그 후, 타이밍 제어 회로(400)로 인가되는 LRDVF 신호가 감지 시점에서 하이 레벨로 활성화된다. 상기 타이밍 제어 회로(400)의 출력(LATCH)은 로우 레벨에서 하이 레벨로 활성화되고 그리고 트랜지스터(313)는 턴-온된다. 하지만, 트랜지스터(312)가 턴-오프되어 있기 때문에, 래치 회로(350)는 노드들 (307) 및 (310)이 초기화 구간에서 설정된 상태들 즉, 로우 레벨과 하이 레벨로 각각 유지된다.

이와 반대로, 상기 선택된 워드 라인(WL1)과 상기 선택된 비트 라인(BL1)에 관련된 셀 트랜지스터(M1)가 정(positive)의 임계 전압, 예를 들면, 1.3V,을 가지는 오프 셀(off cell) (데이터 '0')일 때, 상기 셀 트랜지스터(M1)의 전류 통로는 형성되지 않는다. 전류원(306)로부터 공급되는 로드 전류는 상기 선택된 셀 트랜지스터(M1)의 전류 통로를 통해서 접지된 공통 소오스 라인(CSL)으로 흐르지 못하기 때문에, 상기 선택된 비트 라인(BL1) 상의 전위는 트랜지스터(303)의 shut-off 전압(예를 들면, 1.5V)까지 높아진다. 게이트가 노드 (305)에 연결된 트랜지스터(312)는 턴-온된다.

그 후, LRDVF 신호가 감지 시점에서 하이 레벨로 활성화될 때, 상기 타이밍 제어 회로(400)의 출력(LATCH)은 로우 레벨에서 하이 레벨로 활성화되고 그리고 트랜지스터(313)는 턴-온된다. 트랜지스터들(311), (312) 및 (313)을 통해 래치 회로(350)의 일 입출력 노드 (310)는 접지된다. 상기 래치 회로(350)의 각 입출력 노드 (307) 및 (310)은 초기 상태들에서 각각 반전된다. 즉, 입출력 노드 (307)는 로우 레벨에서 하이 레벨로 반전되고 그리고 입출력 노드 (310)는 하이 레벨에서 로우 레벨로 반전된다. 최종적으로, RDsp 신호가 하이 레벨에서 로우 레벨로 비활성화될 때, 리던던트 필드 어레이(200)에 대한 단일 비트 독출 동작이 완료된다.

NAND형 플래시 EEPROM 장치에 있어서, 한 번의 감지 동작에 필요한 시간은, 일반적으로, 약 5μS이다. 이를 기준으로, 리던던트 필드 어레이(200)에 대한 다중 비트 독출 동작이 수행될 때, 약 15μS(3*5μS)의 시간이 소요된다. 본 발명의 독출 방법에 의하면, 리던던트 필드 어레이(200)에 대한 감지 동작은 단일 비트 동작에 따라서 단 한 번만 수행되기 때문에, 리던던트 필드 어레이(200)에 저장된 단일 비트 데이터를 독출하는 데 소요되는 시간은 종래의 다중 비트 독출 방법에 비해서 대략 1/3으로 단축된다.

예시적인 바람직한 실시예를 이용하여 본 발명을 설명하였지만, 본 발명의 범위는 개시된 실시예에 한정되지 않는다는 것이 잘 이해될 것이다. 오히려, 본 발명의 범위에는 다양한 변형예들 및 그 유사한 구성들을 모두 포함될 수 있도록 하려는 것이다. 따라서, 청구 범위는 그러한 변형예들 및 그 유사한 구성들 모두를 포함하는 것으로 가능한 폭넓게 해석되어야 한다.

발명의 효과

상기한 바와 같이, 디바이스 데이터를 저장하기 위해서 메모리 장치에 제공되는 리던던트 필드 어레이 내의 메모리 셀로/로부터 다중 비트 기입/독출 대신에 다중 비트 기입/독출 동작의 기간보다 짧은 기간의 단일 비트 기입/독출 동작에 의해서 기입/독출되도록 함으로써 리던던트 필드 어레이에 관련된 기입/독출 시간이 단축될 수 있다.

(57) 청구의 범위

청구항 1.

다중 비트 데이터가 저장을 위한 주 어레이 및; 단일 비트 데이터가 저장을 위한 리던던트 필드 어레이를 포함하는 반도체 메모리 장치의 기입/독출 방법에 있어서:

정상적인 동작 동안에 인가되는 외부 명령이 상기 다중 비트 데이터의 기입/독출 동작을 나타내는 지 또는 상기 단일 비트 데이터의 기입/독출 동작을 나타내는 지의 여부를 판별하는 단계 및;

상기 외부 명령이 상기 주 어레이에 저장되는 다중 비트 데이터의 기입/독출 동작을 나타내면 상기 주 어레이에 대한 다중 비트 기입/독출 동작을 수행하고, 그렇지 않으면 상기 리던던트 필드 어레이에 대한 단일 비트 기입/독출 동작을 수행하는 단계를 포함하되, 상기 리던던트 필드 어레이에 대한 단일 비트 기입/독출 동작은 상기 다중 비트 기입/독출 동작의 기간보다 짧은 기간을 갖는 것을 특징으로 하는 기입/독출 방법.

청구항 2.

반도체 메모리 장치에 있어서;

통상의 데이터를 저장하기 위한 주 어레이와 디바이스 데이터를 저장하기 위한 리던던트 필드 어레이를 갖는 메모리 셀 어레와;

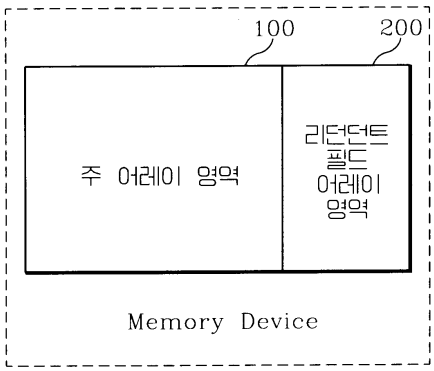
상기 주 어레이에 연결되는 그리고 상기 주 어레이를 위한 다중 비트 동작을 수행하는 복수의 제 1 페이지 버퍼들과, 상기 리던던트 필드 어레이에 연결되는 그리고 상기 리던던트 필드 어레이를 위한 단일 비트 동작을 수행하는 복수의 제 2 페이지 버퍼들을 갖는 페이지 버퍼 회로 및;

상기 리던던트 필드 어레이에 연결되는 상기 제 2 페이지 버퍼들과 동작을 제어하는 타이밍 제어 로직을 포함하되,

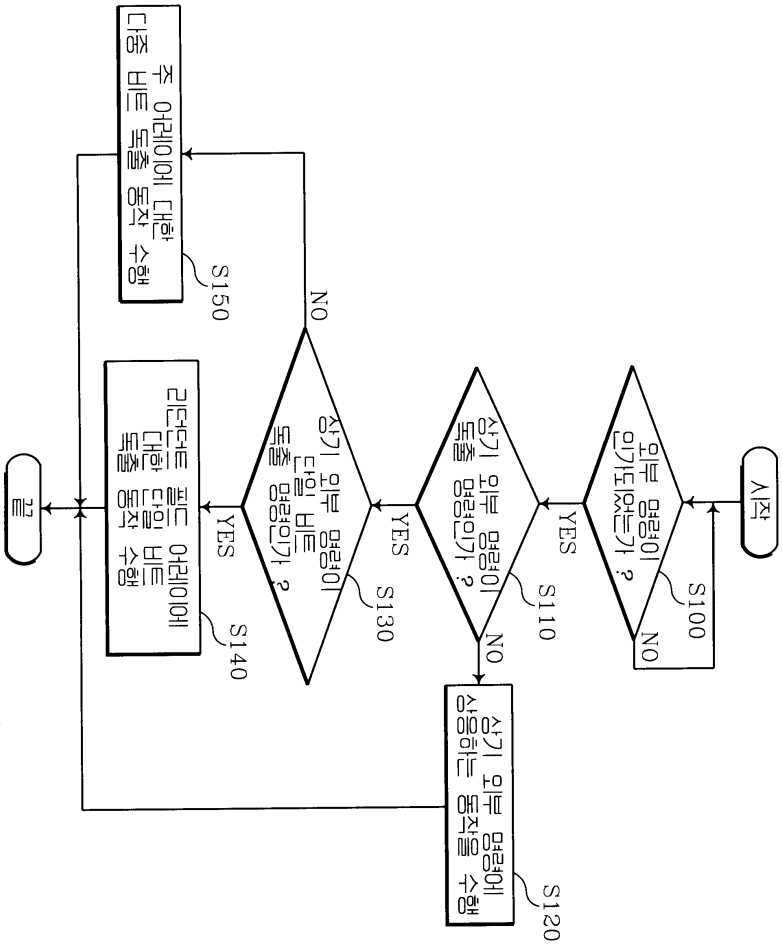
상기 타이밍 제어 로직은 상기 단일 비트 동작의 기간이 상기 다중 비트 동작의 기간보다 짧게 수행되도록 하는 것을 특징으로 하는 반도체 메모리 장치.

도면

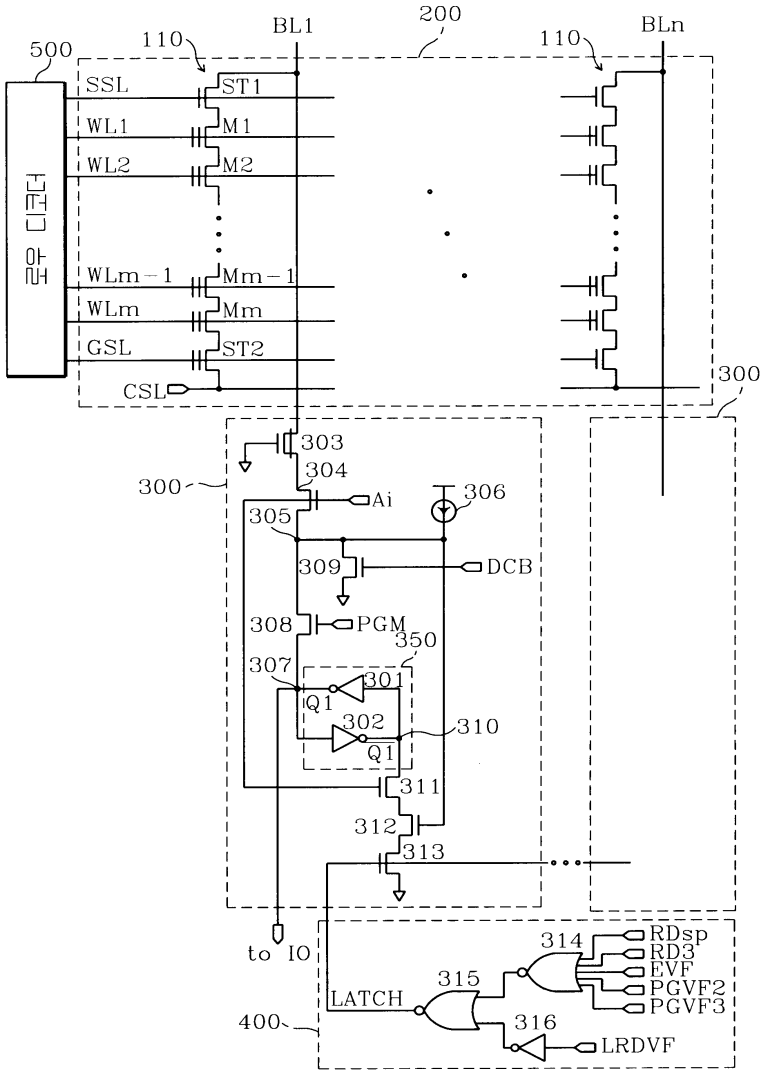
도면 1



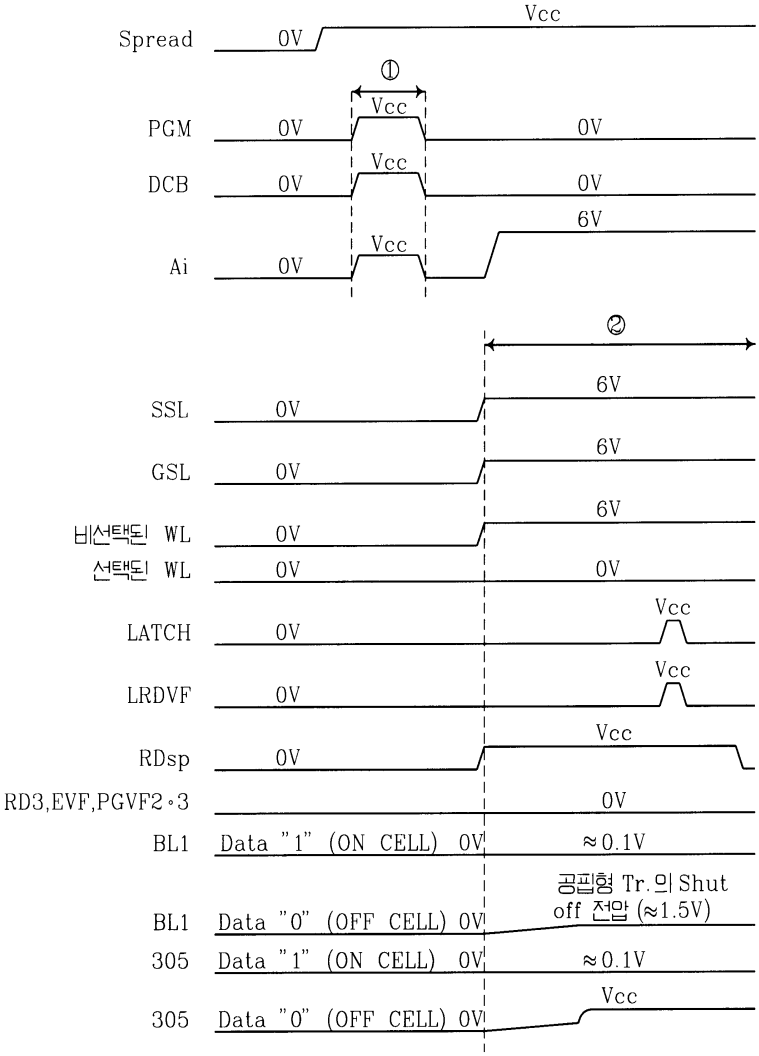
도면 2


시작
외부 명령이 입가되었는가 ?
NO
S100
YES
상기 외부 명령이 독출 명령인가 ?
S110
NO
YES
상기 외부 명령이 기입 명령인가 ?
S130
NO
YES
상기 외부 명령에 상응하는 동작을 수행
S120
리던던트 필드 어레이에 대한 단일 비트 독출 동작 수행
S140
주 어레이에 대한 다중 비트 독출 동작 수행
S150
끝

도면 3


500
110
BL1
200
110
BLn
로우 디코더
SSL
ST1
WL1
M1
WL2
M2
WLm-1
Mm-1
WLm
Mm
GSL
ST2
CSL
300
303
304
Ai
306
305
309
DCB
308
PGM
350
307
301
Q1
302
Q1
310
311
312
313
to IO
314
RDsp
RD3
EVF
PGVF2
PGVF3
315
LATCH
316
LRDVF
400

도면 4


Spread
0V
Vcc
①
PGM
DCB
Ai
Vcc
6V
②
SSL
GSL
비선택된 WL
선택된 WL
LATCH
LRDVF
RDsp
RD3,EVF,PGVF2·3
BL1
Data "1" (ON CELL)
≈0.1V
공핍형 Tr.의 Shut off 전압 (≈1.5V)
Data "0" (OFF CELL)
305