



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I404205B1

(45) 公告日：中華民國 102 (2013) 年 08 月 01 日

(21) 申請案號：098133846

(22) 申請日：中華民國 98 (2009) 年 10 月 06 日

(51) Int. Cl. : H01L29/739 (2006.01)

H01L21/33 (2006.01)

(71) 申請人：茂達電子股份有限公司 (中華民國) ANPEC ELECTRONICS CORPORATION
(TW)

新竹市新竹科學工業園區篤行一路 6 號

(72) 發明人：林偉捷 LIN, WEI CHIEH (TW)；葉人豪 YEH, JEN HAO (TW)；陳和泰 CHEN, HO
TAI (TW)；徐信佑 HSU, HSIN YU (TW)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

US 5723882

US 5757033

US 6051850

US 6091086

US 6236069B1

US 6239466B1

審查人員：郭德豐

申請專利範圍項數：20 項 圖式數：8 共 0 頁

(54) 名稱

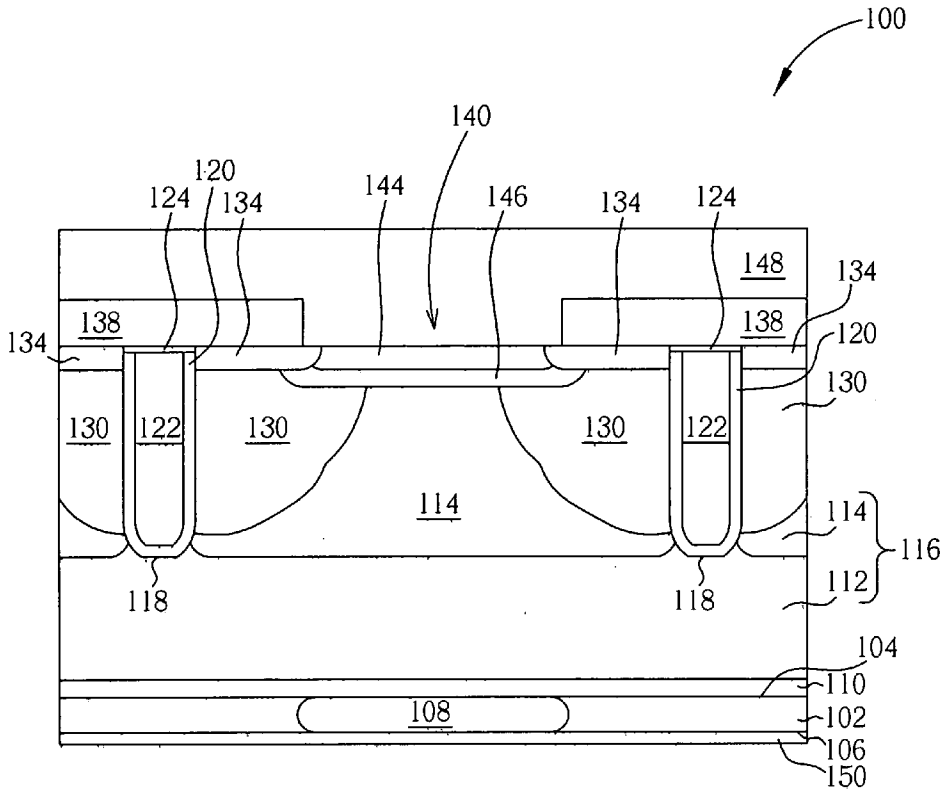
絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構及其製作方法

IGBT WITH FAST REVERSE RECOVERY TIME RECTIFIER AND MANUFACTURING METHOD
THEREOF

(57) 摘要

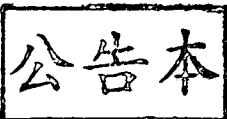
一種絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，包括一 N 型漂移磊晶層、一閘極、一閘極絕緣層、一 P 型基體摻雜區、一 N 型源極摻雜區、一 P 型接觸摻雜區以及一 P 型輕摻雜區。P 型基體摻雜區設置於 N 型漂移磊晶層內，且 P 型接觸摻雜區設置於 N 型漂移磊晶層內。P 型輕摻雜區設置於 P 型接觸摻雜區與 N 型漂移磊晶層之間，且與 N 型漂移磊晶層相接觸。

An IGBT with fast reverse recovery time rectifier includes an N-type drift epitaxial layer, a gate, a gate insulating layer, a P-type base region, an N-type source doped region, a P-type contact region, and a P-type light doped region. The P-type base region is disposed in the N-type drift epitaxial layer, and the P-type contact region is disposed in the N-type drift epitaxial layer. The P-type light doped region is disposed between the P-type contact doped region and the N-type drift epitaxial layer, and is in contact with the N-type drift epitaxial layer.



第7圖

- 100 . . . IGBT 與快速逆向恢復時間整流器之整合結構
- 102 . . . P 型半導體基底
- 104 . . . 上表面
- 106 . . . 下表面
- 108 . . . N 型陰極摻雜區
- 110 . . . N 型緩衝層
- 112 . . . N 型磊晶層
- 114 . . . N 型摻雜區
- 116 . . . N 型漂移磊晶層
- 118 . . . 溝渠
- 120 . . . 閘極絕緣層
- 122 . . . 閘極
- 124 . . . 絕緣層
- 130 . . . P 型基體摻雜區
- 134 . . . N 型源極摻雜區
- 138 . . . 層間介電層
- 140 . . . 開口
- 144 . . . P 型接觸摻雜區
- 146 . . . P 型輕摻雜區
- 148 . . . 射極金屬層
- 150 . . . 集極金屬層



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 09133846

※ 申請日： 98.10.6

※IPC 分類： H01L29/739 (2006.01)
H01L21/33 (2006.01)

一、發明名稱：(中文/英文)

絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構及其製作方法/IGBT WITH FAST REVERSE RECOVERY TIME RECTIFIER AND MANUFACTURING METHOD THEREOF

二、中文發明摘要：

一種絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，包括一 N 型漂移磊晶層、一閘極、一閘極絕緣層、一 P 型基體摻雜區、一 N 型源極摻雜區、一 P 型接觸摻雜區以及一 P 型輕摻雜區。P 型基體摻雜區設置於 N 型漂移磊晶層內，且 P 型接觸摻雜區設置於 N 型漂移磊晶層內。P 型輕摻雜區設置於 P 型接觸摻雜區與 N 型漂移磊晶層之間，且與 N 型漂移磊晶層相接觸。

三、英文發明摘要：

An IGBT with fast reverse recovery time rectifier includes an N-type drift epitaxial layer, a gate, a gate insulating layer, a P-type base region, an N-type source doped region, a P-type contact region, and a P-type light doped region. The P-type base region is disposed in

the N-type drift epitaxial layer, and the P-type contact region is disposed in the N-type drift epitaxial layer. The P-type light doped region is disposed between the P-type contact doped region and the N-type drift epitaxial layer, and is in contact with the N-type drift epitaxial layer.

四、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明：

100 IGBT 與快速逆向恢復 時間整流器之整合結構	102 P 型半導體基底
104 上表面	106 下表面
108 N 型陰極摻雜區	110 N 型緩衝層
112 N 型磊晶層	114 N 型摻雜區
116 N 型漂移磊晶層	118 溝渠
120 閘極絕緣層	122 閘極
124 絕緣層	130 P 型基體摻雜區
134 N 型源極摻雜區	138 層間介電層
140 開口	144 P 型接觸摻雜區
146 P 型輕摻雜區	148 射極金屬層
150 集極金屬層	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種絕緣閘雙極電晶體(Insulated gate bipolar transistor, 以下簡稱為 IGBT)與快速逆向恢復時間整流器之整合結構及其製作方法，尤指一種加速整流器之逆向恢復時間 (reverse recovery time) 之 IGBT 與快速逆向恢復時間整流器之整合結構及其製作方法。

【先前技術】

IGBT 被視為是一種結合金氧半導體場效電晶體 (metal-oxide-semiconductor field effect transistor, MOSFET) 和雙載子接面電晶體 (bipolar junction transistor, BJT) 的複合結構。IGBT 因為結合了 MOSFET 易於利用閘極控制的特性，以及 BJT 具低導通電壓壓降的特性，因此廣泛應用於高電壓高功率之應用領域。

請參考第 1 圖，第 1 圖為習知 IGBT 之剖面示意圖。如第 1 圖所示，習知 IGBT 10 係於一 P 型半導體基底 12 上形成一 N 型緩衝層 14，然後再於 N 型緩衝層 14 上形成一 N 型磊晶層 16，作為 IGBT 10 中寄生 MOSFET 之汲極。接著，

於 N 型磊晶層 16 內形成二閘極結構 18。各閘極結構 18 包括一閘極 20 以及一用於電性隔離閘極 20 與 N 型磊晶層 16 之閘極絕緣層 22。接下來，於各閘極結構 18 間之 N 型磊晶層 16 內形成一 P 型基體摻雜區 24，並且隨後於 P 型基體摻雜區 24 內形成二 N 型源極摻雜區 26，分別接觸各閘極絕緣層 22 且作為 IGBT 10 中寄生 MOSFET 之源極。然後，於 N 型磊晶層 16 上形成一介電層 28，且暴露出各 N 型源極摻雜區 26 間之 P 型基體摻雜區 24，接著於暴露出之 P 型基體摻雜區 24 內形成一 P 型接觸摻雜區 30。之後，於介電層 28、P 型接觸摻雜區 30 以及 N 型源極摻雜區 26 上覆蓋一射極金屬層 32。最後，於 P 型半導體基底 12 下方形成一集極金屬層 34。

習知 IGBT 係利用前述之半導體製程技術形成於基底上，然後再外接二極體作為整流器，以提供整流功能，使得 IGBT 之電路元件與二極體元件得以封裝於同一封裝結構中。然而，外接二極體於 IGBT 上的連結結構所需成本較高、封裝方式較為複雜，且外接二極體之連結結構佔據較大的空間，故不符合電子元件高精密度之趨勢。

因此，為了提升電子元件之精密度，目前業界係於 IGBT 之 P 型半導體基底中形成一 N 型陰極摻雜區，電性連接 N 型磊晶層以及集極金屬層，使 N 型磊晶層作為二極體之陰

極，而以 P 型基體摻雜區作為二極體之陽極，寄生於 IGBT 中，進而整合於同一積體電路結構中。由 P 型基體摻雜區與 N 型磊晶層構成之寄生二極體之間係構成一 PN 接面，接近 P 型基體摻雜區之 N 型磊晶層內的電子載子會注入至 P 型基體摻雜區中，而接近 N 型磊晶層之 P 型基體摻雜區內的電洞載子會注入至 N 型磊晶層中，以於 P 型基體摻雜區與 N 型磊晶層之間形成空乏區。然而，當二極體從順向偏壓切換至反向偏壓時，即 IGBT 進入耐壓狀態，PN 接面之空乏區會變大，亦即將注入至 N 型磊晶層之電洞載子排出，亦即排除空乏區中超額少數載子(Excess Minority Carrier)，而需花費一逆向恢復時間 (reverse recovery time)，進而限制 IGBT 與二極體整合結構之切換速度。因為 IGBT 為 600 伏特 (V) 以上之高壓元件，需要非常厚的 N 型磊晶層當作耐壓層，因此，如何藉由新結構設計降低超額少數載子注入量提升 IGBT 與整流器整合結構之切換速度實為業界努力之課題。

【發明內容】

本發明之主要目的在於提供一種絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構及其製作方法，於維持 IGBT 具有相同耐壓能力下，以藉著不同位置的濃度差異降低整流器超額少數載子的注入量，進而提升快速逆向恢復時間整流器設計。

為達上述之目的，本發明提供一種絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其包括一集極金屬層、一具有一第一導電類型之半導體基底、一具有一第二導電類型之陰極摻雜區、一具有第二導電類型之漂移磊晶層、至少一閘極、至少一閘極絕緣層、至少一具有第一導電類型之基體摻雜區、至少一具有第二導電類型之源極摻雜區、至少一具有第一導電類型之接觸摻雜區、至少一具有第一導電類型之輕摻雜區以及一射極金屬層。半導體基底設置於集極金屬層上，且電連接至集極金屬層。陰極摻雜區設置於半導體基底內，且電連接至集極金屬層。漂移磊晶層設置於半導體基底上，且電性連接半導體基底以及陰極摻雜區。閘極以及閘極絕緣層設置於該漂移磊晶層內，且閘極絕緣層設置於漂移磊晶層與閘極間。基體摻雜區設置於漂移磊晶層內，且鄰接於閘極絕緣層。源極摻雜區設置於基體摻雜區內，且鄰接於閘極絕緣層。接觸摻雜區設置於基體摻雜區以及漂移磊晶層內，且鄰接於源極摻雜區。輕摻雜區設置於接觸摻雜區與位於基體摻雜區相對於閘極之另一側之漂移磊晶層之間。射極金屬層設置於接觸摻雜區與源極摻雜區上，且電連接源極摻雜區與接觸摻雜區。

為達上述之目的，本發明提供一種絕緣閘雙極電晶體與快速逆向恢復時間整流器整合結構之製作方法。首先，提供一

半導體基底，半導體基底具有一第一導電類型，且半導體基底包括有一上表面與一相對之下表面。然後，於半導體基底內形成一陰極摻雜區，陰極摻雜區具有一第二導電類型，其後於半導體基底之上表面上形成一漂移磊晶層，漂移磊晶層具有第二導電類型。接著，於漂移磊晶層中形成至少一閘極絕緣層與至少一閘極，閘極絕緣層設置於漂移磊晶層與閘極之間。之後，於鄰近閘極絕緣層一側之漂移磊晶層內形成至少一基體(base)摻雜區，基體摻雜區具有第一導電類型，且鄰接閘極絕緣層。然後，於基體摻雜區內形成一源極摻雜區，源極摻雜區具有第二導電類型，且鄰接閘極絕緣層。接著，於源極摻雜區相對於閘極絕緣層之另一側之基體摻雜區與漂移磊晶層內形成一接觸摻雜區，以及於接觸摻雜區與位於基體摻雜區相對於閘極絕緣層之另一側之漂移磊晶層之間形成一輕摻雜區，接觸摻雜區與輕摻雜區具有第一導電類型，且接觸摻雜區係與基體摻雜區以及源極摻雜區直接接觸。之後，於接觸摻雜區以及源極摻雜區上形成一射極金屬層，使射極金屬層電連接源極摻雜區與接觸摻雜區。接著，從半導體基底之下表面進行一薄化製程，直到暴露出陰極摻雜區。隨後，於半導體基底之下表面上形成一集極金屬層，集極金屬層電連接陰極摻雜區與半導體基底。

本發明形成一具有第一導電類型之基體摻雜區於各閘極絕緣層之任一側之第二導電類型之摻雜區內，使相鄰閘極

間之基體摻雜區分為二個，進而減少基體摻雜區之底部與摻雜區之 PN 接面面積，藉此於維持 IGBT 具有相同耐壓能力下，藉著不同位置的濃度差異降低整流器超額少數載子的注入量，進而提升由基體摻雜區與摻雜區構成之整流器的快速逆向恢復時間。此外，本發明另設置一第一導電類型之輕摻雜區於摻雜區與接觸摻雜區之間，以避免因減少基體摻雜區之面積造成高摻雜濃度之第一導電類型之接觸摻雜區與高摻雜濃度之摻雜區相接觸所產生之導通。

【實施方式】

請參考第 2 圖至第 7 圖，第 2 圖至第 7 圖為本發明第一實施例之 IGBT 與快速逆向恢復時間 (reverse recovery time) 整流器整合結構之製作方法示意圖。第 7 圖為本發明第一實施例之 IGBT 與快速逆向恢復時間整流器整合結構之剖面示意圖。如第 2 圖所示，首先提供一半導體基底 102，具有一第一導電類型，例如：P 型重摻雜半導體基底，且半導體基底 102 包括一上表面 104 與一相對之下表面 106。並且，半導體基底 102 內已摻雜有至少一具有一第二導電類型之陰極摻雜區 108，例如：N 型陰極摻雜區。另外，本實施例之半導體基底的上表面設置有一緩衝層 110 以及一設置於緩衝層 110 上之磊晶層 112，緩衝層 110 與磊晶層 112 具有第二導電類型，例如：N 型。本發明之第一導電類型並不限為 P 型，

且第二導電類型不限為 N 型，而本發明之第一導電類型與第二導電類型亦可互換，例如：第一導電類型可為 N 型，而第二導電類型為 P 型。本實施例係以第一導電類型為 P 型，而第二導電類型為 N 型為例來做說明，且不以此為限。此外，本發明之 IGBT 與快速逆向恢復時間整流器整合結構並不限於包含有 N 型緩衝層 110，亦即 N 型磊晶層 112 可直接形成於 P 型半導體基底 102 上，此時 IGBT 係為一非貫穿型(non punch-through, NPT)IGBT。而本實施例係以 IGBT 包含有 N 型緩衝層 110 而為一貫穿型(punch-through, PT)IGBT 為例進行說明，且本發明不限於此。

形成 N 型陰極摻雜區 108、N 型緩衝層 110 以及 N 型磊晶層 112 之步驟係包含：進行一微影製程，以於 P 型半導體基底 102 之上表面 104 形成一圖案化光阻層（圖未示）。然後以圖案化光阻層作為遮罩來進行一第一 N 型離子佈植製程，以於 P 型半導體基底 102 中植入 N 型離子。隨後移除圖案化光阻層，再進行一驅入製程，使 P 型半導體基底 102 中之 N 型離子擴散而成 N 型陰極摻雜區 108，使 N 型陰極摻雜區電性連接整流器之陰極。接著，於 P 型半導體基底 102 與 N 型陰極摻雜區 108 上形成一 N 型緩衝層(buffer layer)110。然後，進行一磊晶製程，以於 N 型緩衝層 110 上形成一 N 型磊晶層 112。IGBT 與快速逆向恢復時間整流器整合結構可根據所欲耐壓之程度來調整 N 型磊晶層 112 之厚

度。

接下來，對 N 型磊晶層 112 進行一第二 N 型離子佈植製程以及一驅入製程，以於 N 型磊晶層 112 內形成一 N 型摻雜區 114，而 N 型摻雜區 114 與未受第二 N 型離子佈植製程所摻雜之 N 型磊晶層 112 構成一 N 型漂移磊晶層 116，其中 N 型摻雜區 114 係位於未受第二 N 型離子佈植製程所摻雜之 N 型磊晶層 112 上。值得一提的是，隨著越接近 N 型磊晶層 112，N 型摻雜區 114 之摻雜濃度越小，例如鄰接於 N 型磊晶層 112 之 N 型摻雜區 114 的摻雜濃度係約略為 10^{15} cm^{-3} ，而隨著遠離 N 型磊晶層 112，N 型摻雜區 114 之摻雜濃度係逐漸遞增至約略為 10^{16} cm^{-3} 。並且，N 型摻雜區 114 之摻雜濃度係大於 N 型磊晶層 112，例如 N 型磊晶層 112 的摻雜濃度約略介於 10^{13} 至 10^{14} cm^{-3} 之間，但本發明不以此為限。

如第 3 圖所示，接著對 N 型漂移磊晶層 116 進行一微影暨蝕刻製程，以於 N 型漂移磊晶層 116 內形成複數個溝渠 118，且各溝渠 118 係貫穿 N 型摻雜區 114 而延伸入 N 型磊晶層 112 中。之後於各溝渠 118 中形成一閘極絕緣層 120 以及一閘極 122，其中閘極絕緣層 120 係設置於閘極 122 與 N 型漂移磊晶層 116 之間，用以電性隔離閘極 122 與 N 型摻雜區 114 以及電性隔離閘極 122 與 N 型磊晶層 112。並且，本

實施例於形成閘極絕緣層 120 以及閘極 122 之後，另可於各閘極 122 上再覆蓋另一絕緣層 124，用以避免閘極 122 於後續製程中受到損壞，但不限於此，而亦可不進行此步驟。

如第 4 圖所示，然後利用一第一光罩（圖未示）進行一微影製程，以於任二相鄰閘極 122 之間的 N 型摻雜區 114 上形成一第一圖案化光阻層 126，且暴露出鄰近各閘極絕緣層 120 之 N 型摻雜區 114。隨後以第一圖案化光阻層 126 為遮罩，進行一第一 P 型離子佈植製程 128，以於各閘極絕緣層 120 之二側之 N 型摻雜區 114 內分別植入二 P 型離子區，且鄰接於閘極絕緣層 120。接著移除第一圖案光阻層 126 後進行一驅入製程，以擴散各 P 型離子區，進而於各閘極絕緣層 120 之二側之 N 型摻雜區 114 內分別形成二 P 型基體摻雜區 130，且介於任二相鄰閘極絕緣層 120 間之二 P 型基體摻雜區 130 之間具有部分 N 型摻雜區 114。於本實施例中，隨著 P 型基體摻雜區 130 之深度越深，P 型基體摻雜區 130 之水平截面積越小，亦即 N 型摻雜區 114 之水平截面積隨著深度越深則越大。但本發明不限於此，P 型基體摻雜區 130 之水平截面積亦可不隨著深度之變化而改變。並且，藉由調整第一圖案化光阻層 126 之面積、第一 P 型離子佈植製程 128 以及驅入製程等的參數可控制 P 型基體摻雜區 130 之面積，進而調整 P 型基體摻雜區 130 之底部與 N 型摻雜區 114 之 PN 接面面積，以控制 P 型基體摻雜區 130 與 N 型摻雜區 114

間所形成之空乏區之大小。

值得注意的是，相較於習知技術之 P 型基體摻雜區與 N 型磊晶層所形成之 PN 接面的面積與深度，本發明藉由第一圖案光阻層 126 來垂直向下縮小各 P 型基體摻雜區 130 之水平截面積，以減少各 P 型基體摻雜區 130 之底部與 N 型摻雜區 114 所形成之 PN 接面面積，進而能有效縮小各 P 型基體摻雜區 130 之底部與 N 型摻雜區 114 間之空乏區的面積，使注入於 N 型摻雜區 114 內之電洞載子減少，亦即空乏區中超額少數載子(Excess Minority Carrier)減少，進而縮短所需花費之一逆向恢復時間，而加快由各 P 型基體摻雜區 130 與 N 型摻雜區 114 所構成之整流器的切換速度。此外，本發明之 N 型摻雜區 114 之摻雜濃度係大於 N 型磊晶層 112 之摻雜濃度，使各 P 型基體摻雜區 130 之底部與 N 型摻雜區 114 所形成之空乏區縮小，亦可提升各 P 型基體摻雜區 130 與 N 型摻雜區 114 所構成之整流器的切換速度。

如第 5 圖所示，然後再利用第一光罩，形成一與第一圖案化光阻層 126 具有相同圖案之第二圖案化光阻層 132，以定義出 N 型源極摻雜區 134 之位置。之後以第二圖案化光阻層 132 為遮罩，進行一第三 N 型離子佈植製程 136，以於各 P 型基體摻雜區 130 內植入 N 型離子。隨後移除第二圖案化光阻層 132，再進行一驅入製程，以於各 P 型基體摻雜區 130

中形成一 N 型源極摻雜區 134，鄰接閘極絕緣層 120，並作為 IGBT 之源極，其中 N 型源極摻雜區 134 之摻雜濃度係大於 N 型摻雜區 114 之摻雜濃度，以避免電洞載子朝 N 型摻雜區 114 注入，例如：N 型源極摻雜區 134 之摻雜濃度為 10^{19} 至 10^{20} cm^{-3} ，但不限於此。此外，本發明並不限於進行第三 N 型離子佈植製程 136 之前先進行驅入製程來形成各 P 型基體摻雜區 130，亦可利用同一第一圖案化光阻層 126 來進行第一 P 型離子佈植製程 128 以及第三 N 型離子佈植製程 136，然後再進行驅入製程以同時形成各 P 型基體摻雜區 130 以及各 N 型源極摻雜區 134。

如第 6 圖所示，接著全面性地於 N 型漂移磊晶層 116 上形成一層間介電（inter-layer dielectric，ILD）層 138，例如為硼磷矽玻璃（BPSG）或其他材質所形成之介電層。隨後蝕刻 ILD 層 138，以形成複數個開口 140，分別暴露出各 N 型源極摻雜區 134 相對於各閘極 122 之另一側的 N 型摻雜區 114 以及部分各 P 型基體摻雜區 130。其後利用 ILD 層 138 作為遮罩，進行一第二 P 型離子佈植製程以及一驅入製程，以於任二相鄰閘極 122 間之 N 型摻雜區 114 以及二 P 型基體摻雜區 130 內形成一 P 型接觸摻雜區 144，且 P 型接觸摻雜區 144 鄰接於二 P 型基體摻雜區 130 中之二 N 型源極摻雜區 134，而作為整流器之陽極與 IGBT 之接觸摻雜區。接著，再以 ILD 層 138 為遮罩，進行一第三 P 型離子佈植製程以及一

驅入製程，以於各 P 型接觸摻雜區 144 與位於各 P 型基體摻雜區 130 相對於各閘極 122 之另一側的 N 型摻雜區 114 之間形成一 P 型輕摻雜區 146，與 N 型摻雜區 114 相接觸，且各 P 型輕摻雜區 146 更延伸至各 P 型接觸摻雜區 144 與相對應之各 P 型基體摻雜區 130 之間。值得注意的是，本發明形成 P 型接觸摻雜區 144 之步驟並不限於進行於形成 P 型輕摻雜區 146 之步驟之前，而本發明亦可先形成 P 型輕摻雜區 146，然後再形成 P 型接觸摻雜區 144。或者，先進行第二 P 型離子佈植製程以及第三 P 型離子佈植製程，然後再進行驅入製程，以同時形成 P 型接觸摻雜區 144 以及 P 型輕摻雜區 146。

此外，第二 P 型離子佈植製程之佈植濃度係大於第三 P 型離子佈植製程之佈植濃度，使 P 型輕摻雜區 146 之摻雜濃度係小於 P 型接觸摻雜區 144 之摻雜濃度，且 P 型輕摻雜區 146 之摻雜濃度與 P 型基體摻雜區 130 之摻雜濃度約略相同，例如：P 型輕摻雜區 146 與 P 型基體摻雜區 130 之摻雜濃度為 10^{16} 至 10^{17} cm^{-3} ，而 P 型接觸摻雜區 144 之摻雜濃度為 10^{19} cm^{-3} ，但不限於此。而值得注意的是，由於 P 型輕摻雜區 146 之摻雜濃度小於 P 型接觸摻雜區 144 之摻雜濃度，且隨著越接近 P 型接觸摻雜區 144，N 型摻雜區 114 之摻雜濃度越大，因此本發明將 P 型輕摻雜區 146 設置於各 P 型接觸摻雜區 144 與 N 型摻雜區 114 之間，可避免因減少 P 型基體摻雜區 130 之面積造成高摻雜濃度之 P 型接觸摻雜區

144 與高摻雜濃度之 N 型摻雜區 114 之間相接觸所產生之導通。另外，P 型輕摻雜區 146 之垂直深度係小於 P 型基體摻雜區 130 之垂直深度，以避免 P 型輕摻雜區 146 延伸至 P 型基體摻雜區 130 之底部而造成其與 N 型摻雜區 114 位於同一深度之 PN 接面面積擴大。

如第 7 圖所示，然後進行一沈積製程，於 ILD 層 138 上形成一射極金屬層 148，且填入於 ILD 層 138 之各開口 140 中，作為接觸插塞，以電連接至各 N 型源極摻雜區 134 與各 P 型接觸摻雜區 144。然後，對 P 型半導體基底 102 之下表面 106 進行一薄化製程，直到暴露出 N 型陰極摻雜區 108，再於 P 型半導體基底 102 之下表面 106 上形成一集極金屬層 150，電性連接於 N 型陰極摻雜區 108，使與 P 型半導體基底 102。至此已完成 IGBT 與快速逆向恢復時間整流器之整合結構 100。其中，射極金屬層 148 與集極金屬層 150 可為鋁層 (Al)、氮化鈦 (TiN)、鎢等金屬層，但不以此為限。

此外，本發明之 IGBT 與快速逆向恢復時間整流器之整合結構不限於具有複數個溝渠、閘極以及閘極絕緣層，亦可僅具有單一溝渠、閘極以及閘極絕緣層。此時，P 型基體摻雜區僅設置於閘極之二側，且 N 型摻雜區則設置於各 P 型基體摻雜區相對於閘極之另一側。

請參考第 8 圖，並請一併參考第 7 圖，第 8 圖為本發明第一實施例之 IGBT 與快速逆向恢復時間整流器整合結構之立體結構剖視圖。如第 8 圖所示，為了更清楚顯示各元件之結構，部分沿著一延伸方向 152 之層間介電層 138 與射極金屬層 148 係未顯示出。本實施例之 IGBT 與快速逆向恢復時間整流器之整合結構 100 係為一將第 7 圖之剖面圖沿著延伸方向 152 延伸所構成之長條型結構，因此上述 P 型基體摻雜區 130 與 N 型摻雜區 114 之 PN 接面面積係取決於 P 型基體摻雜區 130 底部之水平寬度，且 P 型基體摻雜區 130 之水平截面積取決於 P 型基體摻雜區 130 之水平寬度。於本實施例中，P 型基體摻雜區 130 之水平寬度約略介於 1 微米至 3 微米之間，而位於 P 型基體摻雜區 130 間之 N 型摻雜區 114 之水平寬度則約略介於 1 微米至 5 微米之間，但不限於此。

本發明利用一圖案化光阻層作為遮罩，以於各閘極絕緣層之任一側之 N 型摻雜區內形成一 P 型基體摻雜區，使相鄰閘極間之 P 型基體摻雜區分為二個，進而減少 P 型基體摻雜區之底部與 N 型摻雜區之 PN 接面面積，藉此縮短所需花費之逆向恢復時間，而加快由各 P 型基體摻雜區與 N 型摻雜區所構成之整流器的切換速度。此外，本發明另設置一 P 型輕摻雜區於 N 型摻雜區與 P 型接觸摻雜區之間，以避免因減少 P 型基體摻雜區之面積造成高摻雜濃度之 P 型接觸摻雜區與高摻雜濃度之 N 型摻雜區相接觸所產生之導通。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為習知 IGBT 之剖面示意圖。

第 2 圖至第 7 圖為本發明第一實施例之 IGBT 與快速逆向恢復時間整流器整合結構之製作方法示意圖。

第 8 圖為本發明第一實施例之 IGBT 與快速逆向恢復時間整流器整合結構之立體結構剖視圖。

【主要元件符號說明】

10	IGBT	12	P 型半導體基底
14	N 型緩衝層	16	N 型磊晶層
18	閘極結構	20	閘極
22	閘極絕緣層	24	P 型基體摻雜區
26	N 型源極摻雜區	28	介電層
30	P 型接觸摻雜區	32	射極金屬層
34	集極金屬層	100	IGBT 與快速逆向恢復 時間整流器之整合結構
102	P 型半導體基底	104	上表面

- | | | | |
|-----|----------|-----|------------|
| 106 | 下表面 | 108 | N型陰極摻雜區 |
| 110 | N型緩衝層 | 112 | N型磊晶層 |
| 114 | N型摻雜區 | 116 | N型漂移磊晶層 |
| 118 | 溝渠 | 120 | 閘極絕緣層 |
| 122 | 閘極 | 124 | 絕緣層 |
| 126 | 第一圖案化光阻層 | 128 | 第一P型離子佈植製程 |
| 130 | P型基體摻雜區 | 132 | 第二圖案化光阻層 |
| 134 | N型源極摻雜區 | 136 | 第三N型離子佈植製程 |
| 138 | 層間介電層 | 140 | 開口 |
| 144 | P型接觸摻雜區 | 146 | P型輕摻雜區 |
| 148 | 射極金屬層 | 150 | 集極金屬層 |
| 152 | 方向 | | |

七、申請專利範圍：

1. 一種絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，包括有：

一集極金屬層；

一半導體基底，具有一第一導電類型，設置於該集極金屬層上，電連接至該集極金屬層；

至少一陰極摻雜區，具有一第二導電類型，設置於該半導體基底內，且該陰極摻雜區電連接至該集極金屬層；

一漂移磊晶層，具有該第二導電類型，設置於該半導體基底上，且電性連接該半導體基底以及該陰極摻雜區；

至少一閘極，設置於該漂移磊晶層內；

至少一閘極絕緣層，設置於該漂移磊晶層與該閘極之間；

至少一基體(base)摻雜區，具有該第一導電類型，設置於該漂移磊晶層內，且鄰接於該閘極絕緣層；

至少一源極摻雜區，具有該第二導電類型，設置於該基體摻雜區內，且鄰接該閘極絕緣層；

至少一接觸摻雜區，具有該第一導電類型，設置於該基體摻雜區以及該漂移磊晶層內，且鄰接於該源極摻雜區；

至少一輕摻雜區，具有該第一導電類型，設置於該接觸

摻雜區與位於該基體摻雜區相對於該閘極之另一側之該漂移磊晶層之間，且與該漂移磊晶層相接觸；以及

一射極金屬層，設置於該接觸摻雜區與該源極摻雜區上，且電連接該源極摻雜區與該接觸摻雜區。

2. 如請求項 1 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該輕摻雜區之深度係小於該基體摻雜區之深度。
3. 如請求項 1 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該漂移磊晶層包括：
一摻雜區，設置於該基體摻雜區之底部，且延伸至該基體摻雜區相對於該閘極之另一側，以與該輕摻雜區相接觸；以及
一磊晶層，設置於該摻雜區與該半導體基底之間。
4. 如請求項 3 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該磊晶層之摻雜濃度係小於該摻雜區之摻雜濃度。
5. 如請求項 4 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中隨著越接近該磊晶層，該摻

雜區之摻雜濃度逐漸遞減。

6. 如請求項 3 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該摻雜區之摻雜濃度係小於該源極摻雜區之摻雜濃度。
7. 如請求項 1 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該輕摻雜區之摻雜濃度係小於該接觸摻雜區之摻雜濃度。
8. 如請求項 1 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該基體摻雜區之水平截面積係隨著越接近該接觸摻雜區越大。
9. 如請求項 1 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，另包括一緩衝層，其中該緩衝層具有該第二導電類型，且設置於該漂移磊晶層與該半導體基底之間。
10. 如請求項 1 所述之絕緣閘雙極電晶體與快速逆向恢復時間整流器之整合結構，其中該第一導電類型為 P 型，且該第二導電類型為 N 型。

11. 一種絕緣閘雙極電晶體與快速逆向恢復時間整流器整合結構之製作方法，包括：

提供一半導體基底，該半導體基底具有一第一導電類型，且該半導體基底包括有一上表面與一相對之下表面；

於該半導體基底內形成一陰極摻雜區，該陰極摻雜區具有一第二導電類型；

於該半導體基底之該上表面上形成一漂移磊晶層，該漂移磊晶層具有該第二導電類型；

於該漂移磊晶層中形成至少一閘極絕緣層與至少一閘極，該閘極絕緣層設置於該漂移磊晶層與該閘極之間；

於鄰近該閘極絕緣層一側之該漂移磊晶層內形成至少一基體(base)摻雜區，該基體摻雜區具有該第一導電類型，且鄰接該閘極絕緣層；

於該基體摻雜區內形成一源極摻雜區，該源極摻雜區具有該第二導電類型，且鄰接該閘極絕緣層；

於該源極摻雜區相對於該閘極絕緣層之另一側之該基體摻雜區與該漂移磊晶層內形成一接觸摻雜區，以及於該接觸摻雜區與位於該基體摻雜區相對於該閘極絕緣層之另一側之該漂移磊晶層之間形成一輕摻雜區，該接觸摻雜區與該輕摻雜區具有該第一導電類型；

於該接觸摻雜區以及該源極摻雜區上形成一射極金屬層，使該射極金屬層電連接該源極摻雜區與該接觸摻雜區；

從該半導體基底之該下表面進行一薄化製程，直到暴露出該陰極摻雜區；以及

於該半導體基底之該下表面上形成一集極金屬層，該集極金屬層電連接該陰極摻雜區與該半導體基底。

12. 如請求項 11 所述之製作方法，其中形成該基體摻雜區之步驟包括：

進行一微影製程，以於該閘極絕緣層一側之該漂移磊晶層上形成一第一圖案化光阻層，且暴露出鄰近該閘極絕緣層一側之部分該漂移磊晶層；

對暴露出之該漂移磊晶層進行一具有該第一導電類型之第一離子佈植製程；以及

移除該第一圖案化光阻層，以及進行一第一驅入製程，以於鄰近該閘極絕緣層一側之該漂移磊晶層內形成該基體摻雜區。

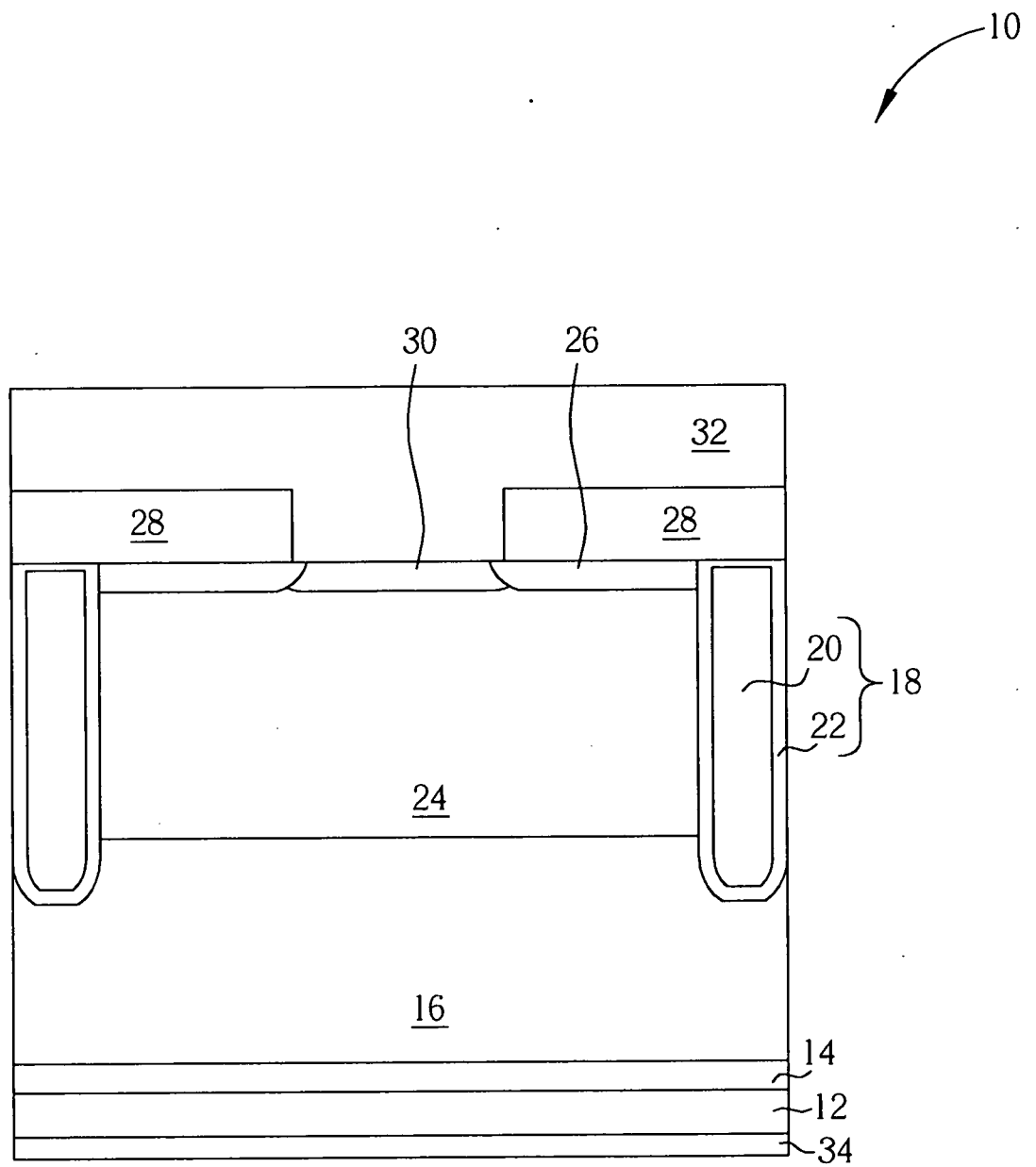
13. 如請求項 12 所述之製作方法，其中形成該源極摻雜區之步驟包括形成一第二圖案化光阻層，其中該第二圖案化光阻層與該第一圖案化光阻層具有相同圖案。

14. 如請求項 11 所述之製作方法，其中形成該漂移磊晶層之步驟另包括：
於該半導體基底之該上表面形成一磊晶層；以及
於該磊晶層內形成一摻雜區，且該摻雜區之摻雜濃度大於該磊晶層，其中該磊晶層與該摻雜層構成該漂移磊晶層。
15. 如請求項 14 所述之製作方法，其中該基體摻雜區係形成於該摻雜區內。
16. 如請求項 14 所述之製作方法，其中該磊晶層之摻雜濃度係小於該摻雜區之摻雜濃度。
17. 如請求項 16 所述之製作方法，其中隨著越接近該磊晶層，該摻雜區之摻雜濃度逐漸遞減。
18. 如請求項 14 所述之製作方法，其中該摻雜區之摻雜濃度係小於該源極摻雜區之摻雜濃度。
19. 如請求項 11 所述之製作方法，其中形成該接觸摻雜區與該輕摻雜區之步驟包括：
進行一具有該第一導電類型之第二離子佈植製程以及一第二驅入製程，以形成該接觸摻雜區；以及

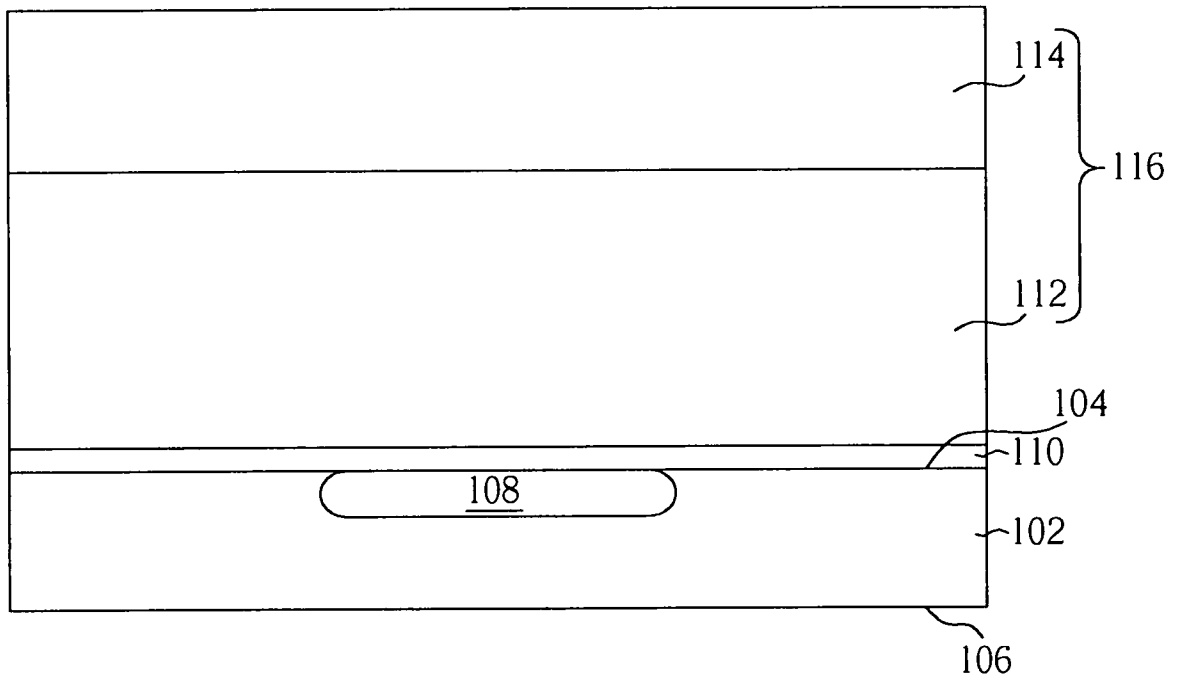
進行一具有該第一導電類型之第三離子佈植製程以及一
第三驅入製程，以形成該輕摻雜區。

20. 如請求項 11 所述之製作方法，其中該輕摻雜區之摻雜濃
度係小於該接觸摻雜區之摻雜濃度。

八、圖式：

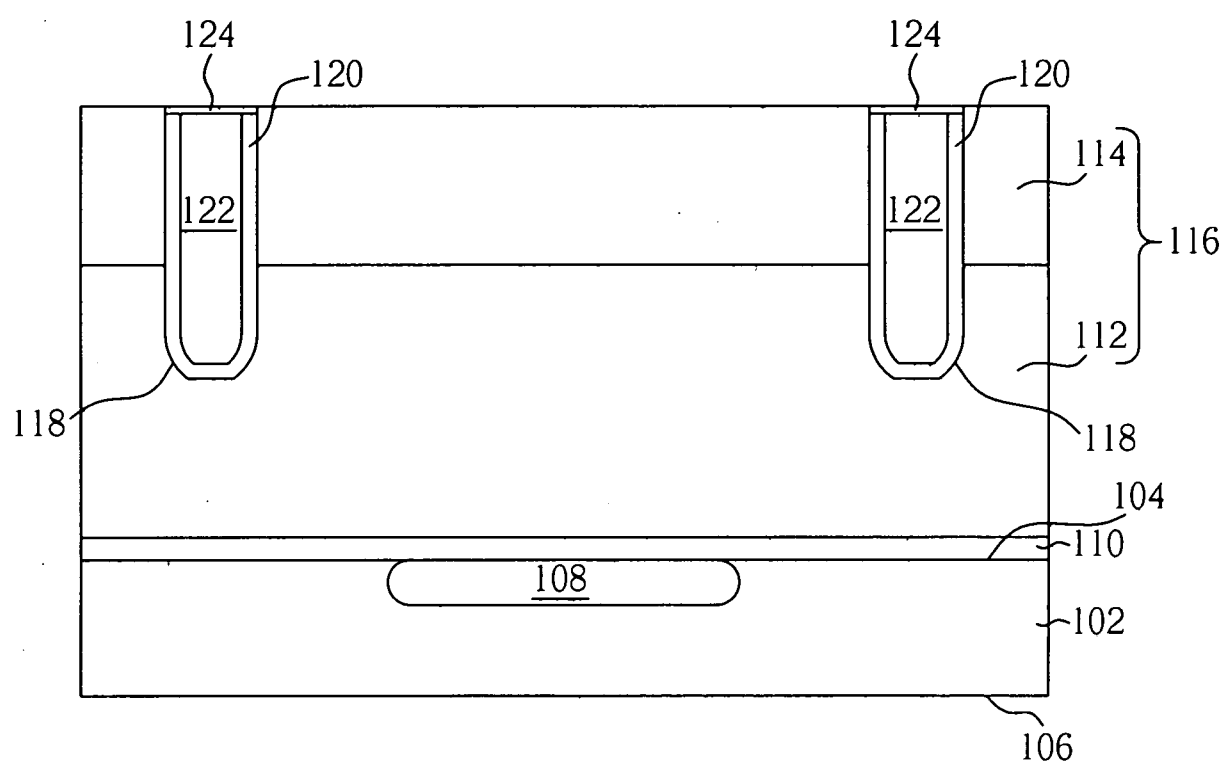


第1圖



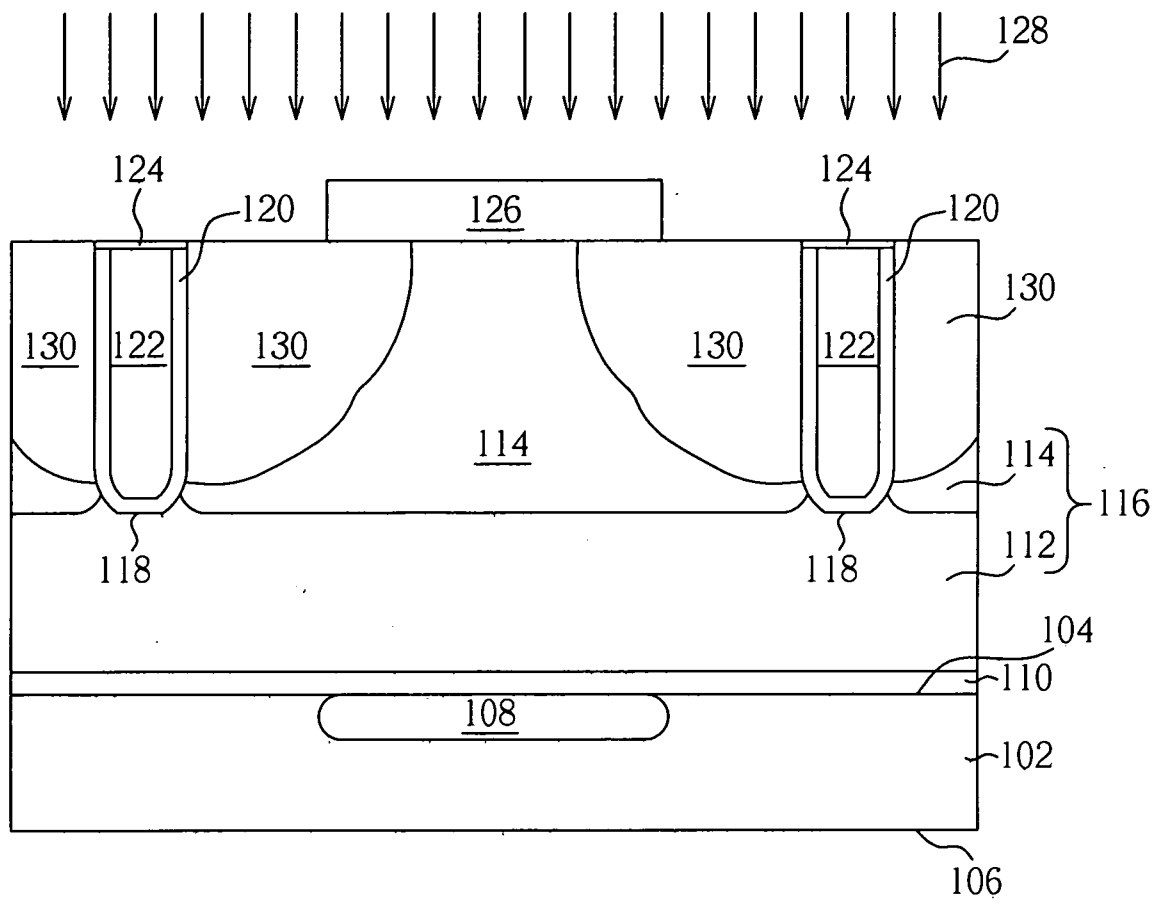
第2圖

98年11月9日修正替換頁



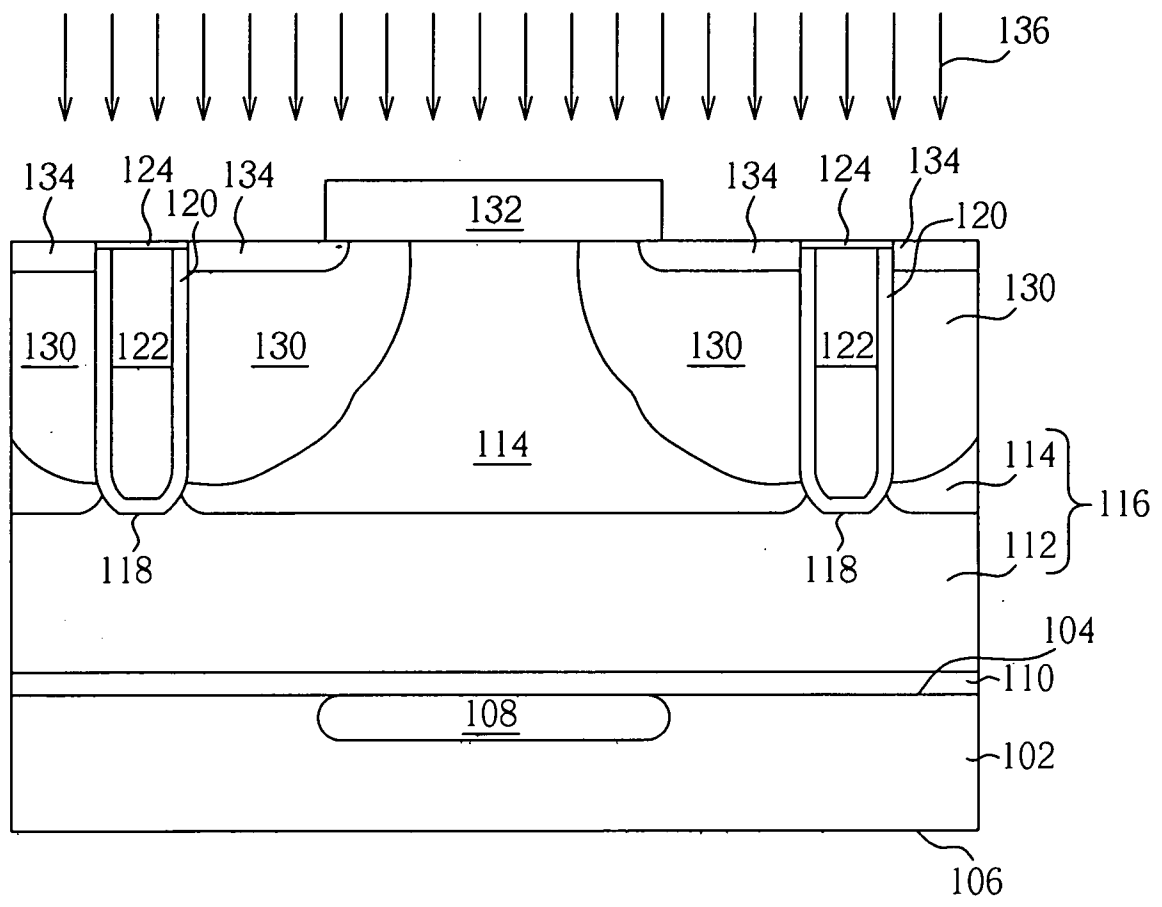
第3圖

98年11月9日修正替換頁



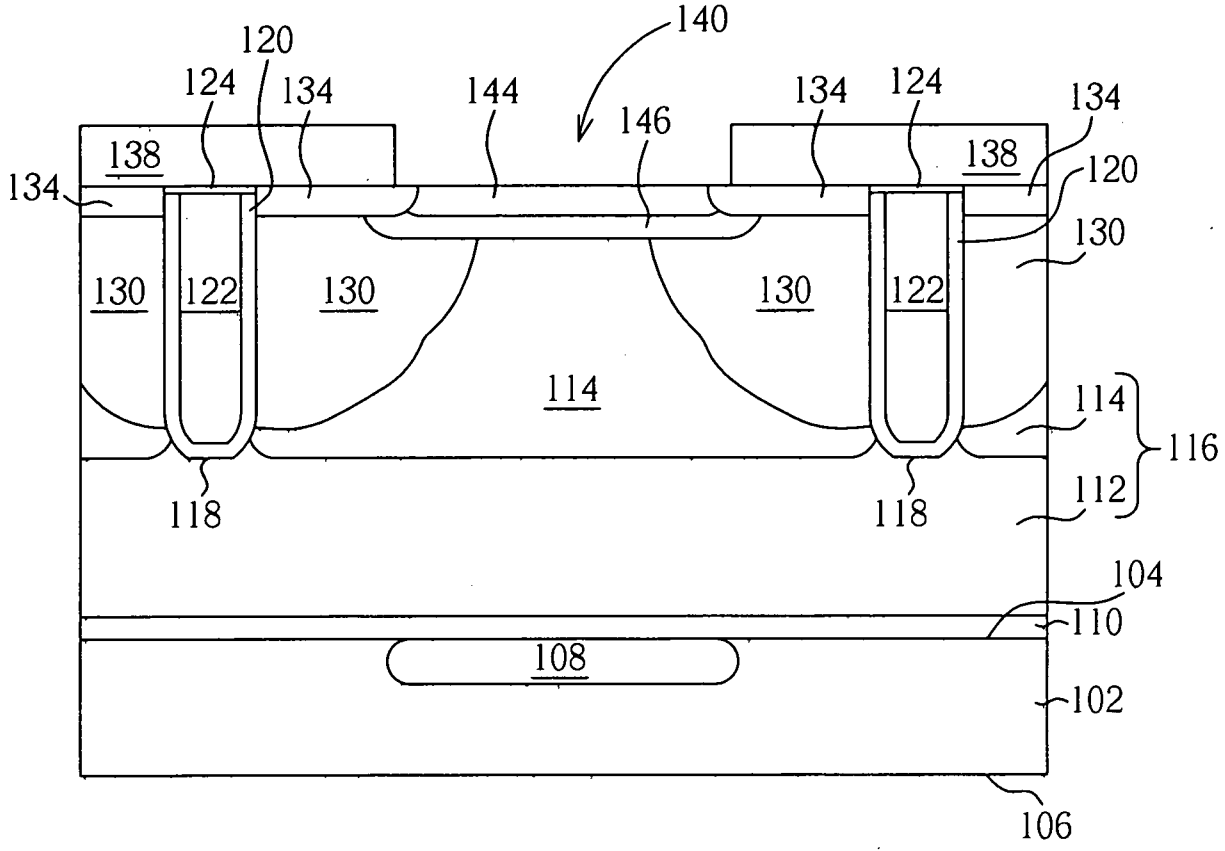
第4圖

98年11月9日修正替换



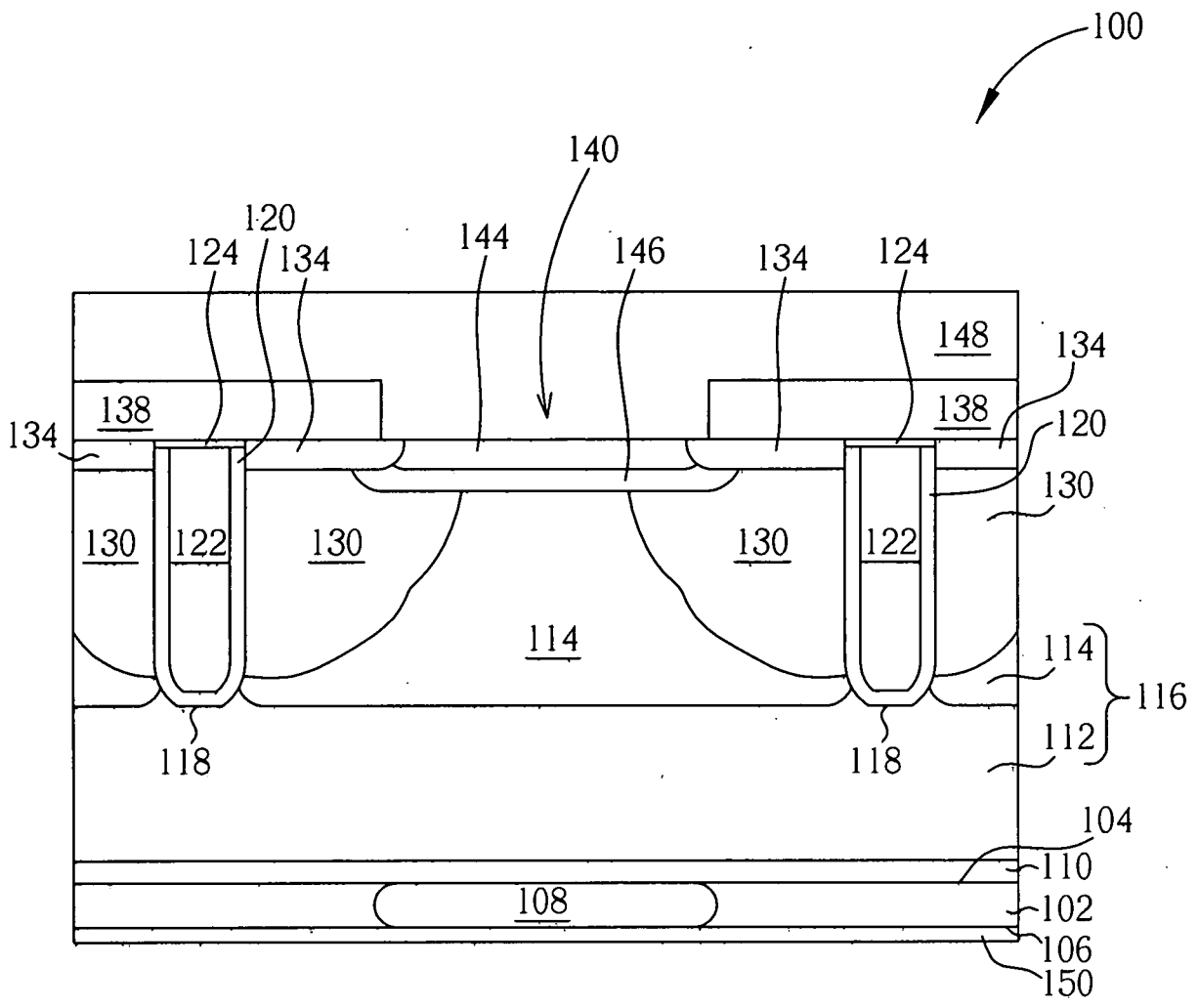
第5圖

98年11月9日修正替換頁

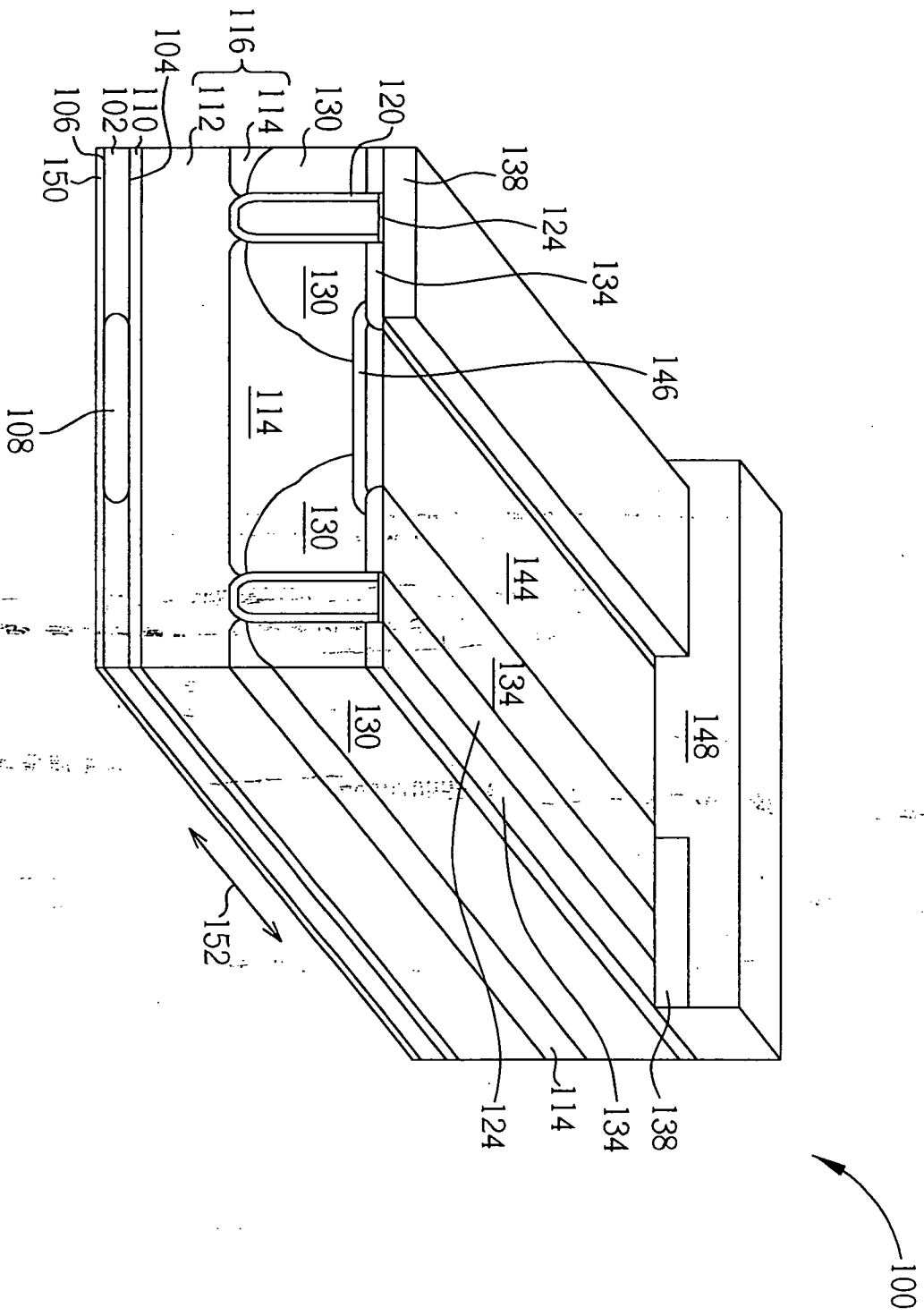


第6圖

98年11月9日修正替換頁



第7圖



第8圖