



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월11일

(11) 등록번호 10-1519062

(24) 등록일자 2015년04월30일

(51) 국제특허분류(Int. Cl.)

H01L 23/12 (2006.01)

(21) 출원번호 10-2008-0029917

(22) 출원일자 2008년03월31일

심사청구일자 2013년03월27일

(65) 공개번호 10-2009-0104477

(43) 공개일자 2009년10월06일

(56) 선행기술조사문헌

JP08124967 A*

US5646828 A

US20070126122 A1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

페어차일드코리아반도체 주식회사

경기도 부천시 원미구 평천로850번길 55 (도당동)

(72) 발명자

임승원

경기도 부천시 원미구 계남로 261, 102동 704호
(중동, 대림아파트)

전오섭

서울특별시 강서구 강서로 348, 우장산 현대타운
118-1402 (내발산동)

(뒷면에 계속)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 17 항

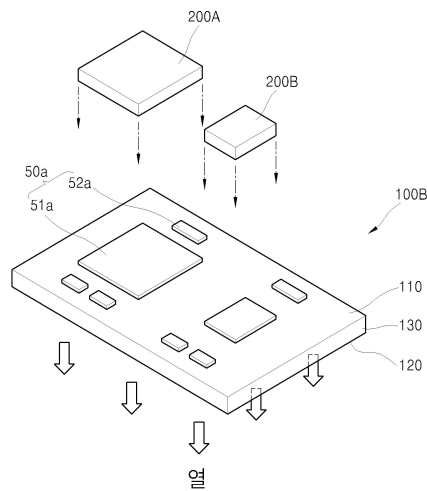
심사관 : 김정진

(54) 발명의 명칭 반도체 소자 패키지

(57) 요약

본 발명은 실리콘계 재료로 형성된 기판이 적용된 반도체 소자 패키지에 관한 것이다. 본 발명의 일실시예에 따른 반도체 소자 패키지는 서로 대향하는 제 1 및 제 2 주면들과 상기 제 1 주면과 상기 제 2 주면 사이에 실리콘계 재료로 형성된 기판 바디층을 포함하는 제 1 기판; 및 상기 제 1 주면 상에 적어도 하나 이상의 제 1 반도체 소자를 포함한다.

대표도 - 도1b



(72) 발명자

최승용

서울특별시 강서구 우장산로 47, 우장산 롯데2차아파트 2002-1101 (내발산동)

손준서

서울특별시 마포구 삼계로 33, 우성 아파트 11동 701호 (도화동)

정만교

경기 부천시 원미구 조마루로 135, 820동 1103호 (중동, 포도마을아파트)

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

서로 대향하는 제 1 및 제 2 주면들과 상기 제 1 주면과 상기 제 2 주면 사이에 실리콘계 재료로 형성된 기관 바디층을 포함하는 제 1 기관;

상기 제 1 주면 상에 적어도 하나 이상의 제 1 반도체 소자;

상기 제 1 반도체 소자를 밀봉하는 몰딩 부재; 및

상기 몰딩 부재의 외부로 돌출되고 상기 제 1 반도체 소자에 전기적으로 연결된 적어도 하나의 리드;를 포함하고,

상기 제 1 기관은, 상기 제 1 주면 상에 형성되고 상기 제 1 반도체 소자와 전기적으로 연결되는 제 1 도전성 패터를 포함하며,

상기 제 1 기관의 상기 제 2 주면 상에 부착되는 제 2 반도체 소자를 더 포함하며,

상기 제1 반도체 소자는 상기 제 1 기판과 기저 기판 사이에 배치되는 반도체 소자 패키지.

청구항 13

제 12 항에 있어서,

상기 제 1 기판은 상기 제 2 주면 상에 형성된 복수의 제 2 도전성 패턴들을 더 포함하며,

상기 제 2 도전성 패턴들 중 적어도 일부는 상기 제 2 반도체 소자와 전기적으로 연결되는 반도체 소자 패키지.

청구항 14

제 13 항에 있어서,

상기 제 1 도전성 패턴들과 상기 제 2 도전성 패턴들 중 적어도 일부는 상기 제 1 기판의 상기 기판 바디층을 관통하는 비아 도전체에 의해 서로 전기적으로 연결되는 반도체 소자 패키지.

청구항 15

제 12 항에 있어서,

상기 제 1 기판은 상기 제 1 도전성 패턴들과 상기 제 2 도전성 패턴들 중 적어도 일부를 전기적으로 연결하는 재배선 층을 더 포함하는 반도체 소자 패키지.

청구항 16

제 13 항에 있어서,

상기 제 1 반도체 소자 및 상기 제 2 반도체 소자는 도전성 접속 부재에 의해 상기 제 1 도전성 패턴들 중 적어도 일부 및 상기 제 2 도전성 패턴들 중 적어도 일부에 각각 전기적으로 연결되는 반도체 소자 패키지.

청구항 17

제 16 항에 있어서,

상기 도전성 접속 부재는 도전성 범프 및 솔더 볼 중 적어도 어느 하나를 포함하는 반도체 소자 패키지.

청구항 18

제 13 항에 있어서,

상기 제 1 기판은 적어도 2 이상의 상기 기판 바디층들이 적층되어 형성된 반도체 소자 패키지.

청구항 19

제 18 항에 있어서,

상기 기판 바디층들 중 적어도 어느 하나는 재배선층을 포함하며, 상기 기판 바디층들 중 적어도 다른 하나는 비아 도전체를 포함하는 반도체 소자 패키지.

청구항 20

삭제

청구항 21

복수의 제 1 도전성 패턴들이 형성된 제 1 주면, 상기 제 1 주면에 대향하는 제 2 주면 및 상기 제 1 주면과 상기 제 2 주면 사이에 실리콘계 재료로 형성된 기판 바디층을 포함하는 제 1 기판;

복수의 제 2 도전성 패턴들이 형성된 제 1 주면 및 상기 1 주면에 대향하는 제 2 주면을 포함하는 제 2 기판; 및

상기 제 1 기판의 제 1 주면과 상기 제 2 기판의 제 1 주면 사이에 배치되고, 복수의 도전성 연결 부재들에 의해 상기 제 1 도전성 패턴들 중 적어도 일부와 상기 제 2 도전성 패턴들 중 적어도 일부에 전기적으로 연결되는

반도체 소자;

상기 반도체 소자를 밀봉하는 몰딩 부재; 및

상기 몰딩 부재 외부로 돌출되고 상기 반도체 소자에 전기적으로 연결된 적어도 하나의 리드;를 포함하는 반도체 소자 패키지.

청구항 22

제 21 항에 있어서,

상기 도전성 연결 부재는 도전성 범프 또는 솔더 볼인 반도체 소자 패키지.

청구항 23

제 21 항에 있어서,

상기 도전성 연결 부재들은 상기 제 1 기판의 상기 제 1 도전성 패턴들 중 적어도 일부와 상기 반도체 소자의 외부 단자를 본딩하는 제 1 높이를 갖는 제 1 도전성 연결 부재와 상기 제 1 기판의 상기 제 1 도전성 패턴들 중 적어도 다른 일부와 상기 제 2 기판의 상기 제 2 도전성 패턴들 중 적어도 일부를 본딩하는 제 2 높이를 갖는 제 2 도전성 연결 부재를 포함하는 반도체 소자 패키지.

청구항 24

제 21 항에 있어서,

상기 제 2 기판은 가요성 인쇄회로기판(flexible PCB)인 반도체 소자 패키지.

청구항 25

제 21 항에 있어서,

상기 제 2 기판은 인쇄회로기판(printed circuit board), 절연 금속 기판(insulated metal substrate; IMS), 프리-몰딩(pre-molded) 기판, 디비씨(direct bonded copper; DBC) 기판 중 어느 하나인 반도체 소자 패키지.

청구항 26

제 21 항에 있어서,

상기 반도체 소자는 전력 소자 또는 상기 전력 소자를 제어하는 저전력 제어 소자인 반도체 소자 패키지.

청구항 27

제 21 항에 있어서,

상기 제 2 기판은 상기 제 2 기판의 상기 제 2 주면의 적어도 일부가 상기 몰딩 부재 외부로 노출된 기저 기판인 반도체 소자 패키지.

청구항 28

제 21 항에 있어서,

상기 제 2 기판의 상기 제 2 도전성 패턴들은 상기 제 1 반도체 소자가 탑재되는 다이 어태치 패들을 포함하는 반도체 소자 패키지.

청구항 29

제 21 항에 있어서,

상기 제 1 기판은 상기 복수의 제 1 접속 패드들 중 적어도 2 이상을 서로 연결하기 위한 재배선 층(redistribution layer)을 포함하는 반도체 소자 패키지.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 소자 패키지에 관한 것으로서, 더욱 상세하게는, 실리콘계 재료로 형성된 기판을 포함하는 반도체 소자 패키지에 관한 것이다.

배경 기술

[0002] 통상적으로 반도체 소자를 탑재하기 위한 기판으로서, 인쇄회로기판, 세라믹 기판, 디비씨(direct bonded copper; DBC) 기판 또는 절연 금속 기판(insulated metal substrate)이 사용된다. 상기 반도체 소자가 전력 소자인 경우, 상기 기판은 상기 전력 소자를 위한 배선을 제공하거나, 상기 전력 소자로부터 발생하는 열을 방출 기능을 수행해야 한다. 또한, 논리 회로와 같이 저전력 회로 소자에 사용되는 기판의 재료 및 기술과 비교하면, 전력 소자용 기판은 높은 절연 파괴 강도와 회로 소자의 동작에 따른 반복적인 열 사이클에 대한 내구성을 확보하여야 한다.

[0003] 상술한 종래의 기판 중 세라믹 기판, 디비씨 기판 또는 절연 금속 기판은 기본적으로, 우수한 내열성을 갖지만, 상부에 배선 패턴을 형성하는 공정이 어려울 뿐만 아니라, 재료 자체가 비교적 고가인 문제점을 갖는다. 또한, 이들 기판은 상부에 탑재되는 반도체 칩들의 열팽창 계수와 차이가 있는 열팽창 계수를 갖기 때문에, 반복적인 열 사이클에 의해 제품 수명이 단축될 수 있다. 이들 중, 절연 금속 기판의 경우에는, 금속 기저 플레이트(metal base plate)와 구리 배선 패턴 사이에 낮은 열전도도를 갖는 에폭시계 유전층이 적용되므로, 열방출 효율이 낮은 문제점을 갖는다.

[0004] 또한, 종래의 반도체 소자 패키지에서는, 반도체 소자들이 주로 와이어 본딩 공정에 의해 전기적으로 연결되기 때문에, 상기 패키지의 전체 부피를 작게 하는 경우, 와이어들 사이의 간격이 충분히 확보되지 않아 단락에 의해 불량 발생률이 빈번하게 나타난다. 이와 같이, 반도체 소자 패키지의 경량화와 소형화를 위해서는 상기 와이어 본딩 공정의 문제점이 반드시 극복되어야 한다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명이 이루고자 하는 기술적 과제는, 우수한 열방출 효과와 내열성을 확보하면서도 비교적 경제적으로 제조될 수 있는 기판이 적용된 반도체 소자 패키지를 제공하는 것이다.

[0006] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 와이어 본딩 공정을 최소화하거나 이를 대체하여, 전체 반도체 소자 패키지를 소형화 및 경량화할 수 있는 반도체 소자 패키지를 제공하는 것이다.

과제 해결수단

[0007] 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 반도체 소자 패키지는, 서로 대향하는 제 1 및 제 2 주면들과 상기 제 1 주면과 상기 제 2 주면 사이에 실리콘계 재료로 형성된 기판 바디층을 포함하는 제 1 기판; 및 상기 제 1 주면 상에 적어도 하나 이상의 제 1 반도체 소자를 포함한다. 상기 제 1 기판은 상기 제 2 주면의 적어도 일부가 몰딩 부재 외부로 노출된 기저 기판일 수 있다. 또는, 상기 제 1 기판의 상기 제 2 주면 상에 부착되며, 몰딩 부재 외부로 노출된 저면을 가지는 기저 기판을 더 포함할 수도 있다.

[0008] 일부 실시예에서, 상기 제 1 기판은, 상기 제 1 주면 상에 형성되고 상기 제 1 반도체 소자와 전기적으로 연결되는 제 1 도전성 패턴을 더 포함할 수 있다. 상기 제 1 도전성 패턴은 복수의 제 1 접속 패드들을 포함할 수 있다. 또한, 상기 제 1 도전성 패턴은 상기 제 1 반도체 소자가 탑재되는 다이 어태치 패드를 더 포함할 수도 있다. 일 실시예에서, 상기 제 1 기판은 상기 복수의 제 1 접속 패드들 중 적어도 2 이상을 서로 연결하기 위한 재배선 층(redistribution layer)을 포함할 수 있다.

[0009] 상기 제 1 접속 패드들 중 적어도 일부는 도전성 접속 부재에 의해 상기 제 1 반도체 소자의 외부 단자와 전기적으로 연결된다. 상기 도전성 접속 부재는 도전성 범프 또는 솔더 볼일 수 있다. 선택적으로는 상기 제 1 반도체 소자는 접착 부재에 의해 상기 다이 어태치 패드 상에 부착되며, 상기 제 1 접속 패드들 중 적어도 일부는 와이어 본딩에 의해 상기 제 1 반도체 소자의 외부 단자와 전기적으로 연결될 수도 있다.

- [0010] 일부 실시예에서, 상기 제 1 기관의 상기 제 2 주면 상에 부착되는 제 2 반도체 소자를 더 포함할 수 있다. 이 경우, 상기 제 1 기관은 상기 제 2 주면 상에 형성된 복수의 제 2 도전성 패턴들을 더 포함하며, 상기 제 2 도전성 패턴들 중 적어도 일부는 상기 제 2 반도체 소자와 전기적으로 연결될 수 있다. 일부 실시예에서, 상기 제 1 도전성 패턴들과 상기 제 2 도전성 패턴들 중 적어도 일부는 상기 제 1 기관의 기관 바디층을 관통하는 비아 도전체에 의해 서로 전기적으로 연결될 수 있다. 상기 제 1 반도체 소자 및 상기 제 2 반도체 소자는 도전성 접속 부재에 의해 상기 제 1 도전성 패턴들 중 적어도 일부 및 상기 제 2 도전성 패턴들 중 적어도 일부에 각각 전기적으로 연결된다.
- [0011] 상기 제 1 기관은 적어도 2 이상의 상기 기관 바디층이 적층되어 형성된다. 일부 실시예에서, 상기 기관 바디층들 중 적어도 어느 하나는 재배선층을 포함하며, 상기 기관 바디층들 중 적어도 다른 하나는 비아 도전체를 포함할 수 있다.
- [0012] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 소자 패키지는, 복수의 제 1 도전성 패턴들이 형성된 제 1 주면, 상기 제 1 주면에 대향하는 제 2 주면 및 상기 제 1 주면과 상기 제 2 주면 사이에 실리콘계 재료로 형성된 기관 바디층을 포함하는 제 1 기관; 복수의 제 2 도전성 패턴들이 형성된 제 1 주면 및 상기 제 1 주면에 대향하는 제 2 주면을 포함하는 제 2 기관; 및 상기 제 1 기관의 제 1 주면과 상기 제 2 기관의 제 2 주면 사이에 배치되고, 복수의 도전성 연결 부재들에 의해 상기 제 1 도전성 패턴들 중 적어도 일부와 상기 제 2 도전성 패턴들 중 적어도 일부에 전기적으로 연결되는 반도체 소자를 포함한다.
- [0013] 일부 실시예에서, 상기 도전성 연결 부재는 도전성 범프 또는 솔더 볼일 수 있다. 또한, 상기 도전성 연결 부재들은 상기 제 1 기관의 상기 제 1 도전성 패턴들 중 적어도 일부와 상기 반도체 소자의 외부 단자를 본딩하는 제 1 높이를 갖는 제 1 도전성 연결 부재와 상기 제 1 기관의 상기 제 1 도전성 패턴들 중 적어도 다른 일부와 상기 제 2 기관의 상기 제 2 도전성 패턴들 중 적어도 일부를 본딩하는 제 2 높이를 가질 수 있다.
- [0014] 일부 실시예에서, 상기 제 2 기관은 가요성 인쇄회로기판(flexible PCB)일 수 있다. 다른 실시예에서, 상기 제 2 기관은 인쇄회로기판(printed circuit board), 절연 금속 기판(insulated metal substrate; IMS), 프리-몰딩(pre-molded) 기관, 디비씨(direct bonded copper; DBC) 기관 중 어느 하나일 수 있다.

효 과

- [0015] 본 발명의 반도체 소자 패키지는, 반도체 소자 제조 공정에서 널리 이용되는 실리콘 웨이퍼와 같은 실리콘계 재료로 이루어진 기관을 기저 기관으로 사용함으로써, 우수한 열방출 효과와 내열성을 확보하면서도 비교적 경제적으로 제조될 수 있는 반도체 소자 패키지를 제공할 수 있다.
- [0016] 또한, 본 발명의 반도체 소자 패키지는, 미세화 공정이 가능한 실리콘계 재료로 이루어진 기관을 신호 기관으로 사용함으로써, 복잡한 와이어 본딩 공정을 대체하여, 전체 반도체 소자 패키지를 소형화 및 경량화할 수 있는 반도체 소자 패키지를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0018] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0019] 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0020] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.

- [0021] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 층들 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역, 층 또는 부분을 다른 영역, 층 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역, 층 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역, 층 또는 부분을 지칭할 수 있다.
- [0022] 또한, 본 명세서에서 사용되는 실리콘계 재료로 형성된 기판이란, 실리콘을 포함하는 재료이며, 이로 인하여 통상적인 실리콘 기반의 반도체 제조 공정이 가능한 기판 재료로 해석되어야 한다. 따라서, 그 예로서, 실리콘 웨이퍼가 이에 포함되며, 그 결정성, 도전형, 결함 여부 및 제조 방법에 의해 한정되지는 않는다.
- [0023] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차(tolerance)에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다. 또한, 동일한 참조 번호는 동일한 구성 부재를 지칭한다.
- [0024] 도 1a 내지 도 1d는 본 발명의 다양한 실시예에 따른 실리콘계 재료로 형성된 기판들(100A, 100B, 100C 및 100D)을 도시하는 사시도이다.
- [0025] 도 1a 내지 도 1d를 참조하면, 본 발명의 실시예에 따른 반도체 소자 패키지는 서로 대향하는 제 1 및 제 2 주면(110, 120)과 이들 주면들(110, 120) 사이에 기판 바디층(130)을 포함하는 기판(100A, 100B, 100C 및 100D)을 포함한다. 기판(100A, 100B, 100C 및 100D)의 제 1 주면(110)은 후술하는 바와 같이, 적합한 도전성 패턴을 형성하기 위한 절연 표면을 제공할 수 있다.
- [0026] 제 1 주면(110) 상에 반도체 소자, 예를 들면 전력 소자(200A) 또는 이를 제어하기 위한 저전력 제어 소자(200B)가 탑재된 경우, 제 2 주면(120)은, 화상표로 지시된 바와 같이, 제 1 주면(110) 상에서 발생하는 열을 방출하기 위한 열방출 표면을 제공하며, 기판 바디층(130)은 열전달 경로를 제공한다. 실리콘계 기판은 종래의 세라믹 기판 또는 금속 기판과 유사한 정도의 우수한 열전달 효율을 갖는다.
- [0027] 기판 바디층(130)은 실리콘계 재료로 형성된다. 실리콘계 재료는 반도체 제조 공정에 널리 사용되는 실리콘 웨이퍼를 적절히 절단함으로써 얻을 수 있다. 이것은 기판(100A, 100B, 100C 및 100D)이 종래의 인쇄회로기판, 절연 금속 기판, 프리-몰딩 기판, 디버씨 기판들에 비하여 비교적 경제적인 공정에 의해 제조될 수 있음을 의미한다. 또한, 기판(100A, 100B, 100C 및 100D) 상에 탑재되는 반도체 소자들(200A, 200B)이 통상적으로 실리콘계 재료로 형성됨을 고려할 때, 탑재된 반도체 소자(200A, 200B)와 기판(100A, 100B, 100C 및 100D) 사이의 열팽창 계수 차이는 거의 존재하지 않는다. 그 결과, 본 발명의 실시예에 따르면, 동작시 발생하는 반복적인 열 사이클에 대하여 우수한 내구성을 갖는 반도체 소자 패키지를 제공할 수 있다.
- [0028] 도 1a에 도시된 바와 같이, 기판(100A)의 제 1 주면(110)은 절연 표면을 제공할 수 있다. 상기 절연 표면은 통상의 반도체 제조 공정, 예를 들면, 화학기상증착(chemical vapor deposition; CVD) 또는 졸겔법(sol-gel method) 등에 의해 형성된 실리콘 산화막 또는 실리콘 질화막일 수 있다.
- [0029] 선택적으로는, 도 1b 및 도 1c에 도시된 바와 같이, 절연 표면을 갖는 제 1 주면(110) 상에 도전성 패턴들(50a, 50b)이 형성될 수 있다. 도전성 패턴들(50a, 50b)은 예를 들면, 반도체 제조 공정으로서 성막 공정인 스퍼터링 공정과 패터닝 공정을 순차적으로 수행하여 형성될 수 있다. 이들 도전성 패턴들(50a, 50b)은 구리 및 은 또는 이들의 합금으로 형성될 수 있다. 반도체 제조 공정에서 금속화 공정을 위한 공정 조건이 이미 확립되어 있고 정밀도가 높은 스퍼터링 공정과 패터닝 공정이 이용되기 때문에 도전성 패턴들(50a, 50b)은 용이하게 형성될 수 있다.
- [0030] 도전성 패턴들(50a)은 도 1b에 도시된 바와 같이 반도체 소자(200A, 200B)가 부착되는 다이 어태치 패들(die attach paddle; 51a) 및 와이어 본딩 공정에 의해 전기적으로 연결되는 배선 패드(52a) 중 적어도 어느 하나를 포함할 수 있다. 또는, 도전성 패턴들(50b)은 도 1c에 도시된 바와 같이 다이 어태치 패들(51b) 및 도전성 범프 또는 솔더 볼 본딩 공정에 의해 전기적으로 연결되는 접속 패드(52b), 예를 들면, UBM(under-bump metallization)과 다이 어태치 패들(52b) 중 적어도 어느 하나를 포함할 수 있다.
- [0031] 일부 실시예에서, 기판(100B, 100C)은 도 1c에 도시된 바와 같이, 배선 패드들(52a) 또는 접속 패드들(52b) 중 적어도 2 이상을 서로 전기적으로 연결하기 위한 재배선 층(Redistribution layer; 53)을 포함할 수 있다. 재

배선 층(53)은 제 1 주면(110)의 표면 상으로 형성될 수 있다. 선택적으로는, 다이 어태치 패들(51b)과 전기적으로 절연될 수 있도록, 다이 어태치 패들(51b)의 하부의 기관 바디층(130)에 재배선 층(53)을 매립하고, 다이 어태치 패들(51b)과 재배선 층(53) 사이에 절연층(미도시)을 개재할 수 있다.

[0032] 일부 실시예에서, 기관(100D)은 도 1d에 도시된 바와 같이, 열방출 효율을 증가시키고 기관(100D)의 부서짐을 방지하기 위하여, 제 2 주면(120) 상에 기저 기관 또는 방열판(heat sink)(10)을 부착할 수도 있다. 기저 기관(10)은 금속, 예를 들면, 알루미늄, 구리 또는 이들의 합금으로 형성될 수 있다. 기저 기관(10)은 열방출 면적을 증가시키기 위해 돌출 패턴(10a)을 갖도록 가공될 수도 있다.

[0033] 기관(100A, 100B 및 100C)의 제 2 주면(120)은 몰딩 부재 외부로 직접 노출되어 방열 표면을 제공할 수 있다. 또는, 도 1d에 도시된 바와 같이 기관(100D) 상에 기저 기관(10)이 부착된 경우에는 기저 기관(10)의 표면이 몰딩 부재 외부로 직접 노출되어 방열 표면을 제공할 수 있다. 기저 기관(10)에 대하여는 도 5a 내지 도 5c를 참조하여 후술한다. 기저 기관(10)은 방열 효율을 증가시키기 위해 주름 구조를 갖는 표면(10a)을 포함할 수 있다. 이하에서는 상술한 기관을 포함하는 다양한 실시예에 따른 반도체 소자 패키지에 대하여 상술하기로 한다.

[0034] 도 2a는 본 발명의 일실시예에 따른 반도체 소자 패키지(1000)를 도시하는 사시도이다. 도 2b는 도 2a의 선 II-II를 따라 절취된 반도체 소자 패키지(1000)의 단면도이다. 도 2a에서는 설명의 편의를 위하여 내부 부재들을 보호하기 위한 몰딩 부재(600)를 생략하였으나, 이는 도 2b에 의해 완전히 개시된다.

[0035] 도 2a 및 도 2b를 참조하면, 반도체 소자 패키지(1000)는 도 1a를 참조하여 상술한 기관(100)을 포함한다. 기관(100)의 제 1 주면(110) 상에는 적어도 하나 이상의 반도체 소자(200A 및 200B)가 탑재된다. 반도체 소자(200A, 200B)는 엘라스토머, 에폭시, 실리콘 테이프, 유리 테이프 및 세라믹 테이프와 같은 고온 테이프 등의 비도전성 접착 부재에 의해 제 1 주면(110) 상에 부착될 수 있다. 반도체 소자(200A 및 200B)는 예를 들면, 서보 드라이버, 인버터, 전력 레귤레이터 및 컨버터 소자 등을 구현하기 위한 모스펫 (MOSFET), 바이폴라 정션 트랜지스터 (Bipolar junction transistor; BJT), 절연 게이트 바이폴라 트랜지스터 (Insulated gated BJT) 또는 다이오드 등과 같은 전력 소자 및/또는 상기 전력 소자를 제어하기 위한 논리칩과 같은 집적 회로인 저전력 제어 소자일 수 있다. 전력 소자와 이를 제어하는 저전력 제어 소자를 하나의 패키지에 수용함으로써, 스마트 모듈 또는 인텔리전트 전력 모듈을 제조할 수 있다. 이들 열거된 소자들은 예시적이며, 본 발명의 반도체 소자 패키지는 이에 한정되는 것이 아니다.

[0036] 기관(100)의 제 1 주면(110) 상에는 외부 회로와의 연결을 위한 도전체, 예를 들면, 복수의 리드들(510)을 제공하는 리드 프레임(미도시)이 배치될 수 있다. 상기 리드 프레임은 기관(100)의 제 1 주면(110) 상에 상술한 비도전성 접착 부재(550)에 의하여 부착될 수 있다. 리드들(510) 중 일부는 와이어(410)를 통하여 반도체 소자(200A, 200B)의 접속 패드(210)에 전기적으로 연결될 수 있다. 반도체 소자들(200A, 200B) 사이의 전기적 연결은 와이어(420)에 의해 달성될 수 있다.

[0037] 일부 실시예에서는, 저전력 제어 소자(200C)를 탑재하기 위한 리드 프레임에 의해 제공되는 리드들(520)을 더 포함할 수도 있다. 저전력 제어 소자(200C)는 와이어(430)에 의해 기관(100) 상에 탑재된 다른 반도체 소자들(200A, 200B)과 전기적으로 연결될 수 있다.

[0038] 도시하지는 않았으나, 일부 실시예에서는, 다이 어태치 패들을 갖는 리드 프레임을 사용하여, 반도체 소자(200A, 200B)를 상기 다이 어태치 패들 상에 탑재할 수도 있다. 이 경우, 솔더 페이스트 또는 도전성 에폭시와 같은 도전성 접착 부재에 의해 반도체 소자(200A, 200B)가 리드 프레임의 다이 어태치 패들 상에 부착될 수 있다. 이후, 와이어링 공정과 같은 배선 공정을 수행하고, 에폭시 몰드 컴파운드와 같은 열경화성 수지를 사용하는 트랜스퍼 몰딩 방법에 의해 몰딩 부재(600)를 형성한다.

[0039] 도 3a는 본 발명의 일실시예에 따른 반도체 소자 패키지(2000)를 도시하는 사시도이다. 도 3b는 도 3a의 선 III-III를 따라 절취된 반도체 소자 패키지(2000)의 단면도이다. 반도체 소자 패키지(2000)는, 도 2a의 반도체 소자 패키지(1000)와 달리, 도 1b의 기관(100B)과 동일한 기관(100)을 사용한다.

[0040] 도 3a 및 도 3b를 참조하면, 반도체 소자 패키지(2000)에서, 리드들(510) 중 일부는 와이어(440)를 통하여 기관(100) 상에 형성된 배선 패턴(52a)에 전기적으로 연결될 수 있다. 또한, 반도체 소자(200A, 200B) 사이의 전기적 연결은 배선 패드(52a)를 매개로 와이어(450)에 의해 이루어질 수 있다. 반도체 소자(200A, 200B)의 저면이 전극으로 사용되는 경우, 반도체 소자(200A, 200B)는 도전성 접착 부재(250), 예를 들면, 솔더 또는 도전성 에폭시에 의해 다이 어태치 패들(52a) 상에 부착되고, 다이 어태치 패들(51a)은 와이어(460)에 의해 전기적으로 연결될 수 있다.

- [0041] 도 4a는 본 발명의 또 다른 실시예에 따른 반도체 소자 패키지(3000)를 도시하는 사시도이다. 도 4b는 도 4a의 선 IV-IV를 따라 절취된 반도체 소자 패키지(3000)의 단면도이다. 도 3a의 반도체 소자 패키지(1000)와 달리, 본 실시예에서는, 기관(100)으로서 도 1c를 참조하여 상술한 기관(100C)을 사용한다. 다만, 도 1c의 기관(100C)과 본 실시예의 기관(100)은 다이 어태치 패들(51b)은 없고 대신에 배선 패드(52a)와 접속 패드(52b)를 포함하는 점에서 다르다. 그러나, 기관(100)은 다이 어태치 패들을 포함할 수 있으며, 상기 다이 어태치 패들 상에 반도체 소자(200A, 200B)가 탑재될 수도 있다. 일부 실시예에서, 배선 패드(52a)와 접속 패드들(52b) 중 적어도 일부는 재배선 층(미도시)에 의해 전기적으로 연결될 수 있다.
- [0042] 도 4a 내지 도 4b를 참조하면, 반도체 소자(200D)는 도전성 범프 또는 솔더 볼과 같은 도전성 연결 부재(500)에 의해 기관(100) 상에 형성된 접속 패드들(52b)에 전기적으로 연결된다. 도전성 연결 부재(500)의 본딩 방법은 당해 기술 분야에서 잘 알려진 플립칩(flip chip) 패키징 방법에 의해 수행될 수 있다. 예를 들면, 반도체 소자(200D)의 외부 단자 상에 범핑(bumping) 및 리플로우(reflow) 공정을 수행하여, 도전성 연결 부재(500)를 형성하고, 이후, 기관(100)의 접속 패드(52b)에 도전성 연결 부재(500)를 정렬시키고 가열 및 가압하여 반도체 소자(200D)와 기관(100)을 서로 부착시킬 수 있다. 도전성 연결 부재(500)를 먼저 기관(100)의 접속 패드(52b) 상에 형성하는 것도 가능하다. 선택적으로는, 다시 리플로우 공정을 수행하거나, 언더 필(under fill) 공정을 수행할 수 있다. 본 실시예의 경우 도 2a 내지 도 3b를 참조하여 상술한 실시예와 달리, 복잡한 와이어 공정을 생략할 수 있으며, 반도체 소자 패키지(3000)의 전체 두께를 감소시킬 수 있는 이점이 있다.
- [0043] 도 2a 내지 도 4b에 도시된 반도체 소자 패키지(1000, 2000, 3000)에서는, 기관(100)의 제 2 주면(120)이 몰딩 부재(600) 외부로 노출되어 열방출 표면을 제공한다. 그러나, 본 발명에 따른 기관은 몰딩 부재 내부에 봉입될 수도 있으며, 이하에서는 이에 관한 다양한 실시예에 대하여 상술한다.
- [0044] 도 5a 내지 도 5c는 본 발명의 또 다른 실시예들에 따른 기관(104, 105, 106a, 106b)이 몰딩 부재(600) 내부에 봉입되어 신호 기관으로서 사용되는 반도체 소자 패키지(4000, 5000, 6000)의 단면도이다.
- [0045] 도 5a 내지 도 5b를 참조하면, 반도체 소자 패키지(4000, 5000)에서는, 기관(104, 105)의 제 2 주면(120) 상에 부착되는 기저 기관(10)을 포함한다. 기저 기관(10)과 신호 기관(104, 105)은 비도전성 접촉 부재(260)에 의해 서로 부착될 수 있다.
- [0046] 기저 기관(10)은 종래의 인쇄회로기판, 절연 금속 기판, 프리-몰딩(pre-molded) 기판, 디비씨(direct bonded copper; DBC) 기판일 수 있다. 일부 실시예에서, 기저 기관(10)은 도 1a 내지 1b를 참조하여 예시된 본 발명의 실시예에 따른 기관(100A, 100B)과 동일할 수도 있다. 기저 기관(10)의 하부 면에는 방열 기관(11)이 부착될 수 있으며, 이 경우, 방열 기관(11)의 저면(120)이 몰딩 부재(600) 외부로 노출될 수 있다.
- [0047] 몰딩 부재(600) 내부에 봉입되는 기관(104, 105)은 반도체 소자(200D) 및/또는 리드들(510) 사이의 전기적 연결을 매개하는 신호 기관으로서 기능할 수 있다. 반도체 소자(200C)는 도 5a에 도시된 바와 같이, 기관(104)의 제 1 주면 상에 형성된 배선 패드(52a)를 매개로 하여 와이어(450)에 의해 다른 반도체 소자(200B)와 전기적으로 연결될 수 있다. 반도체 소자(200A)와 반도체 소자(200B)는 배선 패드(52a)를 매개로 하지 않으면서도 와이어(420)에 의해 직접 연결될 수도 있다. 또한, 배선 패드(52a)는 와이어(440)에 의해 리드들(510) 중 적어도 일부에 연결될 수 있다.
- [0048] 다른 실시예에서, 반도체 소자(200D)는 도 5b에 도시된 바와 같이, 도전성 접속 부재(500)에 의해 기관(105)의 접속 패드(52b)에 전기적으로 연결될 수 있다. 와이어 본딩 공정이 생략됨으로써, 반도체 소자 패키지(5000)의 두께가 감소될 수 있다. 이 경우, 반도체 소자(200D)는 외부 단자를 많이 필요로 하는 저전력 제어 소자인 것이 바람직하다.
- [0049] 도 5c를 참조하면, 본 발명의 실시예에 따른 기관(106a, 106b)은 반도체 소자(200D)를 수직으로 적층하는 데에 사용될 수도 있다. 일부 실시예에서, 반도체 소자들(200D1, 200D2)은 서로 대향하여 기관(106a)의 제 1 주면(110)과 제 2 주면(120) 상에 각각 탑재된다. 기관(106a)의 제 1 주면(110)과 제 2 주면(120) 상에는 접속 패드들(52b)이 형성되어, 도전성 접속 부재(500)와 접속 패드들(52b)가 본딩됨으로써 반도체 소자들(200D1, 200D2)은 서로 전기적으로 연결될 수 있다. 반도체 소자들(200D2, 200D4)의 저면은 도전성 접촉 부재 또는 비도전성 접촉 부재에 의해 기저 기관(10) 상에 탑재될 수 있다.
- [0050] 기관(106a)의 제 1 주면(110)과 제 2 주면(120)의 접속 패드들(52b) 중 적어도 일부는 기관 바디층(130)을 관통하는 비아 도전체(60)에 의해 서로 전기적으로 연결될 수 있다. 선택적으로는, 비아 도전체(60)와 함께, 기관(106a)의 제 1 주면(110) 및 제 2 주면(120) 상의 접속 패드들(52b)은 재배선 층(53)에 의해 연결될 수도 있다.

- [0051] 또한, 일부 실시예에서는, 2 이상의 기관(106a, 106b)이 적층되어 사용될 수도 있다. 반도체 소자들(200D3, 200D4)은 전술한 바와 같이, 적층된 기관들(106a, 106b)에 각 주면(110, 120) 상에 탑재된다. 이 경우, 적층된 기관들(106a, 106b) 중 어느 하나는 비아 도전체(60)를 포함하고, 다른 하나는 재배선 층(53)을 포함할 수도 있다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 재배선 층(53)과 비아 도전체(60)의 다양한 조합이 가능한 자명하다. 예를 들면, 도5c에 도시된 것과 달리, 기관(106a)가 재배선 층(53)을 포함하고, 기관(106b)가 비아 도전체(60)를 포함할 수도 있으며, 두 기관(106a, 106b) 모두 재배선 층(53)과 비아 도전체(60)를 포함할 수도 있다.
- [0052] 도 6은 본 발명의 또 다른 실시예에 따른 기관(106)을 포함하는 반도체 소자 패키지(6000)의 단면도이다.
- [0053] 도 6을 참조하면, 기관(107)은 몰딩 부재(600) 내부에 봉입되어 반도체 소자(200D)의 신호 기관으로서 사용된다. 반도체 소자(200D)는 기관(107)의 제 1 주면(110)과 기관(10)의 제 1 주면(11) 사이에 배치되고, 복수의 연결 부재들(501, 502)에 의해 전기적으로 연결된다. 도전성 부재들(502)은 반도체 소자(200D)의 외부 단자에 본딩되고, 도전성 부재들(501)은 기관(10)의 제 1 주면(11) 상에 형성된 접속 패드(미도시)에 본딩된다. 도전성 연결 부재들(501, 502)의 높이는 기관(107)의 제 1 주면(110)에 대한 반도체 소자(200D) 사이의 거리와 기관(10)의 제 1 주면(11) 사이의 거리를 고려하여 결정된다.
- [0054] 통상적으로 전력 소자를 제어하기 위한 제어 소자는 외부 단자로서 전원 단자와 함께 많은 신호 입출력 단자를 필요로 한다. 따라서, 와이어 본딩 공정으로 이들 전원 단자를 전기적으로 연결하는 것은 공정상 복잡하며, 패키지의 소형화 경량화를 달성하는데 장애가 된다. 그러나, 본 발명의 기관(107)은 마이크로 패터닝이 가능한 반도체 제조 공정에 의해 제조되므로, 와이어 본딩 공정에 의해 초래되는 단락 문제 없이 패키지의 소형화 경량화에 대응할 수 있다. 특히, 반도체 소자들(200A, 200B)이 전력 소자이고, 반도체 소자(107)이 상기 전력 소자를 제어하기 위한 제어 소자일 때, 제어 소자(200D)에 대하여 도 6에 도시된 기관(107)을 적용하는 것은 유용하다. 경험적으로, 반도체 소자들(200D)에 대하여 와이어 본딩 공정을 적용한 경우에 비하여, 패키지의 부피는 20 % 이상 감소되었다.
- [0055] 도 7은 본 발명의 또 다른 실시예에 따른 기관(107)을 포함하는 반도체 소자 패키지(7000)의 단면도이다.
- [0056] 도 7을 참조하면, 기관(107)은 몰딩 부재(600) 내부에 봉입되어 반도체 소자(200D)의 신호 기관으로서 사용된다. 반도체 소자(200D)는 기관(108)의 제 1 주면(110)과 가요성 인쇄회로기판(30)의 제 1 주면(31) 사이에 배치되고, 복수의 연결 부재들(501, 502)에 의해 전기적으로 연결된다. 도전성 부재들(502)은 반도체 소자(200D)의 외부 단자에 본딩되고, 도전성 부재들(501)은 가요성 인쇄회로기판(30)의 제 1 주면(31) 상에 형성된 접속 패드(미도시)에 본딩된다. 도전성 연결 부재들(501, 502)의 높이는 기관(108)의 제 1 주면(110)에 대한 반도체 소자(200D) 사이의 거리와 가요성 인쇄회로기판(30)의 제 1 주면(31) 사이의 거리를 고려하여 결정된다.
- [0057] 반도체 소자(200D)가 기저 기관(10) 상에 탑재된 전력 소자(200A, 200B)를 제어하기 위한 IC와 같은 제어 소자인 경우, 기저 기관(10)과 격리된 가요성 인쇄회로기판(30) 상에 제어 소자(200D)를 탑재함으로써, 전력 소자(200A, 200B)에 의한 열간섭 효과를 감소시켜 제어 소자(200D)의 동작 오류를 개선할 수 있다. 또한, 반도체 소자(200D)가 도 6의 반도체 소자 패키지(7000)와 마찬가지로 제어 소자인 경우, 본 실시예의 기관(108)은 상기 제어 소자를 위한 신호 기관으로서 복잡한 와이어 본딩을 대체할 수 있으며, 기관(108)은 미세화 공정이 가능하므로, 단락의 위험없이 패키지(8000)를 소형화시킬 수 있다. 이에 따르면, 전체 패키지(8000)의 부피는 제어 소자를 와이어 본딩으로 연결한 경우에 비하여 30 % 이상의 부피 감소를 달성할 수 있다.
- [0058] 당업자에게 있어서, 상술한 복수의 실시예들은 단독으로 또는 조합되어 실시될 수 있음은 자명하다. 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

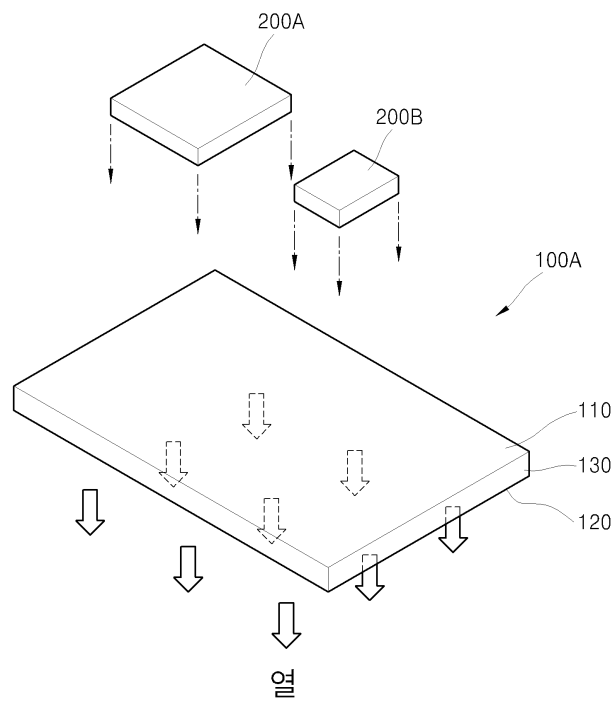
도면의 간단한 설명

- [0059] 도 1a 내지 도 1d는 본 발명의 다양한 실시예에 따른 실리콘계 재료로 형성된 기관들을 도시하는 사시도이다.
- [0060] 도 2a는 본 발명의 일실시예에 따른 반도체 소자 패키지를 도시하는 사시도이다.
- [0061] 도 2b는 도 2a의 선 II-II를 따라 절취된 반도체 소자 패키지의 단면도이다.
- [0062] 도 3a는 본 발명의 다른 실시예에 따른 반도체 소자 패키지를 도시하는 사시도이다.

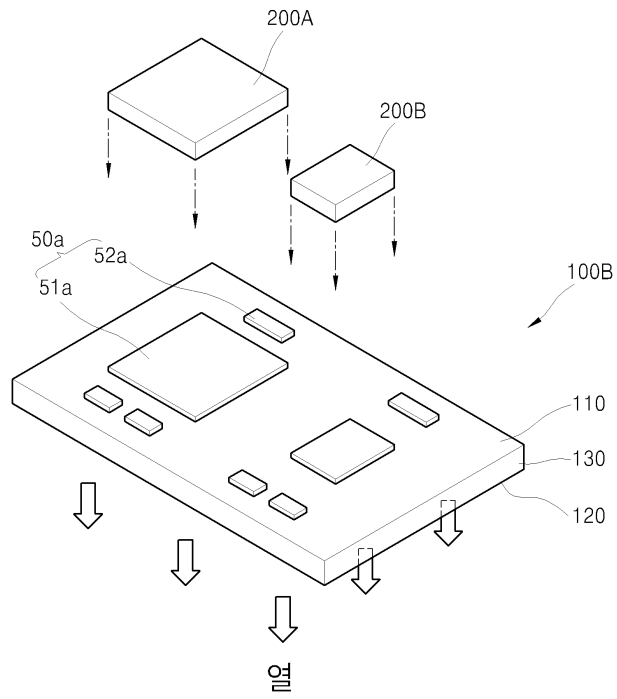
- [0063] 도 3b는 도 3a의 선 III-III을 따라 절취된 반도체 소자 패키지의 단면도이다.
- [0064] 도 4a는 본 발명의 또 다른 실시예에 따른 반도체 소자 패키지를 도시하는 사시도이다.
- [0065] 도 4b는 도 4a의 선 IV-IV를 따라 절취된 반도체 소자 패키지의 단면도이다.
- [0066] 도 5a 내지 도 5c는 본 발명의 또 다른 실시예들에 따른 기판이 몰딩 부재 내부에 봉입되어 신호 기관으로서 사용되는 반도체 소자 패키지의 단면도이다.
- [0067] 도 6은 본 발명의 또 다른 실시예에 따른 기판을 포함하는 반도체 소자 패키지의 단면도이다.
- [0068] 도 7은 본 발명의 또 다른 실시예에 따른 기판을 포함하는 반도체 소자 패키지의 단면도이다.

도면

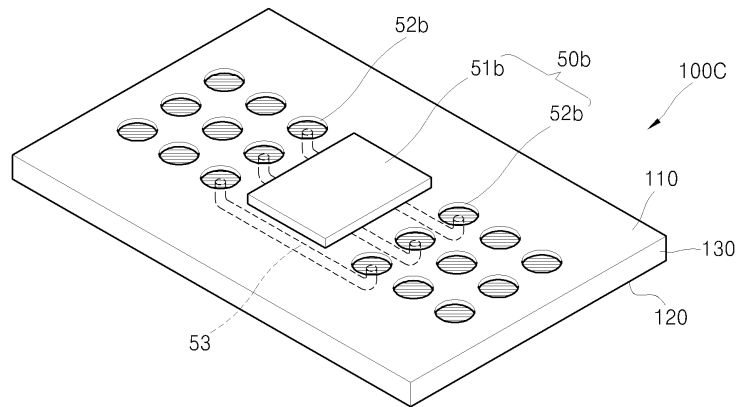
도면1a



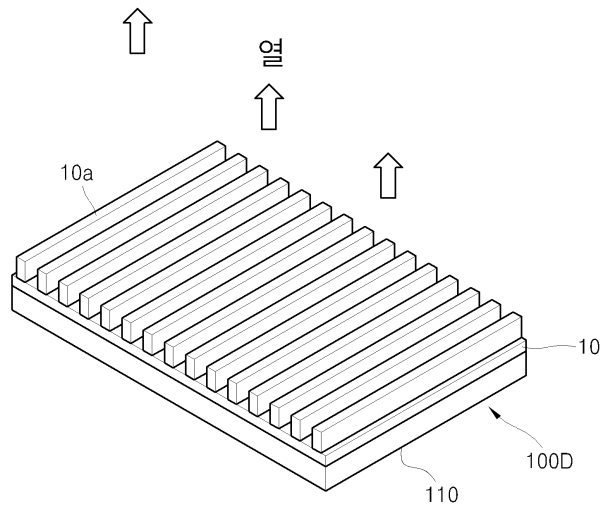
도면1b



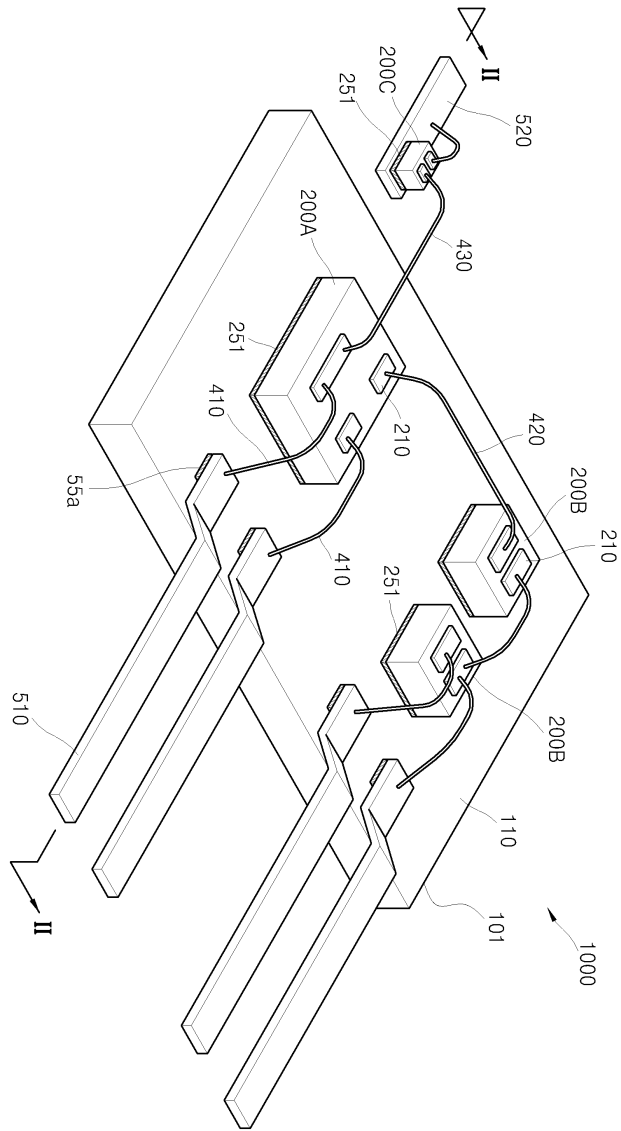
도면1c



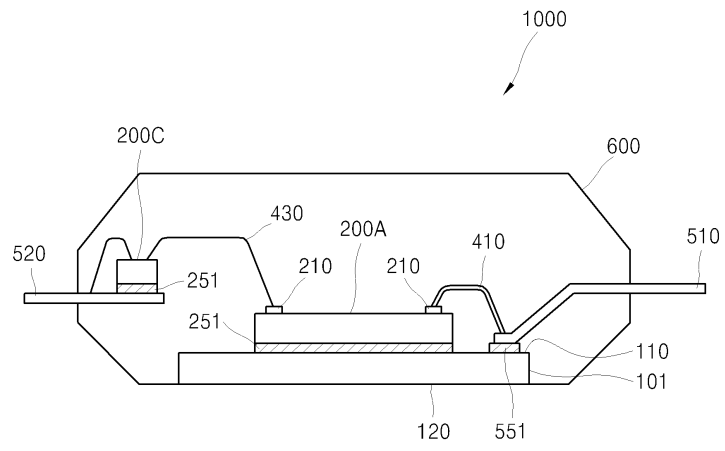
도면1d



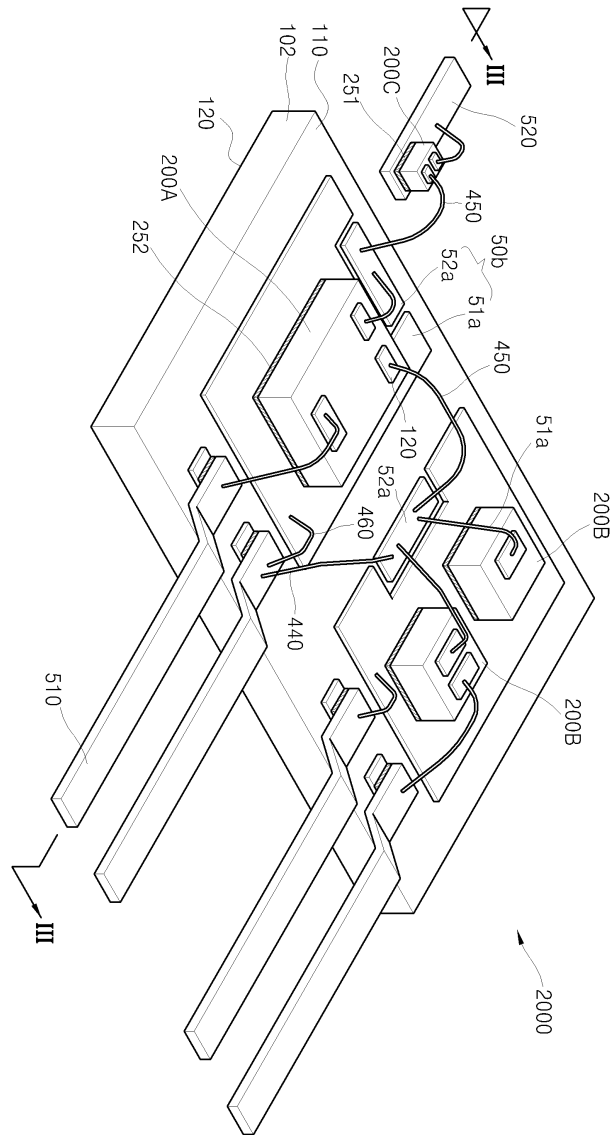
도면2a



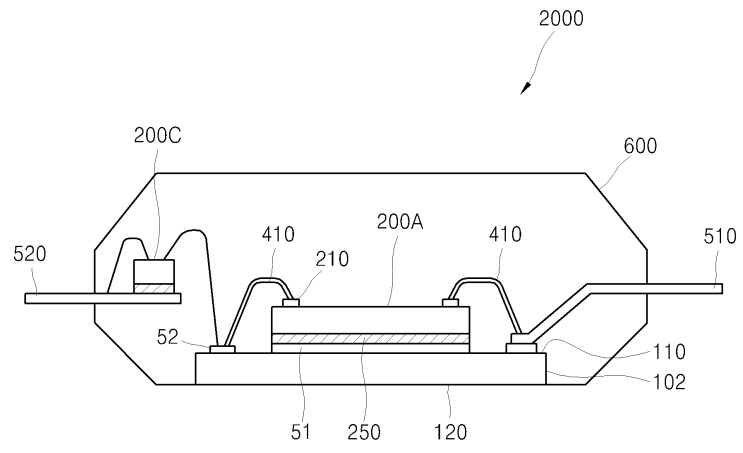
도면2b



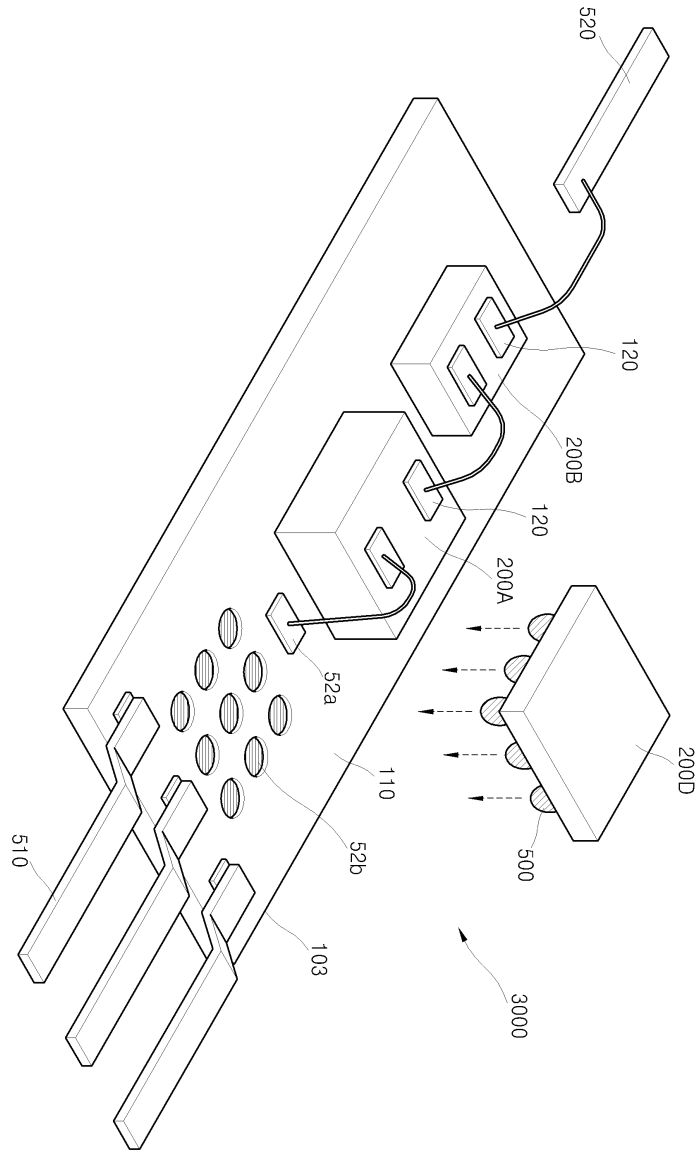
도면3a



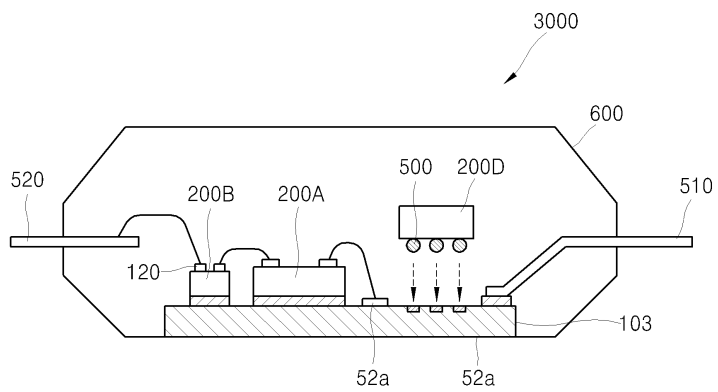
도면3b



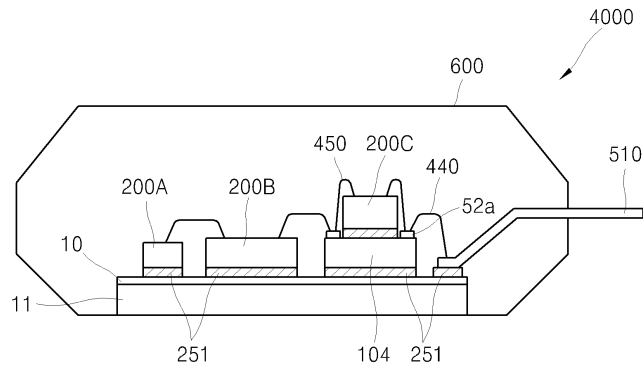
도면4a



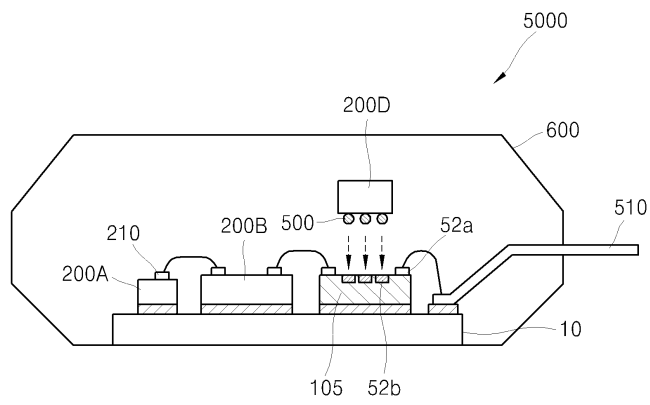
도면4b



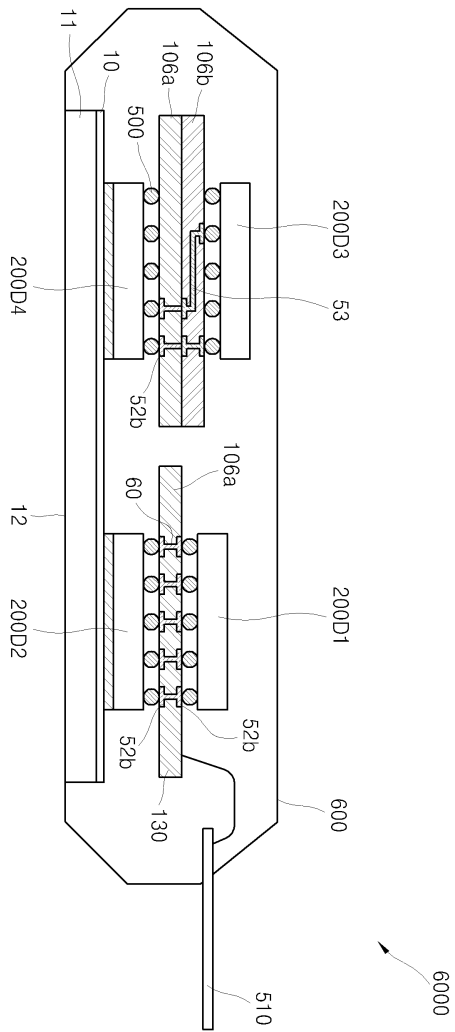
도면5a



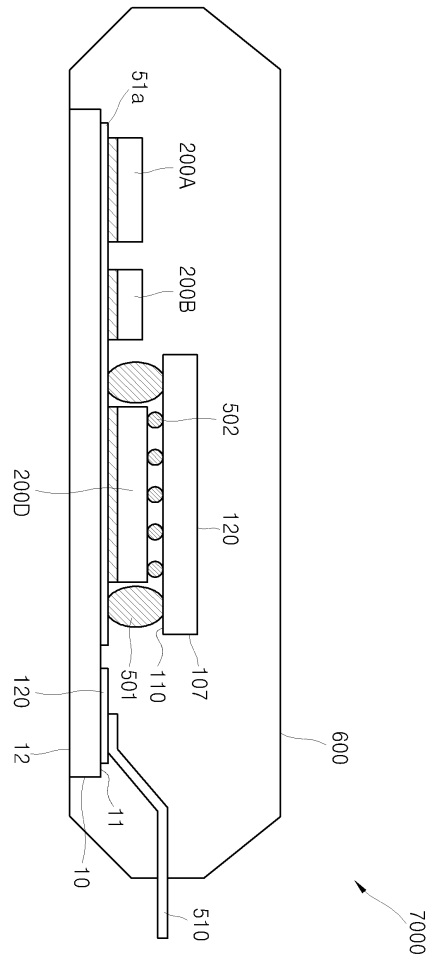
도면5b



도면5c



도면6



도면7

