



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0020731  
(43) 공개일자 2022년02월21일

- |  |  |
|--|--|
| (51) 국제특허분류(Int. Cl.)<br><i>G11C 16/26</i> (2006.01) <i>G06F 3/06</i> (2006.01)<br><i>G11C 16/04</i> (2006.01) <i>G11C 16/30</i> (2006.01)<br>(52) CPC특허분류<br><i>G11C 16/26</i> (2013.01)<br><i>G06F 3/0658</i> (2013.01)<br>(21) 출원번호 10-2020-0101424<br>(22) 출원일자 2020년08월12일<br>심사청구일자 없음 | (71) 출원인<br>에스케이하이닉스 주식회사<br>경기도 이천시 부발읍 경충대로 2091<br>(72) 발명자<br>유병성<br>경기도 이천시 부발읍 경충대로 2091<br>(74) 대리인<br>오중한, 문용호 |
|--|--|

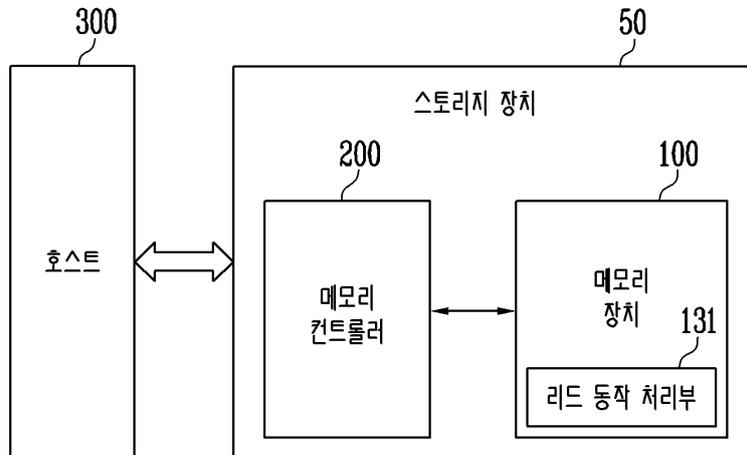
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 메모리 장치 및 그 동작 방법

(57) 요약

본 기술은 전자 장치에 관한 것으로, 본 기술에 따른, 감소된 레이턴시를 갖는 메모리 장치는, 복수의 메모리 셀들, 상기 복수의 메모리 셀들 중 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 최적 리드 전압 정보 저장부, 및 메모리 컨트롤러로부터 입력된 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하고, 상기 디폴트 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하는 리드 전압 제어부를 포함한다.

대표도 - 도1



(52) CPC특허분류

*G06F 3/0679* (2013.01)

*G11C 16/0483* (2013.01)

*G11C 16/30* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 메모리 셀들;

상기 복수의 메모리 셀들 중 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 최적 리드 전압 정보 저장부; 및

메모리 컨트롤러로부터 입력된 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하고, 상기 디폴트 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하는 리드 전압 제어부를 포함하는 메모리 장치.

#### 청구항 2

제1 항에 있어서, 상기 제1 메모리 셀은,

온-셀 또는 오프-셀인 메모리 장치.

#### 청구항 3

제1 항에 있어서, 상기 리드 전압 제어부는,

상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 아날로그 값 상태에서 디지털 값 형태로 변환하고, 상기 디지털 값 형태로 변환된 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 상기 제1 최적 리드 전압을 생성하는 메모리 장치.

#### 청구항 4

제1 항에 있어서,

상기 복수의 메모리 셀들을 센싱하는 리드 동작을 수행하는 주변 회로; 및

상기 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들에 대한 리드 동작을 수행하도록 상기 주변 회로를 제어하는 리드 동작 제어부를 더 포함하는 메모리 장치.

#### 청구항 5

제4 항에 있어서, 상기 리드 동작 제어부는,

상기 복수의 메모리 셀들로부터 리드된 데이터 중 일부를 요청하는 메모리 장치.

#### 청구항 6

제4 항에 있어서, 상기 리드 전압 제어부는,

상기 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하는 메모리 장치.

#### 청구항 7

제5 항에 있어서, 상기 리드 동작 제어부는,

상기 디폴트 리드 전압을 이용한 리드 동작이 페일되는 경우, 상기 제1 최적 리드 전압을 이용하여 상기 복수의 메모리 셀들에 대한 리드 동작을 수행하도록 상기 주변 회로를 제어하는 메모리 장치.

**청구항 8**

제7 항에 있어서, 상기 리드 전압 제어부는,

상기 제1 최적 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 상기 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출하고, 상기 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성하는 메모리 장치.

**청구항 9**

제8 항에 있어서, 상기 리드 전압 제어부는,

상기 제1 최적 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 상기 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출하는 메모리 장치.

**청구항 10**

제8 항에 있어서, 상기 리드 동작 제어부는,

상기 제1 최적 리드 전압을 이용한 리드 동작이 페일되는 경우, 상기 제2 최적 리드 전압을 이용하여 상기 복수의 메모리 셀들에 대한 리드 동작을 수행하도록 상기 주변 회로를 제어하는 메모리 장치.

**청구항 11**

제10 항에 있어서, 상기 리드 전압 제어부는,

상기 제2 최적 리드 전압을 이용한 리드 동작이 페일되는 경우, 상기 제2 최적 리드 전압을 기초로 복수의 소프트 리드 전압을 생성하는 메모리 장치.

**청구항 12**

제11 항에 있어서, 상기 리드 동작 제어부는,

상기 복수의 소프트 리드 전압을 이용하여 상기 복수의 메모리 셀들에 대한 복수의 리드 동작들을 수행하도록 상기 주변 회로를 제어하는 메모리 장치.

**청구항 13**

복수의 메모리 셀들을 포함하고, 상기 복수의 메모리 셀들 중 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 메모리 장치; 및

상기 메모리 장치에 대해 수행된 리드 동작들 중 페일된 리드 동작에 대응되는 데이터를 복구하는 하나 이상의 복구 알고리즘들을 수행하는 메모리 컨트롤러;를 포함하고,

상기 메모리 컨트롤러는,

상기 하나 이상의 복구 알고리즘들 중 이전에 수행된 복구 알고리즘에 대응되는 리드 동작에 따라 산출된 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 상기 하나 이상의 복구 알고리즘들 중 현재 수행될 복구 알고리즘에 이용되는 리드 전압을 생성하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 14**

제13 항에 있어서, 상기 제1 메모리 셀은,

온-셀 또는 오프-셀인 스토리지 장치.

**청구항 15**

제13 항에 있어서, 상기 메모리 컨트롤러는,

디폴트 리드 전압을 이용하여 상기 하나 이상의 복구 알고리즘 중 제1 복구 알고리즘에 대응되는 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 16**

제15 항에 있어서, 상기 메모리 컨트롤러는,

상기 디폴트 리드 전압을 이용한 리드 동작이 폐일되면, 상기 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하고, 상기 디폴트 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 17**

제16 항에 있어서, 상기 메모리 컨트롤러는,

상기 제1 최적 리드 전압을 이용하여 상기 제1 복구 알고리즘에 대응되는 리드 동작을 재수행하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 18**

제17 항에 있어서, 상기 메모리 컨트롤러는,

상기 제1 최적 리드 전압을 이용한 리드 동작이 폐일되면, 상기 제1 최적 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 상기 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출하고, 상기 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 19**

제18 항에 있어서, 상기 메모리 컨트롤러는,

상기 제2 최적 리드 전압을 이용하여 상기 하나 이상의 복구 알고리즘 중 제2 복구 알고리즘에 대응되는 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 20**

제19 항에 있어서, 상기 메모리 컨트롤러는,

상기 제2 최적 리드 전압을 이용한 리드 동작이 폐일되면, 상기 제2 최적 리드 전압을 기초로 복수의 소프트 리드 전압을 생성하고, 상기 복수의 소프트 리드 전압을 이용하여 상기 하나 이상의 복구 알고리즘 중 제3 복구 알고리즘을 수행하도록 상기 메모리 장치를 제어하는 스토리지 장치.

**청구항 21**

복수의 메모리 셀들을 포함하는 메모리 장치의 동작 방법에 있어서,

상기 복수의 메모리 셀들 중 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 단계;

메모리 컨트롤러로부터 최적 리드 전압 설정 커맨드를 수신하는 단계;

상기 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하는 단계; 및

상기 디폴트 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하는 단계를 포함하는 메모리 장치의 동작 방법.

**청구항 22**

제21 항에 있어서, 상기 제1 메모리 셀은,

온-셀 또는 오프-셀인 메모리 장치의 동작 방법.

**발명의 설명**

## 기술분야

[0001] 본 발명은 전자 장치에 관한 것으로, 보다 구체적으로 본 발명은 메모리 장치 및 그 동작 방법에 관한 것이다.

## 배경기술

[0003] 스토리지 장치는 컴퓨터나 스마트폰 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 스토리지 장치는 데이터를 저장하는 메모리 장치와 메모리 장치를 제어하는 메모리 컨트롤러를 포함할 수 있다. 메모리 장치는 휘발성 메모리 장치 (Volatile Memory)와 비휘발성 메모리 장치 (Non Volatile Memory)로 구분될 수 있다.

[0004] 휘발성 메모리 장치는 전원이 공급되는 동안에만 데이터를 저장하고, 전원 공급이 차단되면 저장된 데이터가 소멸되는 메모리 장치일 수 있다. 휘발성 메모리 장치에는 정적 랜덤 액세스 메모리 (Static Random Access Memory; SRAM), 동적 랜덤 액세스 메모리 (Dynamic Random Access Memory; DRAM) 등이 포함될 수 있다.

[0005] 비휘발성 메모리 장치는 전원이 차단되어도 데이터가 소멸되지 않는 메모리 장치로서, 롬(Read Only Memory; ROM), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM) 및 플래시 메모리(Flash Memory) 등이 있다.

## 발명의 내용

### 해결하려는 과제

[0007] 본 발명의 실시 예는 감소된 레이턴시(latency)를 갖는 메모리 장치 및 그 동작 방법을 제공한다.

### 과제의 해결 수단

[0009] 본 발명의 실시 예에 따른 메모리 장치는, 복수의 메모리 셀들, 상기 복수의 메모리 셀들 중 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 최적 리드 전압 정보 저장부, 및 메모리 컨트롤러로부터 입력된 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하고, 상기 디폴트 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하는 리드 전압 제어부를 포함한다.

[0010] 본 발명의 실시 예에 따른 스토리지 장치는, 복수의 메모리 셀들을 포함하고, 상기 복수의 메모리 셀들 중 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 메모리 장치, 및 상기 메모리 장치에 대해 수행된 리드 동작들 중 페일된 리드 동작에 대응되는 데이터를 복구하는 하나 이상의 복구 알고리즘들을 수행하는 메모리 컨트롤러를 포함하고, 상기 메모리 컨트롤러는, 상기 하나 이상의 복구 알고리즘들 중 이전에 수행된 복구 알고리즘에 대응되는 리드 동작에 따라 산출된 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 상기 하나 이상의 복구 알고리즘들 중 현재 수행될 복구 알고리즘에 이용되는 리드 전압을 생성하도록 상기 메모리 장치를 제어한다.

[0011] 본 발명의 실시 예에 따른 복수의 메모리 셀들을 포함하는 메모리 장치의 동작 방법은, 상기 복수의 메모리 셀들 중 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장하는 단계, 메모리 컨트롤러로부터 최적 리드 전압 설정 커맨드를 수신하는 단계, 상기 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 상기 복수의 메모리 셀들로부터 리드된 데이터를 기초로 상기 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출하는 단계, 및 상기 디폴트 리드 전압에 대응되는 셀 카운트 값 및 상기 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하는 단계를 포함한다.

**발명의 효과**

[0013] 본 기술에 따르면, 감소된 레이턴시를 갖는 메모리 장치 및 그 동작 방법이 제공된다.

**도면의 간단한 설명**

- [0015] 도 1은 본 발명의 일 실시 예에 따른 스토리지 장치를 설명하기 위한 도면이다.
- 도 2는 도 1의 메모리 장치를 설명하기 위한 도면이다.
- 도 3은 도 2의 메모리 블록들 중 어느 하나의 메모리 블록의 구조를 설명하기 위한 도면이다.
- 도 4는 디폴트 리드 전압을 설명하기 위한 도면이다.
- 도 5는 복구 알고리즘을 설명하기 위한 도면이다.
- 도 6은 리드 리트라이를 설명하기 위한 도면이다.
- 도 7은 이부스트를 설명하기 위한 도면이다.
- 도 8은 소프트 디코딩을 설명하기 위한 도면이다.
- 도 9는 본 발명의 일 실시 예에 따른 리드 동작 처리부를 설명하기 위한 도면이다.
- 도 10은 도 9의 최적 리드 전압 정보 저장부 및 리드 전압 제어부의 일 실시 예를 나타낸 회로도이다.
- 도 11은 본 발명의 일 실시 예에 따른 최적 리드 전압 정보를 설명하기 위한 도면이다.
- 도 12a는 본 발명의 일 실시 예에 따른 최적 리드 전압 설정 커맨드를 설명하기 위한 도면이다.
- 도 12b는 본 발명의 일 실시 예에 따른 최적 리드 전압 획득 커맨드를 설명하기 위한 도면이다.
- 도 13은 본 발명의 일 실시 예에 따른 스토리지 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 14는 본 발명의 일 실시 예에 따른 복구 알고리즘을 수행하는 방법을 설명하기 위한 순서도이다.
- 도 15는 본 발명의 일 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- 도 16은 도 1의 메모리 컨트롤러를 설명하기 위한 도면이다.
- 도 17은 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- 도 18은 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 SSD(Solid State Drive) 시스템을 보여주는 블록도이다.
- 도 19는 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 사용자 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0016] 본 명세서 또는 출원에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서 또는 출원에 설명된 실시 예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0018] 도 1은 본 발명의 실시예에 따른 스토리지 장치를 설명하기 위한 도면이다.
- [0019] 도 1을 참조하면, 스토리지 장치(50)는 메모리 장치(100) 및 메모리 장치(100)의 동작을 제어하는 메모리 컨트롤러(200)를 포함할 수 있다. 스토리지 장치(50)는 휴대폰, 스마트폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 태블릿 PC 또는 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트(300)의 제어에 따라 데이터를 저장하는 장치일 수 있다.
- [0020] 스토리지 장치(50)는 호스트(300)와의 통신 방식인 호스트 인터페이스에 따라서 다양한 종류의 스토리지 장치들

중 어느 하나로 제조될 수 있다. 예를 들면, 스토리지 장치(50)는 SSD, MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multimedia card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal serial bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.

[0021] 스토리지 장치(50)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 스토리지 장치(50)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi-chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.

[0022] 메모리 장치(100)는 데이터를 저장할 수 있다. 메모리 장치(100)는 메모리 컨트롤러(200)의 제어에 응답하여 동작한다. 메모리 장치(100)는 데이터를 저장하는 복수의 메모리 셀들을 포함하는 메모리 셀 어레이(미도시)를 포함할 수 있다.

[0023] 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.

[0024] 메모리 셀 어레이(미도시)는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록은 복수의 메모리 셀들을 포함할 수 있다. 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다. 실시 예에서, 페이지는 메모리 장치(100)에 데이터를 저장하거나, 메모리 장치(100)에 저장된 데이터를 리드하는 단위일 수 있다. 메모리 블록은 데이터를 지우는 단위일 수 있다.

[0025] 실시 예에서, 메모리 장치(100)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR4(Low Power Double Data Rate4) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, LPDDR(Low Power DDR), RDRAM(Rambus Dynamic Random Access Memory), 낸드 플래시 메모리(NAND flash memory), 수직형 낸드 플래시 메모리(Vertical NAND), 노아 플래시 메모리(NOR flash memory), 저항성 램(resistive random access memory: RRAM), 상변화 메모리(phase-change memory: PRAM), 자기저항 메모리(magnetoresistive random access memory: MRAM), 강유전체 메모리(ferroelectric random access memory: FRAM), 스핀주입 자화반전 메모리(spin transfer torque random access memory: STT-RAM) 등이 될 수 있다. 본 명세서에서는 설명의 편의를 위해, 메모리 장치(100)가 낸드 플래시 메모리인 경우를 가정하여 설명한다.

[0026] 메모리 장치(100)는 메모리 컨트롤러(200)로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신하고, 메모리 셀 어레이 중 어드레스에 의해 선택된 영역을 액세스하도록 구성된다. 메모리 장치(100)는 어드레스(ADDR)에 의해 선택된 영역에 대해 커맨드(CMD)가 지시하는 동작을 수행할 수 있다. 예를 들면, 메모리 장치(100)는 쓰기 동작(프로그램 동작), 리드 동작 및 소거 동작을 수행할 수 있다. 프로그램 동작 시에, 메모리 장치(100)는 어드레스(ADDR)에 의해 선택된 영역에 데이터를 프로그램 할 것이다. 리드 동작 시에, 메모리 장치(100)는 어드레스(ADDR)에 의해 선택된 영역으로부터 데이터를 읽을 것이다. 소거 동작 시에, 메모리 장치(100)는 어드레스(ADDR)에 의해 선택된 영역에 저장된 데이터를 소거할 것이다.

[0027] 일 실시 예에서, 메모리 장치(100)는 리드 동작 처리부(131)를 포함할 수 있다.

[0028] 리드 동작 처리부(131)는 복수의 메모리 셀들 중 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 관독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장할 수 있다. 이때, 리드 동작 처리부(131)는 특정 리드 전압을 이용하여 복수의 메모리 셀들로부터 리드된 데이터를 기초로 특정 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 예를 들어, 리드 동작 처리부(131)는 특정 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 특정 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 또한, 리드 동작 처리부(131)는 셀 카운트 값과 최적 리드 전압 정보에 기초하여 복구 알고리즘에 이용될 최적 리드 전압을 생성할 수 있다. 따라서, 특정 리드 전압을 통해 획득된 셀 카운트 값과 기 저장된 최적 리드 전압 정보를 이용하여 복구 알고리즘에 대응되는 리드 동작에 이용될 최적 리드 전압을 생성함으로써, 복구 알고리즘을 위한 리드 동작의 속도를 향상시킬 수 있다. 이에 따라, 복구 알고

리즘에 대한 레이턴시(latency)가 감소될 수 있다.

- [0029] 메모리 컨트롤러(200)는 스토리지 장치(50)의 전반적인 동작을 제어할 수 있다.
- [0030] 스토리지 장치(50)에 전원이 인가되면, 메모리 컨트롤러(200)는 펌웨어(firmware, FW)를 실행할 수 있다. 메모리 장치(100)가 플래시 메모리 장치인 경우, 펌웨어(FW)는 호스트(300)와의 통신을 제어하는 호스트 인터페이스 레이어(Host Interface Layer, HIL), 메모리 컨트롤러(200)는 호스트(300)와 메모리 장치(100) 간의 통신을 제어하는 플래시 변환 레이어(Flash Translation Layer, FTL) 및 메모리 장치(100)와의 통신을 제어하는 플래시 인터페이스 레이어(Flash Interface Layer, FIL)를 포함할 수 있다.
- [0031] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터 데이터와 논리 블록 어드레스(Logical Block Address, LBA)를 입력 받고, 논리 블록 어드레스를 메모리 장치(100)에 포함된 데이터가 저장될 메모리 셀들의 주소를 나타내는 물리 블록 어드레스(Physical Block Address, PBA)로 변환할 수 있다. 본 명세서에서 논리 블록 어드레스(LBA)와 “논리 어드레스” 또는 “논리적 어드레스”는 같은 의미로 사용될 수 있다. 본 명세서에서 물리 블록 어드레스(PBA)와 “물리 어드레스” 또는 “물리적 어드레스”는 같은 의미로 사용될 수 있다.
- [0032] 메모리 컨트롤러(200)는 호스트(300)의 요청(request)에 따라 프로그램 동작, 리드 동작 또는 소거 동작 등을 수행하도록 메모리 장치(100)를 제어할 수 있다. 프로그램 동작 시, 메모리 컨트롤러(200)는 쓰기 커맨드, 물리 블록 어드레스 및 데이터를 메모리 장치(100)에 제공할 수 있다. 리드 동작 시, 메모리 컨트롤러(200)는 리드 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다. 소거 동작 시, 메모리 컨트롤러(200)는 소거 커맨드 및 물리 블록 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0033] 실시 예에서, 메모리 컨트롤러(200)는 호스트(300)로부터의 요청과 무관하게 자체적으로 커맨드, 어드레스 및 데이터를 생성하고, 메모리 장치(100)에 전송할 수 있다. 예를 들면, 메모리 컨트롤러(200)는 웨어 레벨링(wear leveling), 리드 리클레임(read reclaim), 가비지 컬렉션(garbage collection)등을 수행하는데 수반되는 리드 동작 및 프로그램 동작들을 수행하기 위한 커맨드, 어드레스 및 데이터를 메모리 장치(100)로 제공할 수 있다.
- [0034] 실시 예에서, 메모리 컨트롤러(200)가 적어도 둘 이상의 메모리 장치(100)들을 제어할 수 있다. 이 경우, 메모리 컨트롤러(200)는 동작 성능의 향상을 위해 메모리 장치(100)들을 인터리빙 방식에 따라 제어할 수 있다. 인터리빙 방식은 적어도 둘 이상의 메모리 장치(100)들에 대한 동작이 중첩되도록 제어하는 방식일 수 있다.
- [0035] 호스트(300)로부터 제공되는 리드 요청은 호스트(300)가 스토리지 장치(50)에 저장할 것을 요청했던 원본 데이터를 다시 호스트(300)에게 제공할 것을 요청하는 것이다. 메모리 컨트롤러(200)는 원본 데이터에 대해서 에러 정정 인코딩을 수행하여, 에러 정정을 위한 패리티 데이터가 포함된 쓰기 데이터를 생성한다. 메모리 컨트롤러(200)는 쓰기 데이터가 메모리 장치(100)에 저장되도록 메모리 장치(100)를 제어할 수 있다.
- [0036] 이후, 호스트(300)의 리드 요청에 응답하여, 메모리 컨트롤러(200)는 호스트(300)의 리드 요청에 대응되는 데이터를 메모리 장치(100)로부터 획득하기 위해서 리드 커맨드 및 리드할 데이터가 저장된 메모리 셀들의 위치를 나타내는 물리 어드레스를 메모리 장치(100)에 제공할 수 있다.
- [0037] 메모리 장치(100)는 디폴트 리드 전압을 이용하여 리드 동작을 수행할 수 있다. 리드 전압은 메모리 셀에 저장된 데이터를 식별하기 위해 인가되는 전압일 수 있다. 디폴트 리드 전압은 메모리 장치(100)의 생산 과정에서 테스트를 통해 결정된 리드 전압일 수 있다.
- [0038] 메모리 장치(100)는 수신된 물리 어드레스에 저장된 데이터를 디폴트 리드 전압을 이용하여 리드한 리드 데이터를 메모리 컨트롤러(200)에 제공할 수 있다. 메모리 컨트롤러(200)는 리드 데이터에 대해서 에러 정정 디코딩을 수행할 수 있다.
- [0039] 에러 정정 디코딩은 리드 데이터에 포함된 에러 비트를 정정하여 원본 데이터를 획득하는 동작일 수 있다. 에러 정정 디코딩은 리드 데이터에 포함된 에러 비트의 수가 정정 가능한 에러 비트의 수 이하인지 여부에 따라 성공 또는 실패할 수 있다. 리드 데이터에 포함된 에러 비트의 수가 정정 가능한 에러 비트의 수 이하이면 에러 정정 디코딩은 패스될 수 있다. 반대로 리드 데이터에 포함된 에러 비트의 수가 정정 가능한 에러 비트의 수를 초과하면, 에러 정정 디코딩은 페일될 수 있다. 에러 정정 디코딩이 패스되면, 호스트(300)가 리드 요청한 논리 어드레스에 대응되는 원본 데이터가 획득될 수 있다. 따라서, 에러 정정 디코딩이 패스되면, 메모리 장치(100)가 수행한 리드 동작은 패스될 수 있다. 에러 정정 디코딩에 실패하면, 원본 데이터가 획득될 수 없고, 메모리 장치(100)가 수행한 리드 동작은 페일될 수 있다.
- [0040] 리드 동작이 페일되면, 메모리 컨트롤러(200)는 원본 데이터가 획득될 때까지 복수의 복구 알고리즘들을 수행할

수 있다. 복수의 복구 알고리즘들은 미리 설정된 순서에 따라 수행될 수 있다. 복잡도가 높은 복구 알고리즘이 수행될수록 원본 데이터가 획득될 가능성은 증가되지만, 그만큼 메모리 컨트롤러(200)가 수행할 동작 또는 연산들의 양이 증가하므로, 오버헤드 또한 증가될 수 있다. 실시 예에서, 메모리 컨트롤러(200)는 복잡도가 낮은 복구 알고리즘에서 복잡도가 높은 복구 알고리즘 순으로 수행할 수 있다. 어느 하나의 복구 알고리즘에 의해 원본 데이터가 획득되는 경우, 나머지 복구 알고리즘들은 수행되지 않을 수 있다.

- [0041] 일 실시 예에서, 메모리 컨트롤러(200)는 메모리 장치(100)에 대해 수행된 리드 동작들 중 페일된 리드 동작에 대응되는 데이터를 복구하는 하나 이상의 복구 알고리즘들을 수행할 수 있다. 이때, 메모리 컨트롤러(200)는 하나 이상의 복구 알고리즘들에 대응되는 리드 동작에 따라 산출된 셀 카운트 값 및 최적 리드 전압 정보를 기초로 하나 이상의 복구 알고리즘들에 이용될 하나 이상의 최적 리드 전압들을 생성하도록 메모리 장치(100)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 하나 이상의 복구 알고리즘들 중 이전에 수행된 복구 알고리즘에 대응되는 리드 동작에 따라 산출된 셀 카운트 값 및 최적 리드 전압 정보를 기초로 하나 이상의 복구 알고리즘들 중 현재 수행될 복구 알고리즘에 이용되는 리드 전압을 생성하도록 메모리 장치(100)를 제어할 수 있다.
- [0042] 메모리 컨트롤러(200)는 디폴트 리드 전압을 이용하여 하나 이상의 복구 알고리즘 중 제1 복구 알고리즘에 대응되는 리드 동작을 수행하도록 메모리 장치(100)를 제어할 수 있다. 일 실시 예에서, 제1 복구 알고리즘은 리드 리트라이얼 수 있다.
- [0043] 또한, 메모리 컨트롤러(200)는 디폴트 리드 전압을 이용한 리드 동작이 페일되면, 디폴트 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 일 실시 예에서, 메모리 컨트롤러(200)는 디폴트 리드 전압을 이용한 리드 동작을 통해 리드된 데이터에 대해 비트-플립(bit-flip) 방식의 에러 정정 디코딩을 수행할 수 있다. 이때, 에러 정정 디코딩이 실패하는 경우, 메모리 컨트롤러(200)는 디폴트 리드 전압이 인가된 메모리 셀들로부터 센싱된 전류와 기준 전류의 비교 결과에 기초하여 셀 카운트 값을 산출할 수 있다.
- [0044] 또한, 메모리 컨트롤러(200)는 디폴트 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성하도록 메모리 장치(100)를 제어할 수 있다.
- [0045] 메모리 컨트롤러(200)는 제1 최적 리드 전압을 이용하여 제1 복구 알고리즘에 대응되는 리드 동작을 재수행하도록 메모리 장치(100)를 제어할 수 있다.
- [0046] 또한, 메모리 컨트롤러(200)는 제1 최적 리드 전압을 이용한 리드 동작이 페일되면, 제1 최적 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 일 실시 예에서, 메모리 컨트롤러(200)는 제1 최적 리드 전압을 이용한 리드 동작을 통해 리드된 데이터에 대해 최소-합(min-sum) 방식의 에러 정정 디코딩을 수행할 수 있다. 이때, 에러 정정 디코딩이 실패하는 경우, 메모리 컨트롤러(200)는 제1 최적 리드 전압이 인가된 메모리 셀들로부터 센싱된 전류와 기준 전류의 비교 결과에 기초하여 셀 카운트 값을 산출할 수 있다.
- [0047] 또한, 메모리 컨트롤러(200)는 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성하도록 메모리 장치(100)를 제어할 수 있다.
- [0048] 메모리 컨트롤러(200)는 제2 최적 리드 전압을 이용하여 하나 이상의 복구 알고리즘 중 제2 복구 알고리즘에 대응되는 리드 동작을 수행하도록 메모리 장치(100)를 제어할 수 있다. 일 실시 예에서, 제2 복구 알고리즘은 이부스트릴 수 있다.
- [0049] 또한, 메모리 컨트롤러(200)는 제2 최적 리드 전압을 이용한 리드 동작이 페일되면, 제2 최적 리드 전압을 기초로 복수의 소프트 리드 전압을 생성하도록 메모리 장치(100)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 제2 최적 리드 전압을 기준으로 일정한 오프셋을 갖는 복수의 소프트 리드 전압을 생성하도록 메모리 장치(100)를 제어할 수 있다.
- [0050] 또한, 메모리 컨트롤러(200)는 복수의 소프트 리드 전압을 이용하여 하나 이상의 복구 알고리즘 중 제3 복구 알고리즘을 수행하도록 메모리 장치(100)를 제어할 수 있다. 일 실시 예에서, 제3 복구 알고리즘은 소프트 디코딩일 수 있다.
- [0051] 호스트(300)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash

Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC), DIMM (Dual In-line Memory Module), RDIMM (Registered DIMM), LRDIMM (Load Reduced DIMM) 등과 같은 다양한 통신 방식들 중 적어도 하나를 이용하여 스토리지 장치(50)와 통신할 수 있다.

- [0053] 도 2는 도 1의 메모리 장치(100)의 구조를 설명하기 위한 도면이다.
- [0054] 도 2를 참조하면, 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 제어 로직(130)을 포함할 수 있다.
- [0055] 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 복수의 메모리 블록들(BLK1~BLKz)은 행 라인들(RL)을 통해 로우 디코더(121)에 연결된다. 복수의 메모리 블록들(BLK1~BLKz)은 비트 라인들(BL1 내지 BLn)을 통해 페이지 버퍼 그룹(123)에 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz) 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 같은 워드 라인에 연결된 메모리 셀들은 하나의 페이지로 정의될 수 있다. 따라서, 하나의 메모리 블록은 복수의 페이지들을 포함할 수 있다.
- [0056] 행 라인들(RL)은 적어도 하나 이상의 소스 선택 라인, 복수의 워드 라인들 및 적어도 하나 이상의 드레인 선택 라인을 포함할 수 있다.
- [0057] 메모리 셀 어레이(110)에 포함된 메모리 셀들은 각각 하나의 데이터 비트를 저장하는 싱글 레벨 셀(Single Level Cell; SLC), 두 개의 데이터 비트들을 저장하는 멀티 레벨 셀(Multi Level Cell; MLC), 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀(Triple Level Cell; TLC) 또는 네 개의 데이터 비트를 저장할 수 있는 쿼드 레벨 셀(Quad Level Cell; QLC)로 구성될 수 있다.
- [0058] 주변 회로(120)는 제어 로직(130)의 제어에 따라 메모리 셀 어레이(110)의 선택된 영역에 프로그램 동작, 리드 동작 또는 소거 동작을 수행하도록 구성될 수 있다. 주변 회로(120)는 메모리 셀 어레이(110)를 구동할 수 있다. 예를 들어, 주변 회로(120)는 제어 로직(130)의 제어에 따라 행 라인들(RL) 및 비트 라인들(BL1~BLn)에 다양한 동작 전압들을 인가하거나, 인가된 전압들을 디스차지 할 수 있다.
- [0059] 주변 회로(120)는 로우 디코더(121), 전압 생성부(122), 페이지 버퍼 그룹(123), 컬럼 디코더(124) 및 입출력 회로(125)를 포함할 수 있다.
- [0060] 로우 디코더(121)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 행 라인들(RL)은 적어도 하나 이상의 소스 선택 라인, 복수의 워드 라인들 및 적어도 하나 이상의 드레인 선택 라인을 포함할 수 있다. 실시 예에서, 워드 라인들은 노멀 워드 라인들과 더미 워드 라인들을 포함할 수 있다. 실시 예에서, 행 라인들(RL)은 파이프 선택 라인을 더 포함할 수 있다.
- [0061] 로우 디코더(121)는 제어 로직(130)의 제어에 응답하여 동작하도록 구성된다. 로우 디코더(121)는 제어 로직(130)으로부터 로우 어드레스(RADD)를 수신한다.
- [0062] 로우 디코더(121)는 로우 어드레스(RADD)를 디코딩하도록 구성된다. 로우 디코더(121)는 디코딩된 어드레스에 따라 메모리 블록들(BLK1~BLKz) 중 적어도 하나의 메모리 블록을 선택한다. 또한, 로우 디코더(121)는 디코딩된 어드레스에 따라 전압 생성부(122)가 생성한 전압들을 적어도 하나의 워드 라인(WL)에 인가하도록 선택된 메모리 블록의 적어도 하나의 워드 라인을 선택할 수 있다.
- [0063] 예를 들어, 프로그램 동작 시에, 로우 디코더(121)는 선택된 워드 라인에 프로그램 전압을 인가하고 비선택된 워드 라인들에 프로그램 전압보다 낮은 레벨의 프로그램 패스 전압을 인가할 것이다. 프로그램 검증 동작 시에, 로우 디코더(121)는 선택된 워드 라인에 검증 전압을 인가하고 비선택된 워드 라인들에 검증 전압보다 높은 검증 패스 전압을 인가할 것이다. 리드 동작 시에, 로우 디코더(121)는 선택된 워드 라인에 리드 전압을 인가하고, 비선택된 워드 라인들에 리드 전압보다 높은 리드 패스 전압을 인가할 것이다.
- [0064] 실시 예에서, 메모리 장치(100)의 소거 동작은 메모리 블록 단위로 수행된다. 소거 동작 시에 로우 디코더(121)는 디코딩된 어드레스에 따라 하나의 메모리 블록을 선택할 수 있다. 소거 동작 시, 로우 디코더(121)는 선택된 메모리 블록에 연결되는 워드 라인들에 접지 전압을 인가할 수 있다.
- [0065] 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 동작한다. 전압 생성부(122)는 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 복수의 전압들을 발생하도록 구성된다. 구체적으로, 전압 생성부(122)는 동작

신호(OPSIG)에 응답하여 프로그램, 리드 및 소거 동작들에 사용되는 다양한 동작 전압들(Vop)을 생성할 수 있다. 예를 들어, 전압 생성부(122)는 제어 로직(130)의 제어에 응답하여 프로그램 전압, 검증 전압, 패스 전압, 리드 전압 및 소거 전압 등을 생성할 수 있다.

- [0066] 실시 예로서, 전압 생성부(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성할 수 있다. 전압 생성부(122)에서 생성된 내부 전원 전압은 메모리 장치(100)의 동작 전압으로서 사용된다.
- [0067] 실시 예로서, 전압 생성부(122)는 외부 전원 전압 또는 내부 전원 전압을 이용하여 복수의 전압들을 생성할 수 있다.
- [0068] 예를 들면, 전압 생성부(122)는 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(130)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 전압들을 생성할 것이다.
- [0069] 생성된 복수의 전압들은 로우 디코더(121)에 의해 메모리 셀 어레이(110)에 공급될 수 있다.
- [0070] 페이지 버퍼 그룹(123)은 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)을 포함한다. 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 각각 제 1 내지 제 n 비트 라인들(BL1~BLn)을 통해 메모리 셀 어레이(110)에 연결된다. 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 제어 로직(130)의 제어에 응답하여 동작한다. 구체적으로 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 페이지 버퍼 제어 신호들(PBSIGNALS)에 응답하여 동작할 수 있다. 예를 들면, 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 제 1 내지 제 n 비트 라인들(BL1~BLn)을 통해 수신된 데이터를 임시로 저장하거나, 리드 또는 검증 동작 시, 비트 라인들(BL1~BLn)의 전압 또는 전류를 센싱(sensing)할 수 있다.
- [0071] 구체적으로, 프로그램 동작 시, 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 선택된 워드 라인에 프로그램 펄스가 인가될 때, 데이터 입출력 회로(125)를 통해 수신한 데이터(DATA)를 제 1 내지 제 n 비트 라인들(BL1~BLn)을 통해 선택된 메모리 셀들에 전달할 것이다. 전달된 데이터(DATA)에 따라 선택된 페이지의 메모리 셀들은 프로그램 된다. 프로그램 허용 전압(예를 들면, 접지 전압)이 인가되는 비트 라인과 연결된 메모리 셀은 상승된 문턱 전압을 가질 것이다. 프로그램 금지 전압(예를 들면, 전원 전압)이 인가되는 비트 라인과 연결된 메모리 셀의 문턱 전압은 유지될 것이다. 프로그램 검증 동작 시에, 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 선택된 메모리 셀들로부터 제 1 내지 제 n 비트 라인들(BL1~BLn)을 통해 페이지 데이터를 읽는다.
- [0072] 리드 동작 시, 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 선택된 페이지의 메모리 셀들로부터 제 1 내지 제 n 비트 라인들(BL1~BLn)을 통해 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 컬럼 디코더(124)의 제어에 따라 데이터 입출력 회로(125)로 출력한다.
- [0073] 소거 동작 시에, 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)은 제 1 내지 제 n 비트 라인들(BL1~BLn)을 플로팅(floating) 시킬 수 있다.
- [0074] 컬럼 디코더(124)는 컬럼 어드레스(CADD)에 응답하여 입출력 회로(125)와 페이지 버퍼 그룹(123) 사이에서 데이터를 전달할 수 있다. 예를 들면, 컬럼 디코더(124)는 데이터 라인들(DL)을 통해 제 1 내지 제 n 페이지 버퍼들(PB1~PBn)과 데이터를 주고받거나, 컬럼 라인들(CL)을 통해 입출력 회로(125)와 데이터를 주고받을 수 있다.
- [0075] 입출력 회로(125)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)로부터 전달받은 커맨드(CMD) 및 어드레스(ADDR)를 제어 로직(130)에 전달하거나, 데이터(DATA)를 컬럼 디코더(124)와 주고받을 수 있다.
- [0076] 센싱 회로(126)는 리드 동작(read operation) 또는 검증 동작(verify operation)시, 허용 비트 신호(VRYBIT)에 응답하여 기준 전류를 생성하고, 페이지 버퍼 그룹(123)으로부터 수신된 센싱 전압(VPB)과 기준 전류에 의해 생성된 기준 전압을 비교하여 패스 신호(PASS) 또는 페일 신호(FAIL)를 출력할 수 있다.
- [0077] 제어 로직(130) 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 동작 신호(OPSIG), 로우 어드레스(RADD), 페이지 버퍼 제어 신호들(PBSIGNALS) 및 허용 비트(VRYBIT)를 출력하여 주변 회로들(120)을 제어할 수 있다. 또한, 제어 로직(130)은 패스 또는 페일 신호(PASS 또는 FAIL)에 응답하여 검증 동작이 패스 또는 페일 되었는지를 판단할 수 있다.
- [0078] 일 실시 예에서, 제어 로직(130)은 리드 동작 처리부(131)를 포함할 수 있다.
- [0079] 리드 동작 처리부(131)는 메모리 컨트롤러(200)로부터 입력되는 리드 커맨드에 따라 리드 동작을 수행하도록 주변 회로(120)를 제어할 수 있다. 리드 동작 처리부(131)에 의해 수행되는 리드 동작은 도 9 및 10에서 더 상세하게 설명한다.

- [0081] 도 3은 도 2의 메모리 블록들 중 어느 하나의 메모리 블록의 구조를 설명하기 위한 도면이다.
- [0082] 메모리 블록(BLK<sub>i</sub>)은 도 2의 메모리 블록들(BLK<sub>1</sub>~BLK<sub>i</sub>)중 어느 하나의 메모리 블록(BLK<sub>i</sub>)을 나타낸 도면이다.
- [0083] 도 3을 참조하면, 제1 셀렉트 라인과 제2 셀렉트 라인 사이에 서로 평행하게 배열된 다수의 워드 라인들이 연결될 수 있다. 여기서, 제1 셀렉트 라인은 소스 셀렉트 라인(SSL)일 수 있고, 제2 셀렉트 라인은 드레인 셀렉트 라인(DSL)일 수 있다. 보다 구체적으로 설명하면, 메모리 블록(BLK<sub>i</sub>)은 비트 라인들(BL<sub>1</sub>~BL<sub>n</sub>)과 소스 라인(SL) 사이에 연결된 다수의 스트링들(strings; ST)을 포함할 수 있다. 비트 라인들(BL<sub>1</sub>~BL<sub>n</sub>)은 스트링들(ST)에 각각 연결될 수 있고, 소스 라인(SL)은 스트링들(ST)에 공통으로 연결될 수 있다. 스트링들(ST)은 서로 동일하게 구성될 수 있으므로, 제1 비트 라인(BL<sub>1</sub>)에 연결된 스트링(ST)을 예를 들어 구체적으로 설명하도록 한다.
- [0084] 스트링(ST)은 소스 라인(SL)과 제1 비트 라인(BL<sub>1</sub>) 사이에서 서로 직렬로 연결된 소스 셀렉트 트랜지스터(SST), 다수의 메모리 셀들(MC<sub>1</sub>~MC<sub>16</sub>) 및 드레인 셀렉트 트랜지스터(DST)를 포함할 수 있다. 하나의 스트링(ST)에는 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST)가 적어도 하나 이상씩 포함될 수 있으며, 메모리 셀들(MC<sub>1</sub>~MC<sub>16</sub>) 또한 도면에 도시된 개수보다 더 많이 포함될 수 있다.
- [0085] 소스 셀렉트 트랜지스터(SST)의 소스(source)는 소스 라인(SL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터(DST)의 드레인(drain)은 제1 비트 라인(BL<sub>1</sub>)에 연결될 수 있다. 메모리 셀들(MC<sub>1</sub>~MC<sub>16</sub>)은 소스 셀렉트 트랜지스터(SST)와 드레인 셀렉트 트랜지스터(DST) 사이에서 직렬로 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 소스 셀렉트 트랜지스터들(SST)의 게이트들은 소스 셀렉트 라인(SSL)에 연결될 수 있고, 드레인 셀렉트 트랜지스터들(DST)의 게이트들은 드레인 셀렉트 라인(DSL)에 연결될 수 있고, 메모리 셀들(MC<sub>1</sub>~MC<sub>16</sub>)의 게이트들은 다수의 워드 라인들(WL<sub>1</sub>~WL<sub>16</sub>)에 연결될 수 있다. 서로 다른 스트링들(ST)에 포함된 메모리 셀들 중에서 동일한 워드 라인에 연결된 메모리 셀들의 그룹을 물리 페이지(physical page; PG)라 할 수 있다. 따라서, 메모리 블록(BLK<sub>i</sub>)에는 워드 라인들(WL<sub>1</sub>~WL<sub>16</sub>)의 개수만큼의 물리 페이지들(PG)이 포함될 수 있다.
- [0086] 하나의 메모리 셀은 1비트의 데이터를 저장할 수 있다. 이를 통상적으로 싱글 레벨 셀(single level cell; 1C1)라고 부른다. 이 경우 하나의 물리 페이지(PG)는 하나의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다. 하나의 논리 페이지(LPG) 데이터는 하나의 물리 페이지(PG)에 포함된 셀 개수만큼의 데이터 비트들을 포함할 수 있다.
- [0087] 하나의 메모리 셀은 2 비트 이상의 데이터를 저장할 수 있다. 이 경우 하나의 물리 페이지(PG)는 2 이상의 논리 페이지(logical page; LPG) 데이터를 저장할 수 있다.
- [0089] 도 4는 디폴트 리드 전압을 설명하기 위한 도면이다.
- [0090] 도 4를 참조하면, 가로축은 메모리 셀들의 문턱전압을 나타내고, 세로축은 메모리 셀들의 개수를 나타낸다.
- [0091] 도 4에서 설명의 편의를 위해 메모리 셀이 2비트의 데이터를 저장하는 멀티 레벨 셀(MLC)로 프로그램된 경우를 가정하여 설명하나, 본 발명의 내용이 이에 한정되는 것은 아니다.
- [0092] 하나의 물리적인 페이지에 포함된 메모리 셀들은 프로그램 동작을 통해 소거 상태(E), 제1 프로그램 상태(P1) 내지 제3 프로그램 상태(P3) 중 어느 하나의 상태의 문턱전압분포에 속하는 문턱전압을 가질 수 있다.
- [0093] 디폴트 리드 전압(R1, R2, R3)을 이용하여 메모리 셀들의 문턱전압을 센싱하면, 각 메모리 셀은 해당 메모리 셀에 저장된 데이터에 따라 소거 상태(E), 제1 프로그램 상태(P1) 내지 제3 프로그램 상태(P3) 중 어느 하나의 상태로 구분될 수 있다. R1은 소거 상태(E)와 제1 프로그램 상태(P1)를 구분하는 디폴트 리드전압이고, R2는 제1 프로그램 상태(P1)와 제2 프로그램 상태(P2)를 구분하는 디폴트 리드전압이고, R3는 제2 프로그램 상태(P2)와 제3 프로그램 상태(P3)를 구분하는 디폴트 리드전압일 수 있다. 디폴트 리드 전압의 레벨은 메모리 장치의 생산 과정에서 테스트에 의해 특정 전압 값으로 결정될 수 있고, 결정된 전압 값은 메모리 장치에 저장될 수 있다.
- [0094] 프로그램 동작이 완료된 초기에는 메모리 셀들의 문턱전압분포가 도 4와 같은 형태이나, 데이터가 프로그램된 뒤 오랜시간 방치되거나(Retention) 다른 메모리 영역에 대한 과도한 동작으로 인해 문턱전압이 변경될 수 있다(Disturbance).
- [0095] 따라서, 메모리 셀들의 문턱전압이 많이 변화할수록 디폴트 리드 전압에 의해 센싱된 리드 데이터에는 에러 비

트가 많이 포함될 수 있고, 이로 인해 리드 동작이 폐일되는 경우가 증가할 수 있다.

- [0097] 도 5는 복구 알고리즘을 설명하기 위한 도면이다.
- [0098] 도 5를 참조하면, 리드 동작이 폐일되면, 폐일된 리드 동작에 대응되는 원본 데이터가 획득될 때까지 복수의 복구 알고리즘들이 수행될 수 있다.
- [0099] 실시 예에서, 복수의 복구 알고리즘들은 리드 리트라이(Read Retry), 이부스트(eBoost) 및 소프트 디코딩 동작(Soft Decoding) 등을 포함할 수 있다.
- [0100] 리드 리트라이는 디폴트 리드 전압과 다른 리드 전압을 이용하여 리드 동작을 재시도 하는 동작일 수 있다. 리드 리트라이에 사용되는 리드 전압은 사전에 메모리 장치(100) 또는 메모리 컨트롤러(200)에 저장되어 있을 수 있다.
- [0101] 이부스트는 최적 리드 전압을 계산하고, 계산된 최적 리드 전압을 이용하여 리드 동작을 수행하는 동작일 수 있다. 여기서 최적 리드 전압은 다양한 방법에 의해 계산될 수 있다. 실시 예에서, 최적 리드 전압은 가우시안 모델링을 이용하여 계산될 수 있다. 또는 최적 리드 전압은 복수의 리드 전압들을 이용하여 리드된 데이터에 포함된 '0' 또는 '1'의 개수에 따라 계산될 수 있다.
- [0102] 소프트 디코딩은 복수의 소프트 리드 전압들을 이용하여 리드 동작들을 수행하는 동작일 수 있다. 여기서 복수의 소프트 리드 전압들은 디폴트 리드 전압을 기준으로 결정되거나 최적 리드 전압을 기준으로 결정될 수 있다. 예를 들어 복수의 소프트 리드 전압들은 디폴트 리드 전압 또는 최적 리드 전압을 기준으로 일정한 간격만큼 증가되거나 감소된 크기를 갖는 전압들일 수 있다.
- [0104] 도 6은 리드 리트라이를 설명하기 위한 도면이다.
- [0105] 도 6을 참조하면, 리드 리트라이에 사용되는 리드 전압들을 나타내는 리드 리트라이 테이블(610)은 사전에 메모리 장치(100) 또는 메모리 컨트롤러(200)에 저장되어 있을 수 있다.
- [0106] 예를 들어, 리드 리트라이 테이블(610)은 50개의 리드 전압들(RRT0~RRT49)을 포함하는 것으로 가정한다. 다만, 리드 리트라이 테이블(610)에 포함된 리드 전압의 개수는 실시 예에 따라 다양할 수 있다.
- [0107] 메모리 컨트롤러(200)는 50개의 리드 전압들(RRT0~RRT49) 중 5개의 리드 전압들(RRT25, RRT3, RRT7, RRT0, RRT34)을 선택할 수 있고, 선택된 5개의 리드 전압들(RRT25, RRT3, RRT7, RRT0, RRT34)을 이용하여 리드 동작을 수행할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 리드 동작이 패스될 때까지 선택된 5개의 리드 전압들(RRT25, RRT3, RRT7, RRT0, RRT34)을 순차적으로 이용하여 리드 동작을 수행할 수 있다.
- [0109] 도 7은 이부스트를 설명하기 위한 도면이다.
- [0110] 도 7은 도 4의 소거 상태(E), 제1 프로그램 상태(P1) 내지 제3 프로그램 상태(P3) 중 서로 인접하는 상태들의 문턱전압분포를 일반화하여 표현한 도면이다.
- [0111] 도 7을 참조하면, 왼쪽의 문턱전압분포는 P(x)상태의 메모리 셀들의 문턱전압분포를 나타낸 것이고, 오른쪽의 문턱전압분포는 P(x+1)상태의 메모리 셀들의 문턱전압분포를 나타낸다.
- [0112] P(x)상태 및 P(x+1)상태의 메모리 셀들의 문턱전압이 초기 프로그램 완료 시보다 많이 변경되어 두 상태의 문턱전압분포들이 겹쳐질 수 있다. 이 경우 디폴트 리드 전압으로 리드 동작을 수행하더라도 리드 데이터에 에러 비트들이 많이 포함될 수 있다.
- [0113] 이부스트는 최적 리드 전압을 계산하고, 계산된 최적 리드 전압을 이용하여 리드 동작을 수행하는 동작일 수 있다.
- [0114] 메모리 컨트롤러(200)는 복수의 샘플링 전압들(Vra, Vrb)을 사용하여 리드 동작을 수행함으로써 최적 리드 전압(Vro)을 획득할 수 있다. 예를 들어, 메모리 컨트롤러(200)는 복수의 샘플링 전압들(Vra, Vrb)을 이용하여 획득된 샘플링 데이터의 '0' 또는 '1'의 개수 또는 '0' 또는 '1'의 개수의 변화량을 이용하여 최적 리드 전압(Vro)을 계산할 수 있다.

- [0115] 한편, 도 7에서는 최적 리드 전압을 획득하기 위해 이용되는 복수의 샘플링 전압들이 2개인 것으로 도시하였으나, 반드시 이에 한정되는 것은 아니고, 최적 리드 전압을 획득하기 위해 이용되는 샘플링 전압의 개수는 실시 예에 따라 다양할 수 있다.
- [0117] 도 8은 소프트 디코딩을 설명하기 위한 도면이다.
- [0118] 도 8을 참조하면, P(x)상태의 메모리 셀들의 문턱전압과 P(x+1)상태의 메모리 셀들의 문턱전압이 도 7의 경우보다 더 많이 변경될 수 있다. 이 경우, 최적 리드 전압(Vro)으로 리드 동작을 수행하더라도 리드 동작이 페일될 수 있다.
- [0119] 소프트 디코딩은 서로 다른 전압 레벨을 갖는 복수의 소프트 리드 전압을 이용하여 리드 동작을 수행하는 복구 알고리즘일 수 있다. 소프트 디코딩에 사용되는 복수의 소프트 리드 전압은 최적 리드 전압(Vro)을 기준으로 일정한 오프셋을 갖는 전압들일 수 있다.
- [0120] 메모리 컨트롤러(200)는 제1 소프트 리드 전압(Vsoft1) 내지 제4 소프트 리드 전압(Vsoft4) 순으로 리드 전압을 변경하면서 리드 동작을 수행할 수 있다.
- [0121] 한편, 도 8에서는 소프트 디코딩에 사용되는 복수의 소프트 리드 전압들이 4개인 것으로 도시하였으나, 반드시 이에 한정되는 것은 아니고, 소프트 디코딩에 사용되는 소프트 리드 전압의 개수는 실시 예에 따라 다양할 수 있다.
- [0123] 도 9는 본 발명의 일 실시 예에 따른 리드 동작 처리부를 설명하기 위한 도면이다.
- [0124] 도 9의 리드 동작 처리부(900)는 도 1 및 도 2의 리드 동작 처리부(131)를 나타내는 것일 수 있다. 주변 회로(120)는 도 2를 참조하여 설명된 주변 회로(120)와 동일하게 구성되고 동작할 수 있다.
- [0125] 도 9를 참조하면, 리드 동작 처리부(900)는 최적 리드 전압 정보 저장부(910), 리드 전압 제어부(920) 및 리드 동작 제어부(930)를 포함할 수 있다.
- [0126] 최적 리드 전압 정보 저장부(910)는 복수의 메모리 셀들 중 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장할 수 있다. 이때, 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값은 복수의 메모리 셀들에 특정 리드 전압을 인가하여 복수의 메모리 셀들로부터 획득한 리드 데이터에 포함된 설정된 논리 값의 개수일 수 있다. 예를 들어, 제1 메모리 셀이 온-셀 상태이면 설정된 논리 값은 '1'이고, 제1 메모리 셀이 오프-셀이면 설정된 논리 값은 '0'일 수 있다. 다른 예로, 제1 메모리 셀이 온-셀 상태이면 설정된 논리 값은 '0'이고, 제1 메모리 셀이 오프-셀이면 설정된 논리 값은 '1'일 수 있다. 즉, 셀 카운트 값은 특정 리드 전압을 이용하여 복수의 메모리 셀들로부터 리드된 데이터에 포함된 '0' 또는 '1'의 개수일 수 있다.
- [0127] 최적 리드 전압 정보는 복수의 리드 전압들을 이용한 테스트를 통해 미리 결정된 최적 리드 전압들에 대한 정보를 포함할 수 있다. 즉, 최적 리드 전압 정보는 복수의 리드 전압들을 이용한 복수의 리드 동작들을 통해 얻은 실험 결과를 기초로, 셀 카운트 값에 따라 결정된 최적 리드 전압들에 대한 정보를 포함하는 룩업 테이블일 수 있다.
- [0128] 리드 전압 제어부(920)는 메모리 컨트롤러(200)로부터 입력된 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 복수의 메모리 셀들로부터 리드된 데이터를 기초로 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다.
- [0129] 일 실시 예에서, 리드 전압 제어부(920)는 디폴트 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 예를 들어, 리드 전압 제어부(920)는 디폴트 리드 전압이 인가된 복수의 메모리 셀들에 흐르는 전류를 센싱하고, 센싱된 전류와 기준 전류를 비교할 수 있다. 리드 전압 제어부(920)는 디폴트 리드 전압을 이용하여 센싱된 전류와 기준 전류를 비교한 결과를 기초로 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 이때, 기준 전류는 메모리 장치(100)의 생산 과정에서 테스트에 의해 특정 전류 값으로 결정될 수 있고, 결정된 전류 값은 메모리 장치(100)에 저장될 수 있다.

- [0130] 또한, 리드 전압 제어부(920)는 디폴트 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성할 수 있다. 예를 들어, 리드 전압 제어부(920)는 최적 리드 전압 정보에 기초하여 디폴트 리드 전압에 대응되는 셀 카운트 값에 해당하는 제1 최적 리드 전압을 생성할 수 있다. 이때, 제1 최적 리드 전압은 디폴트 리드 전압을 이용한 리드 동작 이후에 수행될 다음 리드 동작을 위한 리드 전압으로 설정될 수 있다.
- [0131] 일 실시 예에서, 리드 전압 제어부(920)는 디폴트 리드 전압에 대응되는 셀 카운트 값을 아날로그 값 형태에서 디지털 값 형태로 변환할 수 있다. 또한, 리드 전압 제어부(920)는 디지털 값 형태로 변환된 디폴트 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성할 수 있다.
- [0132] 리드 동작 제어부(930)는 디폴트 리드 전압을 이용하여 복수의 메모리 셀들에 대한 리드 동작을 수행하도록 주변 회로(120)를 제어할 수 있다.
- [0133] 예를 들어, 복수의 메모리 셀들에 대한 리드 동작이 페일되면, 리드 동작 제어부(930)는 메모리 컨트롤러(200)로부터 입력된 리드 커맨드에 응답하여 디폴트 리드 전압을 이용한 리드 동작을 수행할 수 있다. 이때, 디폴트 리드 전압을 이용한 리드 동작은 페일된 리드 동작에 대응되는 데이터를 복구하는 제1 복구 알고리즘에 대응되는 리드 동작일 수 있다. 일 실시 예에서, 제1 복구 알고리즘은 리드 리트라이일 수 있다.
- [0134] 일 실시 예에서, 리드 동작 제어부(930)는 복수의 메모리 셀들로부터 리드된 데이터 중 일부를 요청할 수 있다. 복수의 메모리 셀들을 포함하는 하나의 페이지는 분할되어 프로그램 될 수 있다. 예를 들어, 하나의 페이지가 4 번의 프로그램을 통해 데이터를 저장할 수 있다. 이 경우, 1번의 프로그램에 의해 하나의 페이지에 저장되는 데이터의 크기는 하나의 페이지에 저장되는 데이터의 크기의 1/4일 수 있다. 예를 들어, 하나의 페이지에 저장할 수 있는 데이터의 크기를 16KB라고 가정할 때, 1번의 프로그램에 의해 저장되는 데이터의 크기는 4KB일 수 있다. 하나의 페이지는 데이터를 분할하여 저장하기 때문에 하나의 페이지로부터 리드된 데이터의 일부만 출력하여도 해당 페이지가 프로그램 페이지인지 또는 소거 페이지인지 여부가 판별될 수 있다. 따라서, 리드 동작 제어부(930)는 복수의 메모리 셀들로부터 리드된 데이터 중 일부만 요청함으로써, 복수의 메모리 셀들에 대한 리드 동작의 속도를 향상시킬 수 있다.
- [0135] 또한, 리드 동작 제어부(930)는 디폴트 리드 전압을 이용한 리드 동작이 페일되는 경우, 제1 최적 리드 전압을 이용하여 복수의 메모리 셀들에 대한 리드 동작을 수행하도록 주변 회로(120)를 제어할 수 있다. 이때, 제1 최적 리드 전압을 이용한 리드 동작은 페일된 리드 동작에 대응되는 데이터를 복구하는 제1 복구 알고리즘에 대응되는 리드 동작일 수 있다.
- [0136] 예를 들어, 디폴트 리드 전압을 이용한 리드 동작이 페일되는 경우, 리드 동작 제어부(930)는 메모리 컨트롤러(200)로부터 입력된 리드 커맨드에 응답하여 제1 최적 리드 전압을 이용한 리드 동작을 수행할 수 있다.
- [0137] 일 실시 예에서, 리드 전압 제어부(920)는 제1 최적 리드 전압을 이용하여 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 예를 들어, 리드 전압 제어부(920)는 제1 최적 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 구체적으로, 리드 전압 제어부(920)는 제1 최적 리드 전압이 인가된 복수의 메모리 셀들에 흐르는 전류를 센싱하고, 센싱된 전류와 기준 전류를 비교할 수 있다. 리드 전압 제어부(920)는 제1 최적 리드 전압을 이용하여 센싱된 전류와 기준 전류를 비교한 결과를 기초로 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다.
- [0138] 또한, 리드 전압 제어부(920)는 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성할 수 있다. 예를 들어, 리드 전압 제어부(920)는 최적 리드 전압 정보에 기초하여 제1 최적 리드 전압에 대응되는 셀 카운트 값에 해당하는 제2 최적 리드 전압을 생성할 수 있다. 이때, 제2 최적 리드 전압은 제1 최적 리드 전압을 이용한 리드 동작 이후에 수행될 다음 리드 동작을 위한 리드 전압으로 설정될 수 있다.
- [0139] 일 실시 예에서, 리드 전압 제어부(920)는 제1 최적 리드 전압에 대응되는 셀 카운트 값을 아날로그 값 형태에서 디지털 값 형태로 변환할 수 있다. 또한, 리드 전압 제어부(920)는 디지털 값 형태로 변환된 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성할 수 있다.
- [0140] 또한, 리드 동작 제어부(930)는 제1 최적 리드 전압을 이용한 리드 동작이 페일되는 경우, 제2 최적 리드 전압을 이용하여 복수의 메모리 셀들에 대한 리드 동작을 수행하도록 주변 회로(120)를 제어할 수 있다. 이때, 제2

최적 리드 전압을 이용한 리드 동작은 페일된 리드 동작에 대응되는 데이터를 복구하는 제2 복구 알고리즘에 대응되는 리드 동작일 수 있다. 일 실시 예에서, 제2 복구 알고리즘은 이부스트 동작일 수 있다.

- [0141] 예를 들어, 제1 최적 리드 전압을 이용한 리드 동작이 페일되는 경우, 리드 동작 제어부(930)는 메모리 컨트롤러(200)로부터 입력된 리드 커맨드에 응답하여 제2 최적 리드 전압을 이용한 리드 동작을 수행할 수 있다.
- [0142] 일 실시 예에서, 리드 전압 제어부(920)는 제2 최적 리드 전압을 이용한 리드 동작이 페일되는 경우, 제2 최적 리드 전압을 기초로 복수의 소프트 리드 전압을 생성할 수 있다. 구체적으로, 리드 전압 제어부(920)는 제2 최적 리드 전압을 기준으로 일정한 오프셋을 갖는 전압들인 복수의 소프트 리드 전압을 생성할 수 있다.
- [0143] 또한, 리드 동작 제어부(930)는 복수의 소프트 리드 전압을 이용하여 복수의 메모리 셀들에 대한 복수의 리드 동작들을 수행하도록 주변 회로(120)를 제어할 수 있다. 이때, 복수의 소프트 리드 전압을 이용한 리드 동작들은 페일된 리드 동작에 대응되는 데이터를 복구하는 제3 복구 알고리즘에 대응되는 리드 동작일 수 있다. 일 실시 예에서, 제3 복구 알고리즘은 소프트 디코딩일 수 있다.
- [0144] 본 발명의 실시 예에 따르면, 특정 리드 전압을 통해 획득된 셀 카운트 값과 기 저장된 최적 리드 전압 정보를 이용하여 복구 알고리즘에 대응되는 리드 동작에 이용될 최적 리드 전압을 생성함으로써, 복구 알고리즘을 위한 리드 동작의 속도를 향상시킬 수 있다. 이에 따라, 복구 알고리즘에 대한 레이턴시(latency)가 감소될 수 있다.
- [0146] 도 10은 도 9의 최적 리드 전압 정보 저장부 및 리드 전압 제어부의 일 실시 예를 나타낸 회로도이다.
- [0147] 도 10을 참조하면, 리드 전압 제어부(920)는 특정 리드 전압이 인가된 복수의 메모리 셀들에 흐르는 전류 값(Icell)을 획득할 수 있다. 이때, 복수의 메모리 셀들은 페이지 버퍼의 청크(chunk) 단위로 연결될 수 있고, 복수의 메모리 셀들로부터 획득된 전류 값은 페이지 버퍼의 청크 단위로 획득될 수 있다.
- [0148] 또한, 리드 전압 제어부(920)는 복수의 메모리 셀들로부터 센싱된 전류(Icell)와 기준 전류(Iref)를 비교한 결과를 기초로 셀 카운트 값을 산출할 수 있다. 이때, 셀 카운트 값은 아날로그 값 형태로 산출될 수 있다. 이 경우, 리드 전압 제어부(920)는 셀 카운트 값을 아날로그 값 형태에서 디지털 값 형태로 변환할 수 있다. 이후, 리드 전압 제어부(920)는 디지털 값 형태로 변환된 셀 카운트 값과 최적 리드 전압 정보 저장부(910)에 저장된 최적 리드 전압 정보를 기초로 최적 리드 전압을 생성할 수 있다. 이때, 메모리 셀이 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀인 것으로 가정하면, 리드 전압 제어부(920)는 레벨 1부터 레벨 7까지의 최적 리드 전압을 생성할 수 있다. 또한, 메모리 장치(100)는 싱글 레벨 셀 단위의 리드 동작 시 인가될 최적 리드 전압을 생성할 수 있다.
- [0149] 일 실시 예에서, 리드 전압 제어부(920)는 기준 전류(Iref)를 설정하기 위한 기준 전류 설정 회로(Ref Circuit)를 포함할 수 있다. 리드 전압 제어부(920)는 실시 예에 따라 다양한 기준 전류(Iref)를 설정할 수 있다.
- [0151] 도 11은 본 발명의 일 실시 예에 따른 최적 리드 전압 정보를 설명하기 위한 도면이다.
- [0152] 도 11을 참조하면, 최적 리드 전압 정보는 셀 카운트 값과 복구 알고리즘에 이용될 최적 리드 전압들 사이의 관계를 나타내는 룩업 테이블일 수 있다.
- [0153] 최적 리드 전압 정보는 복수의 셀 카운트 값들에 대응되는 최적 리드 전압들을 포함할 수 있다. 이때, 최적 리드 전압 정보는 리드 리트라이 및 이부스트 각각에 대한 최적 리드 전압들을 포함할 수 있다.
- [0154] 예를 들어, 리드 리트라이에 대응되는 리드 동작에 이용될 최적 리드 전압을 결정하는 과정인 것으로 가정한다. 이 경우, 이전에 수행된 특정 리드 동작에 의해 산출된 셀 카운트 값이 20인 경우, 리드 리트라이에 대응되는 리드 동작에 이용될 최적 리드 전압은 2로 결정될 수 있다.
- [0155] 다른 예로, 이부스트에 대응되는 리드 동작에 이용될 최적 리드 전압을 결정하는 과정인 것으로 가정한다. 이 경우, 이전에 수행된 특정 리드 동작에 의해 산출된 셀 카운트 값이 1인 경우, 이부스트에 대응되는 리드 동작에 이용될 최적 리드 전압은 3.5로 결정될 수 있다.
- [0156] 한편, 도 11에서는 하나의 최적 리드 전압 정보를 도시하였으나, 최적 리드 전압 정보는 리드 전압의 레벨 별로 존재할 수 있다. 예를 들어, 메모리 셀이 세 개의 데이터 비트들을 저장하는 트리플 레벨 셀인 것으로 가정하면, 메모리 장치(100)는 레벨 1부터 레벨 7까지의 리드 전압들 각각에 대한 최적 리드 전압 정보를 저장

할 수 있다. 또한, 메모리 장치(100)는 싱글 레벨 셀 단위의 리드 동작 시 인가된 레벨 1번의 리드 전압에 대한 최적 리드 전압 정보를 저장할 수 있다.

- [0158] 도 12a는 본 발명의 일 실시 예에 따른 최적 리드 전압 설정 커맨드를 설명하기 위한 도면이다. 또한, 도 12b는 본 발명의 일 실시 예에 따른 최적 리드 전압 획득 커맨드를 설명하기 위한 도면이다.
- [0159] 일 실시 예에서, 최적 리드 전압 설정 커맨드(EFH) 및 최적 리드 전압 획득 커맨드(EEF)는 메모리 컨트롤러에 의해 생성되는 커맨드일 수 있다.
- [0160] 도 12a를 참조하면, 메모리 컨트롤러(200)로부터 최적 리드 전압 설정 커맨드(EFH)가 입력되면, 메모리 장치(100)는 인에이블된 특징 파라미터들(FP0 ~ FP3)에 최적 리드 전압이 저장될 수 있다. 예를 들어, 최적 리드 전압 설정 커맨드(EFH)가 입력되면, 메모리 장치(100)는 선택된 어드레스(ADD)에 대응되는 메모리 셀들에 대한 리드 동작을 수행하고, 해당 리드 동작에 대응되는 셀 카운트 값을 산출할 수 있다. 또한, 메모리 장치(100)는 산출된 셀 카운트 값과 최적 리드 전압 정보를 기초로 최적 리드 전압을 생성하고, 생성된 최적 리드 전압을 특징 파라미터들(FP0 ~ FP3)에 저장할 수 있다.
- [0161] 한편, 도 12a에서는 특징 파라미터들(FP0 ~ FP3)에 대한 최적 리드 전압 설정 동작에 대해서만 도시되어 있으나, 다른 특징 파라미터들(FP4 ~ FP7)에 대해서도 동일한 최적 리드 전압 설정 동작을 수행할 수 있다.
- [0162] 또한, 도 12b를 참조하면, 메모리 컨트롤러(200)로부터 최적 리드 전압 획득 커맨드(EEF)가 입력되면, 메모리 장치(100)는 특징 파라미터들(FP0 ~ FP7)에 저장된 최적 리드 전압들을 메모리 컨트롤러(200)에게 제공할 수 있다.
- [0164] 도 13은 본 발명의 일 실시 예에 따른 스토리지 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0165] 도 13에 도시된 방법은 예를 들어, 도 1에 도시된 스토리지 장치(50)에 의해 수행될 수 있다.
- [0166] 단계 S1301에서, 스토리지 장치(50)는 복수의 메모리 셀들에 대한 리드 동작을 수행할 수 있다.
- [0167] 단계 S1303에서, 스토리지 장치(50)는 복수의 메모리 셀들에 대한 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0168] 구체적으로, 스토리지 장치(50)는 리드 동작에 의해 리드된 데이터에 대해 에러 정정 디코딩을 수행하여 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0169] 단계 S1303에서의 판단 결과에 따라 리드 동작이 패스인 경우, 스토리지 장치(50)는 리드 동작을 종료할 수 있다.
- [0170] 이와 달리, 단계 S1303에서의 판단 결과에 따라 리드 동작이 페일된 경우, 스토리지 장치(50)는 하나 이상의 복구 알고리즘을 수행할 수 있다.
- [0171] 구체적으로, 단계 S1303에서의 판단 결과에 따라 리드 동작이 페일된 경우, 단계 S1305에서, 스토리지 장치(50)는 최적 리드 전압을 생성할 수 있다.
- [0172] 예를 들어, 스토리지 장치(50)는 리드 동작에 따라 산출된 셀 카운트 및 기 저장된 최적 리드 전압 정보에 기초하여 복구 알고리즘에 이용될 최적 리드 전압을 생성할 수 있다.
- [0173] 단계 S1307에서, 스토리지 장치(50)는 최적 리드 전압을 이용하여 복구 알고리즘에 대응되는 리드 동작을 수행할 수 있다.
- [0174] 단계 S1309에서, 스토리지 장치(50)는 최적 리드 전압에 대응되는 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0175] 구체적으로, 스토리지 장치(50)는 최적 리드 전압에 대응되는 리드 동작에 의해 리드된 데이터에 대해 에러 정정 디코딩을 수행하여 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0176] 단계 S1309에서의 판단 결과에 따라 리드 동작이 패스인 경우, 스토리지 장치(50)는 리드 동작을 종료할 수 있다.

- [0177] 이와 달리, 단계 S1309에서의 판단 결과에 따라 리드 동작이 페일된 경우, 스토리지 장치(50)는 최적 리드 전압을 다시 생성하고, 다시 생성된 최적 리드 전압을 이용하여 복구 알고리즘에 대응되는 리드 동작을 수행할 수 있다.
- [0179] 도 14는 본 발명의 일 실시 예에 따른 복구 알고리즘을 수행하는 방법을 설명하기 위한 순서도이다.
- [0180] 일 실시 예에서, 도 14에 도시된 방법은 도 13에 도시된 단계 S1305, S1307 및 S1309을 통해 설명된 복구 알고리즘 동작에 대한 방법을 설명하기 위한 도면일 수 있다.
- [0181] 도 14에 도시된 방법은 예를 들어, 도 1에 도시된 스토리지 장치(50)에 의해 수행될 수 있다.
- [0182] 단계 S1401에서, 스토리지 장치(50)는 디폴트 리드 전압을 이용하여 제1 복구 알고리즘에 대응되는 리드 동작을 수행할 수 있다. 일 실시 예에서, 제1 복구 알고리즘은 리드 리트라이일 수 있다.
- [0183] 단계 S1403에서, 스토리지 장치(50)는 디폴트 리드 전압을 이용한 리드 동작이 패스인지 여부를 판단할 수 있다. 예를 들어, 스토리지 장치(50)는 디폴트 리드 전압을 이용한 리드 동작을 통해 리드된 데이터에 대해 비트-플립(bit-flip) 방식의 에러 정정 디코딩을 수행할 수 있다. 이때, 스토리지 장치(50)는 에러 정정 디코딩의 패스/페일 여부에 기초하여 디폴트 리드 전압을 이용한 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0184] 단계 S1403에서의 판단 결과에 따라 디폴트 리드 전압을 이용한 리드 동작이 패스인 경우, 스토리지 장치(50)는 복구 알고리즘 동작을 종료할 수 있다.
- [0185] 이와 달리, 단계 S1403에서의 판단 결과에 따라 디폴트 리드 전압을 이용한 리드 동작이 페일인 경우, 단계 S1405에서, 스토리지 장치(50)는 디폴트 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성할 수 있다. 예를 들어, 스토리지 장치(50)는 디폴트 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 이후, 스토리지 장치(50)는 디폴트 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성할 수 있다.
- [0186] 단계 S1407에서, 스토리지 장치(50)는 제1 최적 리드 전압을 이용하여 제1 복구 알고리즘에 대응되는 리드 동작을 재수행할 수 있다.
- [0187] 단계 S1409에서, 스토리지 장치(50)는 제1 최적 리드 전압을 이용한 리드 동작이 패스인지 여부를 판단할 수 있다. 예를 들어, 스토리지 장치(50)는 제1 최적 리드 전압을 이용한 리드 동작을 통해 리드된 데이터에 대해 최소-합(min-sum) 방식의 에러 정정 디코딩을 수행할 수 있다. 이때, 스토리지 장치(50)는 에러 정정 디코딩의 패스/페일 여부에 기초하여 제1 최적 리드 전압을 이용한 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0188] 단계 S1409에서의 판단 결과에 따라 제1 최적 리드 전압을 이용한 리드 동작이 패스인 경우, 스토리지 장치(50)는 복구 알고리즘 동작을 종료할 수 있다.
- [0189] 이와 달리, 단계 S1409에서의 판단 결과에 따라 제1 최적 리드 전압을 이용한 리드 동작이 페일인 경우, 단계 S1411에서, 스토리지 장치(50)는 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성할 수 있다. 예를 들어, 스토리지 장치(50)는 제1 최적 리드 전압을 이용하여 복수의 메모리 셀들로부터 센싱된 전류와 기준 전류를 비교한 결과를 기초로 제1 최적 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다. 이후, 스토리지 장치(50)는 제1 최적 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제2 최적 리드 전압을 생성할 수 있다.
- [0190] 단계 S1413에서, 스토리지 장치(50)는 제2 최적 리드 전압을 이용하여 제2 복구 알고리즘에 대응되는 리드 동작을 수행할 수 있다. 일 실시 예에서, 제2 복구 알고리즘은 이부스트릴 수 있다.
- [0191] 단계 S1415에서, 스토리지 장치(50)는 제2 최적 리드 전압을 이용한 리드 동작이 패스인지 여부를 판단할 수 있다. 예를 들어, 스토리지 장치(50)는 제2 최적 리드 전압을 이용한 리드 동작을 통해 리드된 데이터에 대해 최소-합(min-sum) 방식의 에러 정정 디코딩을 수행할 수 있다. 이때, 스토리지 장치(50)는 에러 정정 디코딩의 패스/페일 여부에 기초하여 제2 최적 리드 전압을 이용한 리드 동작이 패스인지 여부를 판단할 수 있다.
- [0192] 단계 S1415에서의 판단 결과에 따라 제2 최적 리드 전압을 이용한 리드 동작이 패스인 경우, 스토리지 장치(50)는 복구 알고리즘 동작을 종료할 수 있다.

- [0193] 이와 달리, 단계 S1415에서의 판단 결과에 따라 제2 최적 리드 전압을 이용한 리드 동작이 폐일인 경우, 단계 S1417에서, 스토리지 장치(50)는 제2 최적 리드 전압을 기초로 복수의 소프트 리드 전압을 생성할 수 있다. 예를 들어, 스토리지 장치(50)는 제2 최적 리드 전압을 기준으로 일정한 오프셋을 갖는 복수의 소프트 리드 전압을 생성할 수 있다.
- [0194] 단계 S1419에서, 스토리지 장치(50)는 복수의 소프트 리드 전압들을 이용하여 제3 복구 알고리즘에 대응되는 리드 동작을 수행할 수 있다. 일 실시 예에서, 제3 복구 알고리즘은 소프트 디코딩일 수 있다.
- [0196] 도 15는 본 발명의 일 실시 예에 따른 메모리 장치의 동작 방법을 설명하기 위한 순서도이다.
- [0197] 도 15에 도시된 방법은 예를 들어, 도 1 및 도 2에 도시된 메모리 장치(100)에 의해 수행될 수 있다.
- [0198] 단계 S1501에서, 메모리 장치(100)는 복수의 메모리 셀들 중 복수의 메모리 셀들로부터 리드된 데이터를 기초로 제1 메모리 셀로 판독되는 메모리 셀들의 개수인 셀 카운트 값에 따라 결정된 최적 리드 전압 정보를 저장할 수 있다.
- [0199] 단계 S1503에서, 메모리 장치(100)는 메모리 컨트롤러로부터 최적 리드 전압 설정 커맨드를 수신할 수 있다.
- [0200] 단계 S1505에서, 메모리 장치(100)는 최적 리드 전압 설정 커맨드에 응답하여, 디폴트 리드 전압을 이용하여 복수의 메모리 셀들로부터 리드된 데이터를 기초로 디폴트 리드 전압에 대응되는 셀 카운트 값을 산출할 수 있다.
- [0201] 단계 S1507에서, 메모리 장치(100)는 디폴트 리드 전압에 대응되는 셀 카운트 값 및 최적 리드 전압 정보를 기초로 제1 최적 리드 전압을 생성할 수 있다.
- [0203] 도 16은 도 1의 메모리 컨트롤러를 설명하기 위한 도면이다.
- [0204] 도 1 및 도 16을 참조하면, 메모리 컨트롤러(200)는 프로세서(220), RAM(230), 에러 정정 회로(240), ROM(260), 호스트 인터페이스(270), 및 플래시 인터페이스(280)를 포함할 수 있다.
- [0205] 프로세서(220)는 메모리 컨트롤러(200)의 제반 동작을 제어할 수 있다. RAM(230)은 메모리 컨트롤러(200)의 버퍼 메모리, 캐시 메모리, 동작 메모리 등으로 사용될 수 있다.
- [0206] 에러 정정 회로(240)는 에러 정정을 수행할 수 있다. 에러 정정 회로(240)는 플래시 인터페이스(280)를 통해 메모리 장치에 기입될 데이터에 기반하여 에러 정정 인코딩(ECC encoding)을 수행할 수 있다. 에러 정정 인코딩된 데이터는 플래시 인터페이스(280)를 통해 메모리 장치로 전달될 수 있다. 에러 정정 회로(240)는 메모리 장치로부터 플래시 인터페이스(280)를 통해 수신되는 데이터에 대해 에러 정정 디코딩(ECC decoding)을 수행할 수 있다. 예시적으로, 에러 정정 회로(240)는 플래시 인터페이스(280)의 구성 요소로서 플래시 인터페이스(280)에 포함될 수 있다.
- [0207] ROM(260)은 메모리 컨트롤러(200)가 동작하는데 요구되는 다양한 정보들을 펌웨어 형태로 저장할 수 있다.
- [0208] 메모리 컨트롤러(200)는 호스트 인터페이스(270)를 통해 외부 장치(예를 들어, 호스트(300), 애플리케이션 프로세서 등)와 통신할 수 있다.
- [0209] 메모리 컨트롤러(200)는 플래시 인터페이스(280)를 통해 메모리 장치(100)와 통신할 수 있다. 메모리 컨트롤러(200)는 플래시 인터페이스(280)를 통해 커맨드(CMD), 어드레스(ADDR), 및 제어 신호(CTRL) 등을 메모리 장치(100)로 전송할 수 있고, 데이터(DATA)를 수신할 수 있다. 예시적으로, 플래시 인터페이스(280)는 낸드 인터페이스(NAND Interface)를 포함할 수 있다.
- [0211] 도 17은 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 메모리 카드 시스템을 보여주는 블록도이다.
- [0212] 도 17을 참조하면, 메모리 카드 시스템(2000)은 메모리 컨트롤러(2100), 메모리 장치(2200), 및 커넥터(2300)를 포함한다.
- [0213] 메모리 컨트롤러(2100)는 메모리 장치(2200)와 연결된다. 메모리 컨트롤러(2100)는 메모리 장치(2200)를 액세스하도록 구성된다. 예를 들어, 메모리 컨트롤러(2100)는 메모리 장치(2200)의 읽기, 쓰기, 소거, 그리고 배경

(background) 동작을 제어하도록 구성될 수 있다. 메모리 컨트롤러(2100)는 메모리 장치(2200) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 메모리 컨트롤러(2100)는 메모리 장치(2200)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다. 메모리 컨트롤러(2100)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)와 동일하게 구현될 수 있다. 메모리 장치(2200)는 도 2를 참조하여 설명된 메모리 장치(100)와 동일하게 구현될 수 있다.

[0214] 예시적으로, 메모리 컨트롤러(2100)는 램(RAM, Random Access Memory), 프로세싱 유닛(processing unit), 호스트 인터페이스(host interface), 메모리 인터페이스(memory interface), 에러 정정부와 같은 구성 요소들을 포함할 수 있다.

[0215] 메모리 컨트롤러(2100)는 커넥터(2300)를 통해 외부 장치와 통신할 수 있다. 메모리 컨트롤러(2100)는 특정한 통신 규격에 따라 외부 장치(예를 들어, 호스트)와 통신할 수 있다. 예시적으로, 메모리 컨트롤러(2100)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer system interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 다양한 통신 규격들 중 적어도 하나를 통해 외부 장치와 통신하도록 구성된다. 예시적으로, 커넥터(2300)는 상술된 다양한 통신 규격들 중 적어도 하나에 의해 정의될 수 있다.

[0216] 예시적으로, 메모리 장치(2200)는 EEPROM (Electrically Erasable and Programmable ROM), 낸드 플래시 메모리, 노어 플래시 메모리, PRAM (Phase-change RAM), ReRAM (Resistive RAM), FRAM (Ferroelectric RAM), STT-MRAM(Spin Transfer Torque-Magnetic RAM) 등과 같은 다양한 비휘발성 메모리 소자들로 구성될 수 있다.

[0217] 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 메모리 컨트롤러(2100) 및 메모리 장치(2200)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro, eMMC), SD 카드(SD, miniSD, microSD, SDHC), 범용 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.

[0219] 도 18은 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 SSD(Solid State Drive) 시스템을 보여주는 블록도이다.

[0220] 도 18을 참조하면, SSD 시스템(3000)은 호스트(3100) 및 SSD(3200)를 포함한다. SSD(3200)는 신호 커넥터(3001)를 통해 호스트(3100)와 신호(SIG)를 주고 받고, 전원 커넥터(3002)를 통해 전원(PWR)을 입력 받는다. SSD(3200)는 SSD 컨트롤러(3210), 복수의 플래시 메모리들(3221~322n), 보조 전원 장치(3230), 및 버퍼 메모리(3240)를 포함한다.

[0221] 본 발명의 실시 예에 따르면, SSD 컨트롤러(3210)는 도 1을 참조하여 설명된 메모리 컨트롤러(200)의 기능을 수행할 수 있다.

[0222] SSD 컨트롤러(3210)는 호스트(3100)로부터 수신된 신호(SIG)에 응답하여 복수의 플래시 메모리들(3221~322n)을 제어할 수 있다. 예시적으로, 신호(SIG)는 호스트(3100) 및 SSD(3200)의 인터페이스에 기반된 신호들일 수 있다. 예를 들어, 신호(SIG)는 USB (Universal Serial Bus), MMC (multimedia card), eMMC(embedded MMC), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer system interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), 파이어와이어(Firewire), UFS(Universal Flash Storage), WIFI, Bluetooth, NVMe 등과 같은 인터페이스들 중 적어도 하나에 의해 정의된 신호일 수 있다.

[0223] 보조 전원 장치(3230)는 전원 커넥터(3002)를 통해 호스트(3100)와 연결된다. 보조 전원 장치(3230)는 호스트(3100)로부터 전원(PWR)을 입력 받고, 충전할 수 있다. 보조 전원 장치(3230)는 호스트(3100)로부터의 전원 공급이 원활하지 않을 경우, SSD(3200)의 전원을 제공할 수 있다. 예시적으로, 보조 전원 장치(3230)는 SSD(3200) 내에 위치할 수도 있고, SSD(3200) 밖에 위치할 수도 있다. 예를 들면, 보조 전원 장치(3230)는 메인 보드에 위치하며, SSD(3200)에 보조 전원을 제공할 수도 있다.

[0224] 버퍼 메모리(3240)는 SSD(3200)의 버퍼 메모리로 동작한다. 예를 들어, 버퍼 메모리(3240)는 호스트(3100)로부터

터 수신된 데이터 또는 복수의 플래시 메모리들(3221~322n)로부터 수신된 데이터를 임시 저장하거나, 플래시 메모리들(3221~322n)의 메타 데이터(예를 들어, 매핑 테이블)를 임시 저장할 수 있다. 버퍼 메모리(3240)는 DRAM, SDRAM, DDR SDRAM, LPDDR SDRAM, GRAM 등과 같은 휘발성 메모리 또는 FRAM, ReRAM, STT-MRAM, PRAM 등과 같은 비휘발성 메모리들을 포함할 수 있다.

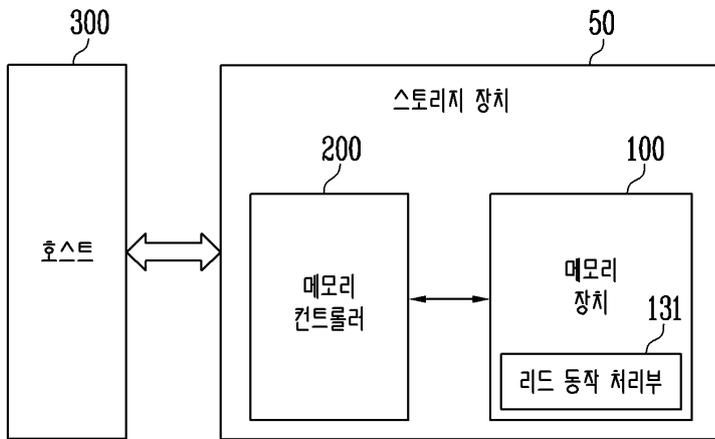
- [0226] 도 19는 본 발명의 일 실시 예에 따른 스토리지 장치가 적용된 사용자 시스템을 보여주는 블록도이다.
- [0227] 도 19를 참조하면, 사용자 시스템(4000)은 애플리케이션 프로세서(4100), 메모리 모듈(4200), 네트워크 모듈(4300), 스토리지 모듈(4400), 및 사용자 인터페이스(4500)를 포함한다.
- [0228] 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들, 운영체제(OS; Operating System), 또는 사용자 프로그램 등을 구동시킬 수 있다. 예시적으로, 애플리케이션 프로세서(4100)는 사용자 시스템(4000)에 포함된 구성 요소들을 제어하는 컨트롤러들, 인터페이스들, 그래픽 엔진 등을 포함할 수 있다. 애플리케이션 프로세서(4100)는 시스템-온-칩(SoC; System-on-Chip)으로 제공될 수 있다.
- [0229] 메모리 모듈(4200)은 사용자 시스템(4000)의 주 메모리, 동작 메모리, 버퍼 메모리, 또는 캐쉬 메모리로 동작할 수 있다. 메모리 모듈(4200)은 DRAM, SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM, LPDDR SDRAM, LPDDR2 SDRAM, LPDDR3 SDRAM 등과 같은 휘발성 랜덤 액세스 메모리 또는 PRAM, ReRAM, MRAM, FRAM 등과 같은 비휘발성 랜덤 액세스 메모리를 포함할 수 있다. 예시적으로 애플리케이션 프로세서(4100) 및 메모리 모듈(4200)은 POP(Package on Package)를 기반으로 패키징되어 하나의 반도체 패키지로 제공될 수 있다.
- [0230] 네트워크 모듈(4300)은 외부 장치들과 통신을 수행할 수 있다. 예시적으로, 네트워크 모듈(4300)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), WCDMA(wideband CDMA), CDMA-2000, TDMA(Time Division Multiple Access), LTE(Long Term Evolution), Wimax, WLAN, UWB, 블루투스, Wi-Fi 등과 같은 무선 통신을 지원할 수 있다. 예시적으로, 네트워크 모듈(4300)은 애플리케이션 프로세서(4100)에 포함될 수 있다.
- [0231] 스토리지 모듈(4400)은 데이터를 저장할 수 있다. 예를 들어, 스토리지 모듈(4400)은 애플리케이션 프로세서(4100)로부터 수신한 데이터를 저장할 수 있다. 또는 스토리지 모듈(4400)은 스토리지 모듈(4400)에 저장된 데이터를 애플리케이션 프로세서(4100)로 전송할 수 있다. 예시적으로, 스토리지 모듈(4400)은 PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), NAND flash, NOR flash, 3차원 구조의 NAND 플래시 등과 같은 비휘발성 반도체 메모리 소자로 구현될 수 있다. 예시적으로, 스토리지 모듈(4400)은 사용자 시스템(4000)의 메모리 카드, 외장형 드라이브 등과 같은 탈착식 저장 매체(removable drive)로 제공될 수 있다.
- [0232] 예시적으로, 스토리지 모듈(4400)은 복수의 비휘발성 메모리 장치들을 포함할 수 있고, 복수의 비휘발성 메모리 장치들은 도 1을 참조하여 설명된 메모리 장치(100)와 동일하게 동작할 수 있다. 스토리지 모듈(4400)은 도 1을 참조하여 설명된 스토리지 장치(50)와 동일하게 동작할 수 있다.
- [0233] 사용자 인터페이스(4500)는 애플리케이션 프로세서(4100)에 데이터 또는 명령어를 입력하거나 또는 외부 장치로 데이터를 출력하는 인터페이스들을 포함할 수 있다. 예시적으로, 사용자 인터페이스(4500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 압전 소자 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(4500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모니터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.

**부호의 설명**

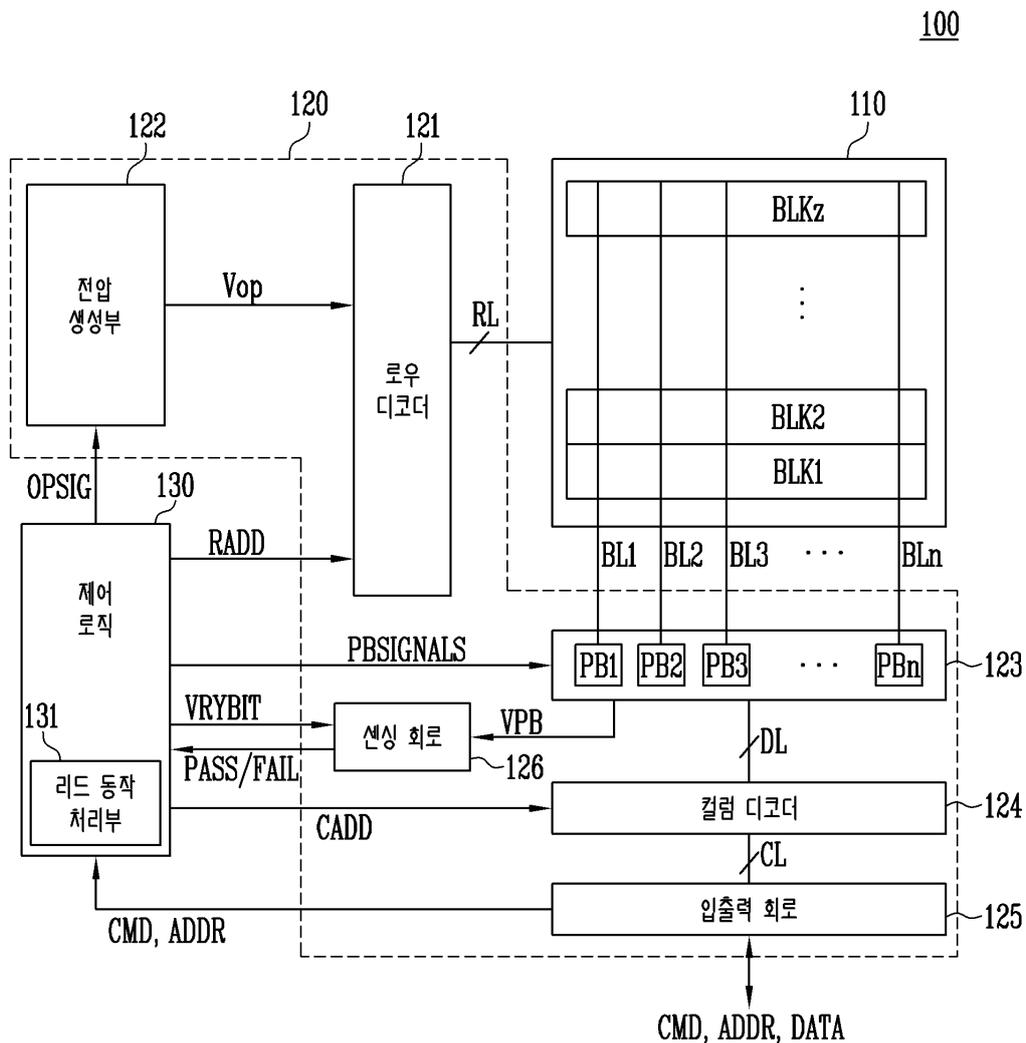
- [0235] 50: 스토리지 장치
- 100: 메모리 장치
- 200: 메모리 컨트롤러
- 300: 호스트

도면

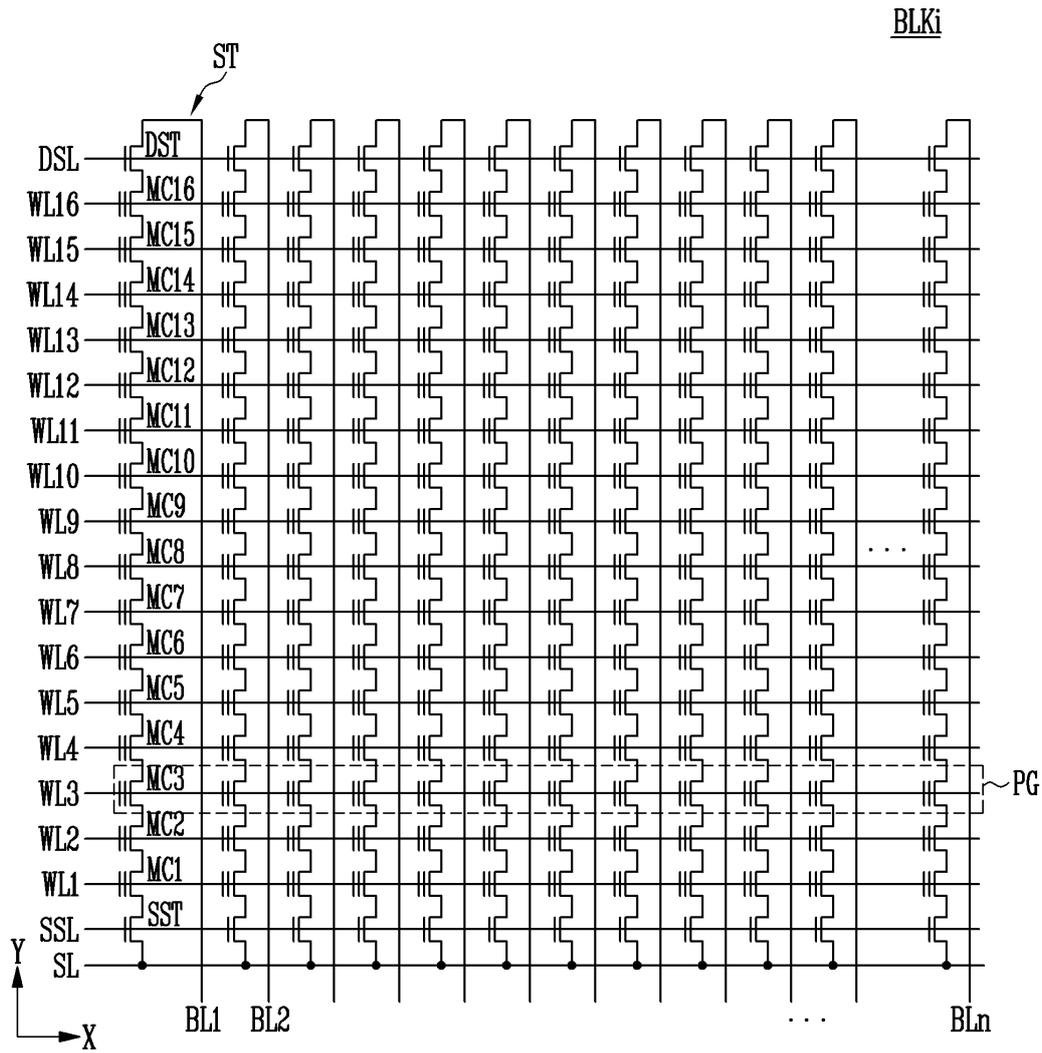
도면1



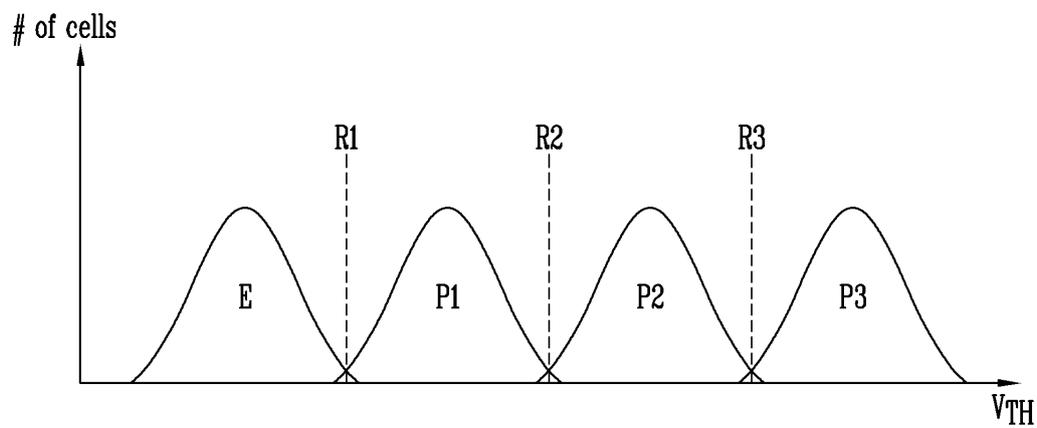
도면2



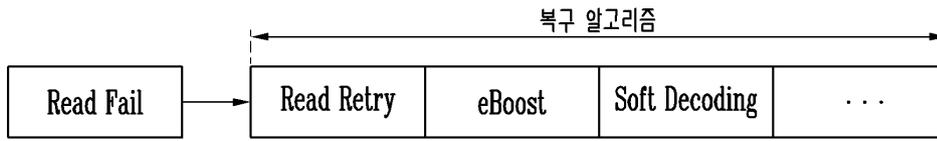
도면3



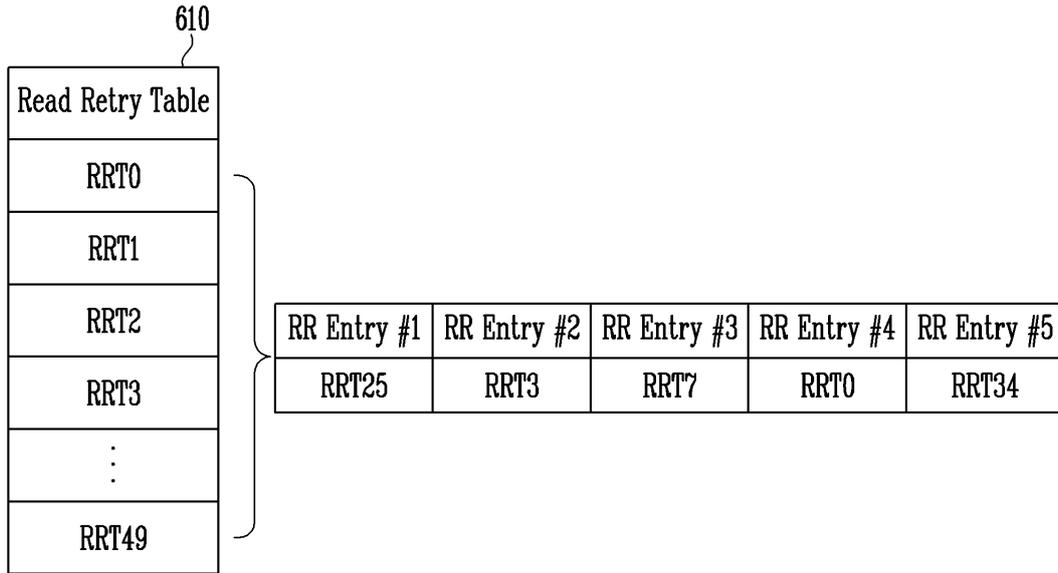
도면4



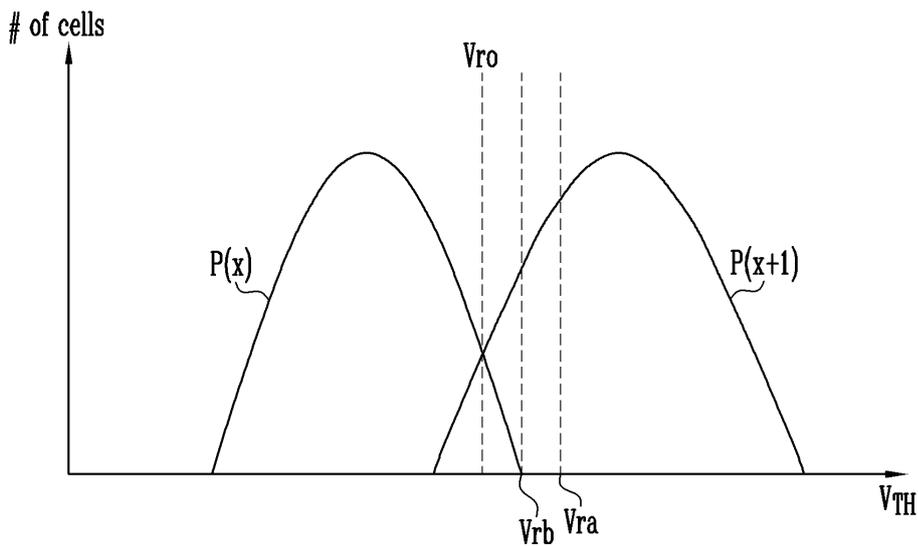
도면5



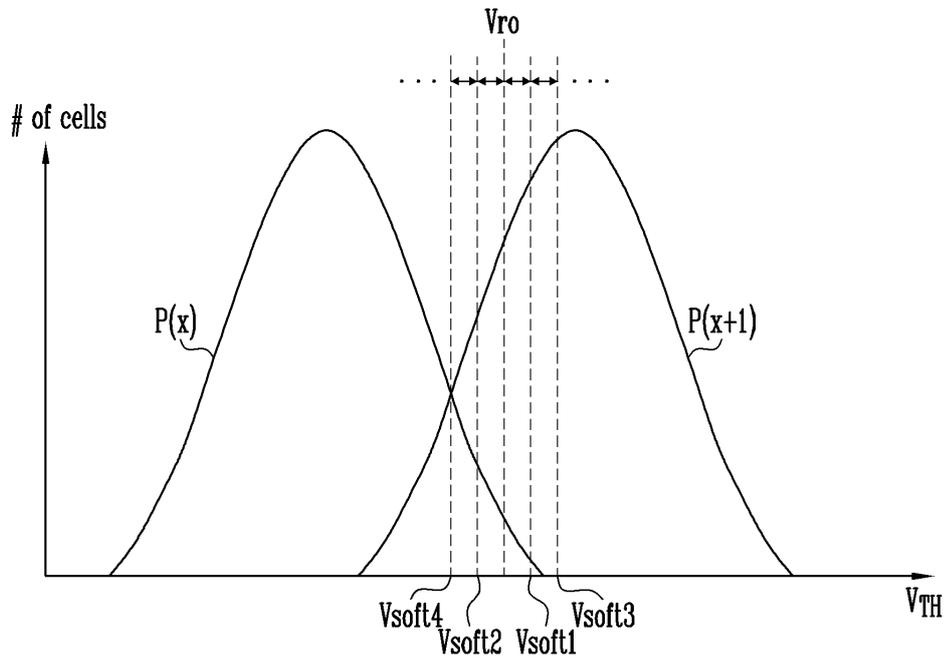
도면6



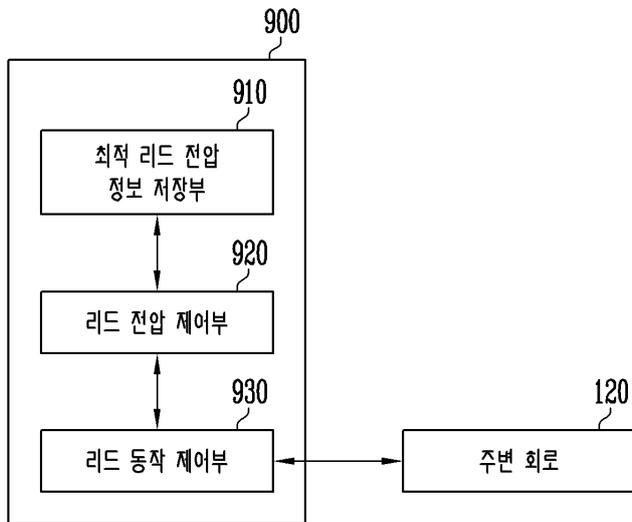
도면7



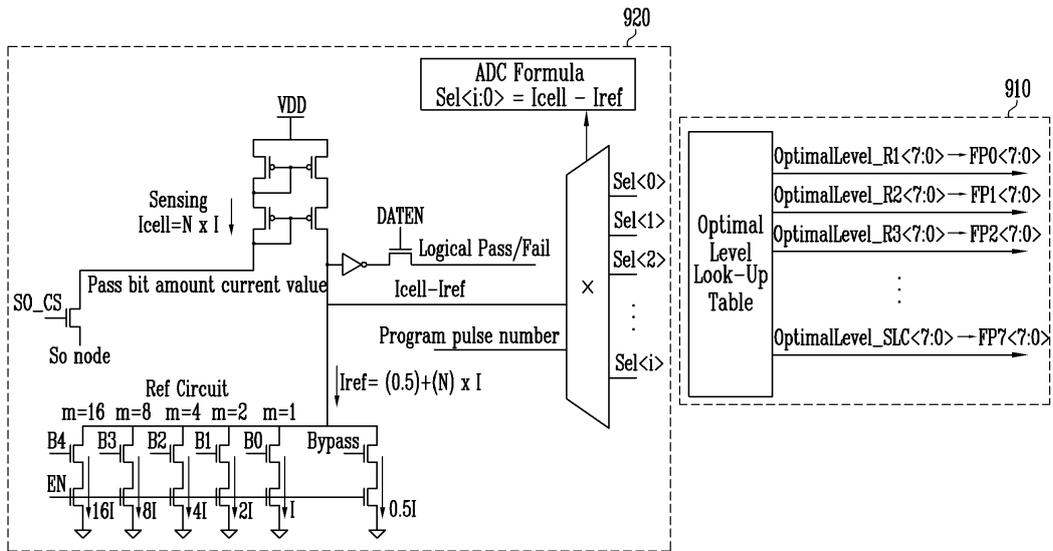
도면8



도면9



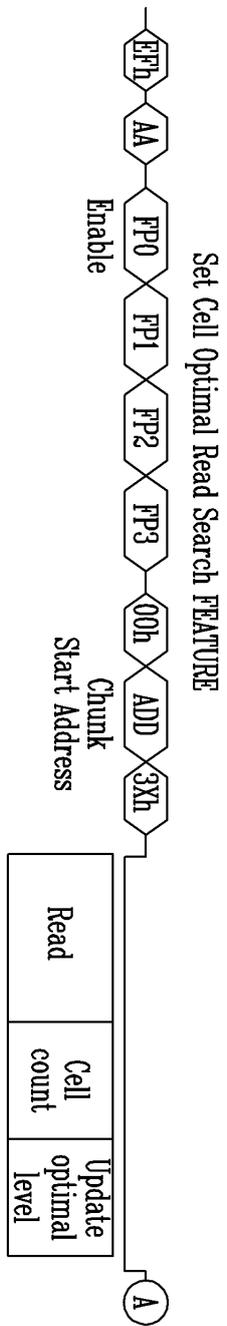
도면10



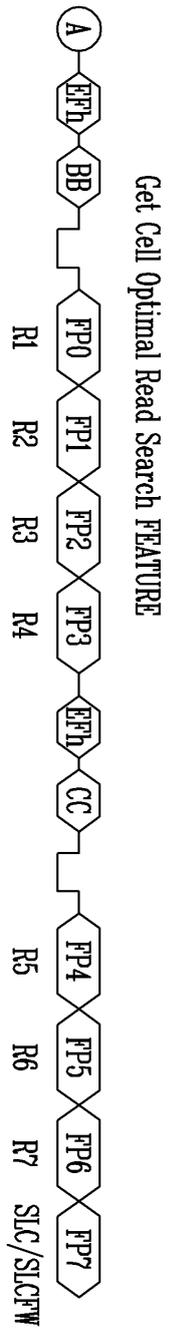
도면11

	Sel <1>	Sel <2>	Sel <3>	⋯	Sel <i>
Read Retry	3	-	2.0	-	-
eBoost	3.5	-	1.1	-	-
Cell Count	1	5	20	-	-

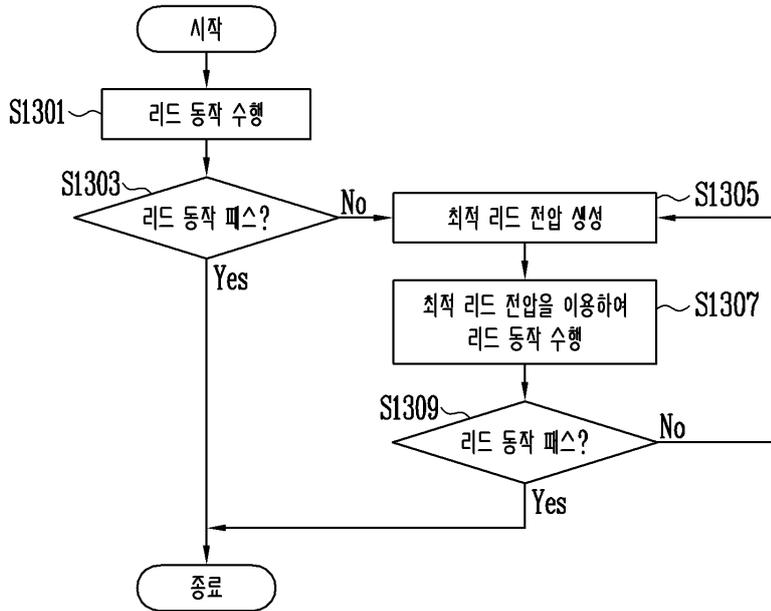
도면12a



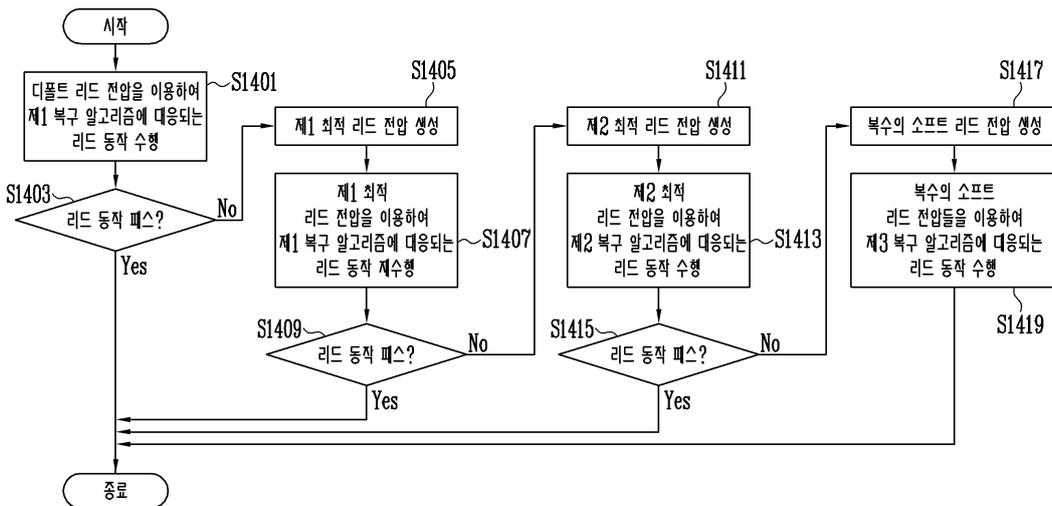
도면12b



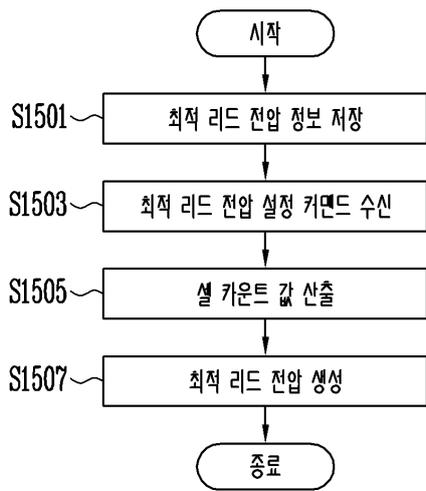
도면13



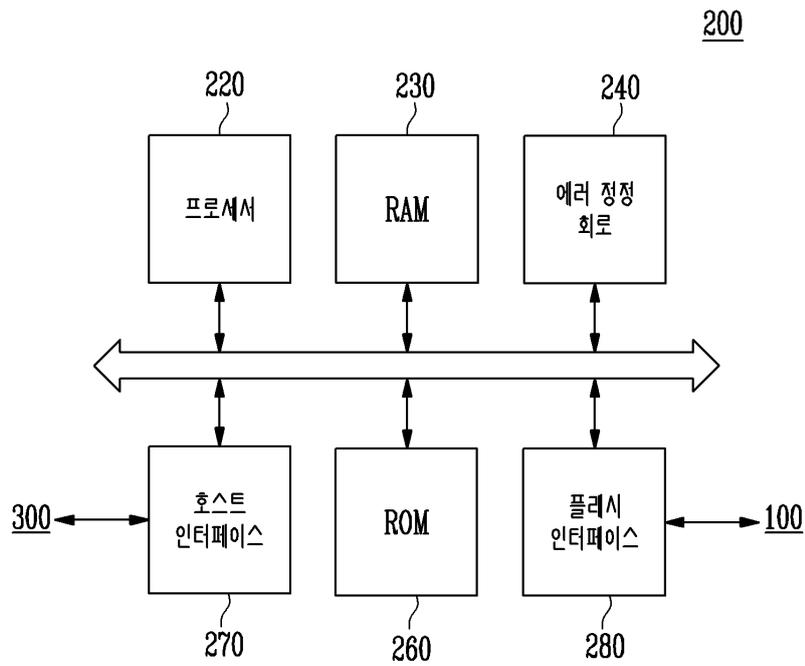
도면14



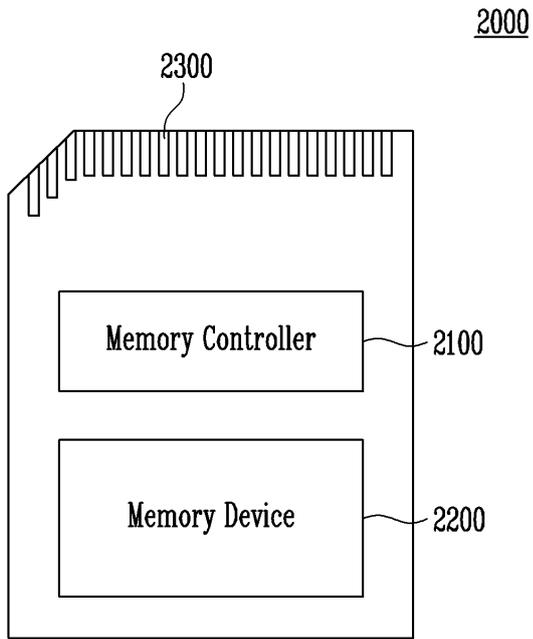
도면15



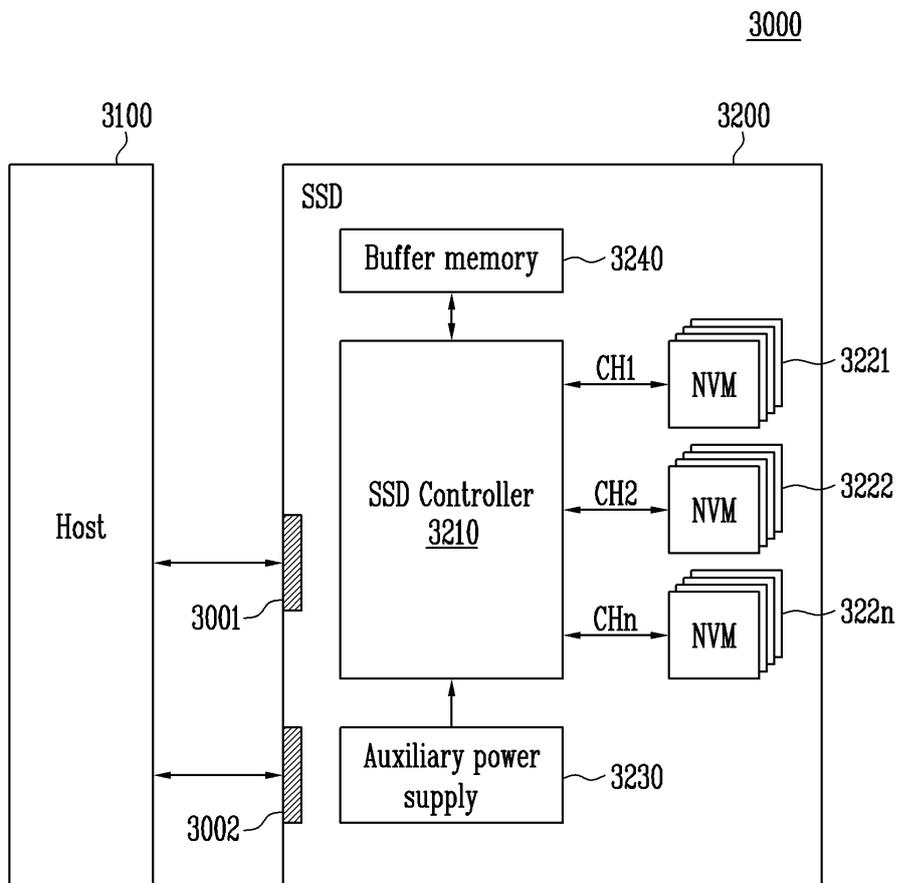
도면16



도면17



도면18



도면19

4000

