

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P3125638

※申請日期：P3. 8. 26

※IPC 分類：

H01G 4/12 4/30

一、發明名稱：(中文/英文)

疊層型電子部件及其製法 /

STACKING ELECTRONICS DEVICES AND PRODUCING METHODS

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

京瓷公司 / KYOCERA CORPORATION

代表人：(中文/英文)(簽章) 西口泰夫 / Yasuo NISHIGUCHI

住居所或營業所地址：(中文/英文)

日本國 612-8501 京都府 京都市 伏見區 竹田鳥羽殿町 6 號 /

6, Takedatobadono-cho, Fushimi-ku, Kyoto-shi, Kyoto 612-8501 Japan

國籍：(中文/英文) 日本 / Japan

三、發明人：(共 1 人)

姓名：(中文/英文)

山口 勝義 / Katsuyoshi Yamaguchi

國籍：(中文/英文)

日本 / Japan

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本、2003.08.27、2003-302923

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

疊層型電子部件及其製法

一種疊層型電子部件，是在交互層疊多個電介質層和內部電極層而形成的電子部件主體的端面上具有外部電極的疊層型電子部件，所述電介質層中的一部分電介質層為比其他的電介質層厚度更大的電介質層。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件符號簡單說明：

電子部件主體 1

端面 2

外部電極 3

5 內部電極層 7

電介質層 5、10

較厚電介質層 8

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明涉及疊層型電子部件及其製法，特別涉及像疊層陶瓷電容器那樣電介質層及內部電極層被薄層、多層化的疊層型電子部件及其製法。

5

【先前技術】

近年來，作為疊層型電子部件的一種的疊層陶瓷電容器，為了小型、高容量化，已經實現了電介質層及內部電極層的薄層、多層化（例如特開平 11-251173）。

10

但是，以往的疊層型電子部件由於電介質層及內部電極層的薄層化和內部電極層相對於電介質層的面積佔有率的擴大化，電介質層之間的結合區域逐漸變小，由此產生電子部件主體的機械強度降低的問題。另外，電介質層的厚度和內部電極層的厚度差變小，在疊層工序中，由於電介質生片（green sheet）難以吸收內部電極圖案的階梯部分，因此在疊層後或燒成後，會產生在電子部件主體的層間容易發生分離的問題。

15

【發明內容】

20

本發明的目的在於，提供即使將電介質層及內部電極層薄層多層化也可以提高電子部件主體的機械強度並且抑制層間產生分離的疊層型電子部件及其製法。

本發明的疊層型電子部件是在交互層疊多個電介質層和內部電極層而形成的電子部件主體的端面上具有外部電

極的疊層型電子部件，其特徵是，所述電介質層中的一部分電介質層為比其他的電介質層厚度更大的電介質層。

這樣，即使將電介質層及內部電極層薄層多層化，也可以提高電子部件主體的機械強度，並且可以抑制層間的分離。

該疊層型電子部件中，所述較厚的電介質層與所述其他的電介質層的層構成比（厚的電介質層的層數/其他的電介質層的層數）優選為 $1/5 \sim 1/20$ 。

另外，所述疊層型電子部件中，所述較厚的電介質層和所述其他的電介質層最好為同質材料。另外，在將所述其他的電介質層的厚度設為 t_1 ，將所述較厚的電介質層的厚度設為 t_2 時，優選滿足 $t_2/t_1 \geq 1.2$ 的關係。

通過像這樣將厚的電介質層的材質與其他的電介質層設為同質，另外將厚度比率如上設定，就可以使其他的電介質層與較厚的電介質層一體化，進而可以提高強度。

本發明適於所述其他的電介質層為薄層的情況，具體來說，適於其他的電介質層的厚度在 $3\mu\text{m}$ 以下，特別適於 $1 \sim 2\mu\text{m}$ 的情況。另外，所述內部電極層的厚度優選 $2\mu\text{m}$ 以下，特別優選 $0.1 \sim 1.8\mu\text{m}$ 。

另外，本發明的疊層型電子部件中，在將構成所述其他的電介質層的陶瓷的晶粒的平均結晶粒徑設為 ϕ_1 ，將構成所述較厚的電介質層的陶瓷的晶粒的平均結晶粒徑設為 ϕ_2 時，最好滿足 $\phi_2/\phi_1 \geq 1.1$ 的關係，所述內部電極層最好為金屬箔，金屬箔最好為電鍍膜。

所述疊層型電子部件中，由於構成電介質層的晶粒的粒徑越大，則電介質的介電常數就越高，因此通過將構成電介質的平均結晶粒徑設為所述範圍，就可以抑制由增厚一部分的電介質層的厚度而帶來的靜電電容的降低。

5 另外，本發明中，如果用電鍍膜形成內部電極層，則可以形成均質，減小厚度不均，並且可以增大有效面積，另外還可以使內部電極層極薄。

本發明的疊層型電子部件的製法的特徵是，具有準備至少含有電介質粉末的電介質生片和厚度比該電介質生片更厚的電介質生片的工序、在所述電介質生片及所述較厚電介質生片上分別形成內部電極圖案的工序、將形成了該內部電極圖案的所述電介質生片及所述較厚電介質生片層疊而形成疊層成形體的工序、切割該疊層成形體而形成電子部件主體成形體並燒成的工序。

15 根據此種製法，即使將電介質生片或內部電極圖案薄層化，由於插設有厚度較大的電介質生片，因此可以提高電介質生片上的內部電極圖案的埋入性，由此可以消除由內部電極圖案造成的階梯，即使在疊層及燒成後，也可以容易地防止層離。

20 另外，本發明的製法中，所述較厚電介質生片和所述電介質生片的層構成比（較厚電介質生片的層數/電介質生片的層數）最好為 $1/5 \sim 1/20$ ，所述較厚電介質生片和所述電介質生片最好為同質材料，當將所述電介質生片的厚度設為 $tG1$ ，將所述較厚電介質生片的厚度設為 $tG2$ 時，最好

滿足 $tG2/tG1 \geq 1.2$ 的關係，在將構成所述電介質生片的電介質粉末的平均粒徑設為 $\phi G1$ ，將構成所述較厚的電介質生片的電介質粉末的平均粒徑設為 $\phi G2$ 時，最好滿足 $\phi G2/\phi G1 \geq 1.1$ 的關係，內部電極圖案最好為金屬箔，金屬箔最好為電鍍膜。

通過像所述那樣，電介質生片及較厚電介質生片中分別所含的電介質粉末為如上所述的粒徑比 ($\phi 2/\phi 1 \geq 1.1$)，則即使將一部分的電介質生片加厚，也可以抑制燒成收縮率，從而可以減小燒成前後的內部應力。

本發明如上所述，即使將電介質層及內部電極層薄層多層化，也可以提高電子部件主體的機械強度，並且可以抑制層間的分離。

【實施方式】

對於本發明的疊層型電子部件的一個實施方式進行詳細說明。第一圖是作為本發明的疊層型電子部件的代表例的疊層陶瓷電容器的概略剖面圖。該疊層型電子部件在電子部件主體 1 的兩個端面 2 上形成有外部電極 3。電子部件主體 1 是將電介質層 10 和內部電極層 7 交互層疊而構成的。內部電極層 7 在電子部件主體 1 的相同的端面 2 上與外部電極 3 交互連接。

此外，本發明中，十分重要的是，電介質層 10 當中的一部分電介質層為比其他的電介質層 5 更厚的電介質層 8。另外，將所述其他的電介質層 5 的厚度設為 $t1$ ，將所述

較厚電介質層 8 的厚度設為 t_2 時的 t_2/t_1 比更優選為 1.2 以上。

另外，根據提高所述其他的電介質層 5 和所述較厚電介質層 8 的燒結性，使機械強度提高的理由，較厚電介質層 8 最好與其他的電介質層 5 為同質材料。這裏，所謂「同質材料」是指，主成分由相同元素構成的材料。

另外，將構成其他的電介質層 5 的陶瓷的晶粒的平均結晶粒徑設為 ϕ_1 ，將構成較厚的電介質層 8 的陶瓷的晶粒的平均結晶粒徑設為 ϕ_2 時的 ϕ_2/ϕ_1 比優選在 1.1 以上，更優選在 1.15 以上。具體來說，平均結晶粒徑 ϕ_1 為 $0.1\sim 1\mu\text{m}$ 左右較好，平均結晶粒徑 ϕ_2 為 $0.2\sim 1.2\mu\text{m}$ 左右較好。另一方面，在未將比其他電介質層 5 更厚的電介質層 8 插設在電子部件主體 1 中的情況下，則無法實現電子部件 1 的機械強度的提高。

這裏，本發明中，所謂「薄層多層化」是指，其他的電介質層 5 的厚度在 $3\mu\text{m}$ 以下，內部電極層 7 的厚度在 $2\mu\text{m}$ 以下，電介質層及內部電極層分別被層疊 100 層以上。本發明適於此種被薄層、多層化了的疊層型電子部件。特別優選其他的電介質層 5 的厚度為 $1\sim 2\mu\text{m}$ ，內部電極層 7 的厚度為 $0.1\sim 1.8\mu\text{m}$ 。

另外，本發明中，較厚電介質層 8 和其他的電介質層 5 的層構成比（較厚電介質層 8 的層數/其他電介質層 5 的層數）優選為 $1/5\sim 1/20$ 。

電介質層 5、8 例如為包括以 BaTiO_3 等為主成分的結

晶相的陶瓷層。

構成本發明的電子部件主體 1 的內部電極層 7 最好為金屬箔，另外，最好由電鍍膜形成。另外，該電鍍膜優選以賤金屬材料為主成分，特別更優選 Ni、Cu 當中的任意 1
5 種或它們的合金。

下面對作為本發明的疊層型電子部件的一個適用例的疊層陶瓷電容器的製法進行說明。第二圖 (a) ~ (d) 是用於製造該疊層陶瓷電容器的工序圖。

(a) 首先，在 BaTiO_3 等電介質粉末中添加混合燒結
10 助劑、粘合劑、溶劑等而調製了陶瓷料漿後，將該陶瓷料漿塗佈在承載薄膜 (carrier film) 51 上，形成電介質生片 53a。另外，本發明中，重要的是，準備比電介質生片 53a 更厚的電介質生片 53b。根據容易進行與電介質生片 53a 的一體燒成的理由，該較厚電介質生片 53b 與電介質生片
15 53a 最好為同質材料。另外，將電介質生片 53a 的厚度設為 $tG1$ ，將較厚電介質生片 53b 的厚度設為 $tG2$ 時的 $tG2/tG1$ 比最好在 1.2 以上。

另外，將構成電介質生片 53a 的電介質粉末的平均粒
徑設為 $\phi G1$ ，將構成較厚的電介質生片 53b 的電介質粉末
20 的平均粒徑設為 $\phi G2$ 時的 $\phi G2/\phi G1$ 比更優選在 1.1 以上。

而且，本發明中，電介質生片 53a 的厚度最好在 $12\mu\text{m}$ 以下，特別是根據疊層型電子部件的小型、大容量化的理由，優選 $1.5\sim 5\mu\text{m}$ 的範圍。

(b) 然後，在電介質生片 53a 及較厚電介質生片 53b

上，分別形成內部電極圖案 54a、54b。此時，內部電極圖案 54a、54b 的有效面積優選 60% 以上，特別優選 65% 以上。另外，為了消除由形成於電介質生片 53a 及較厚電介質生片 53b 上的內部電極圖案 54a、54b 造成的階梯，也可以沿著該內部電極圖案 54a、54b 的周圍塗佈有機樹脂等。而且，該有機樹脂的塗佈厚度最好按照與內部電極圖案 54a、54b 的厚度相當的方式形成。

(c) 然後，將形成了該內部電極圖案 54a、54b 的電介質生片 53a 及較厚電介質生片 53b 以特定的構成層疊多層，然後，在該上下面，通過層疊多層未形成內部電極圖案的電介質生片 53a 並進行加熱加壓，製作成疊層成形體 57。

該疊層成形體 57 的電介質生片 53a 及較厚電介質生片 53b 的層構成比（較厚電介質生片 53b 的層數/電介質生片 53a 的層數）更優選為 $1/5 \sim 1/20$ 。

另外，如第二圖(c)及第三圖所示，內部電極圖案 54a、54b 由規則地排列於電介質生片 53a 及較厚電介質生片 53b 的表面的多個內部電極構成。另外，內部電極圖案 54a 和內部電極圖案 54b 以內部電極的長度方向的大約一半的長度相對錯開而層疊。而且，第三圖中，雖然為了方便，按照內部電極圖案 54b 比內部電極圖案 54a 更寬的方式進行描繪，但是它們的寬度優選相同。

(d) 然後，將該疊層成形體 57 沿著第二圖(c)及第三圖所示的切割部位 C 切割成格子狀，一次製成多個電子

部件主體成形體 59。切割部位 C 是穿過構成內部電極圖案 54a 的各內部電極之間而與電介質生片 53a、53b 垂直的面或穿過構成內部電極圖案 54b 的各內部電極之間而與電介質生片 53a、53b 垂直的面。

5 將所得的電子部件主體成形體 59 在大氣中 250~300 °C 下或在氧氣分壓 0.1~1Pa 的低氧氣氣氛中 500~800°C 下進行了脫粘合劑處理後，在非氧化性氣氛中 1250~1350°C 下燒成 2~3 小時，製作成電子部件主體 1。另外，為了獲得所需的介電特性，在氧氣分壓為 0.1~10⁻⁴Pa 左右的低氧
10 氣分壓下，在 900~1100°C 下進行 5~15 小時的熱處理。

最後，在所得的電子部件主體 1 的端面 11 上塗佈外部電極糊狀物，進行烘烤，形成外部電極 3。繼而，在該外部電極 3 上形成 Ni 鍍膜及 Sn 鍍膜，製成疊層陶瓷電容器。而且，作為本發明中使用的內部電極圖案 54，不僅可以使用
15 金屬糊狀物的印刷膜，而且還可以使用鍍膜、濺射膜、蒸鍍膜當中的任意一種。

[工業上的利用可能性]

本發明適於作為小型高容量的疊層陶瓷電容器。

20 [實施例]

下面雖然將舉出實施例及比較例來進一步詳細說明，但是，本發明並不限定於以下的實施例。

如下製作了作為疊層型電子部件的一種的疊層陶瓷電容器。首先，準備以 BaTiO₃ 為主成分並達到表 1 所示的結

晶徑比（平均結晶粒徑比）的平均粒徑的電介質粉末，分別調製各個由電介質粉末和有機粘結劑、溶劑構成的陶瓷料漿，製作了厚度不同的 2 種生片（電介質生片及較厚電介質生片）。電介質生片的厚度設為 $3.5\mu\text{m}$ ，較厚電介質生片的厚度按照燒成後的電介質層的厚度比（ t_2/t_1 ）達到表 1 所示的比率的方式進行了調整。構成較厚電介質生片的電介質粉末的平均粒徑 ϕG_2 設為 $0.5\mu\text{m}$ ，構成電介質生片的電介質粉末的平均粒徑 ϕG_1 按照燒成後的電介質層的平均結晶粒徑比（ ϕ_2/ϕ_1 ）達到表 1 所示的比率的方式進行了調整。

然後，對於內部電極圖案，使用實施了鏡面加工的不銹鋼板制基板平板，在其表面塗佈感光性抗蝕劑樹脂，在曝光、清洗後，形成了掩模圖案。

其後，在將該不銹鋼板制基板平板浸漬在 Ni 鍍液中的狀態下進行電鍍處理，形成了 $4\text{mm}\times 1\text{mm}$ 、平均厚度為 $0.5\mu\text{m}$ 的以 Ni 為主成分的金屬膜。

其後，在 80°C 、 $80\text{kg}/\text{cm}^2$ 的條件下，將所述內部電極圖案熱壓接轉印到該所述電介質生片及較厚電介質生片上，製成形成了內部電極圖案的電介質生片及較厚電介質生片。內部電極相對於各電介質層的有效面積設定為 65%。

然後，將轉印了該內部電極圖案的電介質生片及較厚電介質生片以表 1 所示的構成比層疊共 200 片，利用溫度 100°C 、壓力 $80\text{kgf}/\text{cm}^2$ 的條件下的層疊壓制製成了層疊成形體。

其後，將該疊層成形體切割成格子狀，得到了電子部件主體成形體。在該電子部件主體成形體的端面，內部電極圖案的一端交互露出。另外，沒有位置偏移地形成了沿厚度方向重疊而被層疊的內部電極層的電極圖案。

5 然後，在將該電子部件主體成形體在大氣中以 300°C 或在氧氣分壓為 0.1~1Pa 的低氧氣氣氛中以 500°C 進行了脫
10 粘合劑處理後，在氧氣分壓為 10^{-7} Pa 的非氧化性氣氛中以 1300°C 燒成 2 小時，繼而，在氧氣分壓為 0.01Pa 的低氧氣分壓下以 1000°C 實施 10 小時的再氧化處理，得到了電子部件主體。

最後，對如上獲得的電子部件主體，在露出內部電極層並形成了延伸部的各端面上塗佈了含有玻璃粉末的 Cu 糊狀物後，在氮氣氣氛中，以 900°C 進行烘烤。其後，形成 Ni 鍍層及 Sn 鍍層，形成與內部電極層電連接的外部電極，
15 製成疊層陶瓷電容器。

所得的疊層陶瓷電容器的外形尺寸為：寬 1.25mm，長 2.0mm，厚 1.25mm，夾在內部電極層間的電介質層當中，作為所述電介質生片的燒結體的電介質層的厚度 t_1 為 2.5 μ m，作為所述較厚電介質生片的燒結體的電介質層的厚度 t_2 與厚度 t_1 的比率為表 1 所示的值。
20

在燒成後，對於所得的疊層陶瓷電容器，對 100 個試樣分別進行了靜電電容和層離的評價。層離是對截面研磨後的樣品進行評價。機械強度是對各 20 個進行了三點彎曲強度實驗。將各自的測定結果表示在表 1 中。

另一方面，作為比較例，製作了由厚度在全層都均一的電介質層（厚度 $2.5\mu\text{m}$ ）構成的疊層型電子部件，用與本發明相同的方法進行了評價。

5 表 1

試樣 No	較厚電介質 層的插設	$t2/t1^{*2}$	結晶 徑比	層構成比	靜電 電容	層離	機械 強度
	有、無		$\phi 2/\phi 1$	較厚電介質 層/電介質層 ^{*3}	μF	個 /100	kgf
*1	無	—	—	—	4.9	5/100	9.5
2	有	1.1	1	0.1	4.87	2/100	10
3	有	1.2	1	0.1	4.83	0/100	10.4
4	有	2	1	0.1	4.8	0/100	10.6
5	有	5	1	0.1	4.7	0/100	11
6	有	1.2	1.1	0.1	4.85	0/100	10.5
7	有	1.2	1.15	0.1	4.86	0/100	10.7
8	有	1.2	1.15	0.2	4.82	0/100	11.5

*標記表示本發明的範圍外的試樣。

*2：較厚電介質層厚度/電介質層厚度

*3：較厚電介質層的層數/電介質層的層數

10 從表 1 的結果可以清楚看到，具有厚度較厚的電介質
層的試樣 No.2~8 中，靜電電容在 $4.7\mu\text{F}$ 以上，層離在 2/100
個以下，機械強度在 10kgf 以上。特別是，使電介質層的厚
度 $t1$ 與較厚電介質層的厚度 $t2$ 的比 $t2/t1$ 在 1.2 以上的試樣
15 No.3~8 中，靜電電容在 $4.7\mu\text{F}$ 以上，並且沒有層離，機械
強度高達 10.4kgf。另一方面，具有未插設較厚電介質層的全層由相同厚度（ $2.5\mu\text{m}$ ）的電介質層構成的電子部件主體

的試樣 No.1 中，靜電電容雖然高達 $4.9\mu\text{F}$ ，但是層離的發生數多達 10/100 個，機械強度也低至 9.5kgf。

【圖式簡單說明】

第一圖是作為本發明的疊層型電子部件的代表例的疊層陶瓷電容器的概略剖面圖。

第二圖是用於製造本發明的疊層型電子部件的工序圖。

第三圖是表示切割疊層成形體時的切割部位的俯視圖。

【主要元件符號說明】

10	電子部件主體 1	
	端面 2	外部電極 3
	內部電極層 7	電介質層 5、10
	較厚電介質層 8	
	端面 11	
15	承載薄膜 51	
	電介質生片 53a、53b	
	內部電極圖案 54	
	內部電極圖案 54a、54b	
	疊層成形體 57	電子部件主體成形體 59
20	切割部位 C	

十、申請專利範圍：

1. 一種疊層型電子部件，是在交互層疊多個電介質層和內部電極層而形成的電子部件主體的端面上具有外部電極的疊層型電子部件，其特徵是，所述電介質層中的一部分電介質層為比其他的電介質層厚度更大的電介質層，
5 並且在將所述其他的電介質層的厚度設為 t_1 ，將所述厚度較厚的電介質層的厚度設為 t_2 時，滿足 $t_2/t_1 \geq 1.2$ 的關係，在將構成所述其他的電介質層的陶瓷的晶粒的平均結晶粒徑設為 ϕ_1 ，將構成所述厚度較厚的電介質層的陶瓷的晶粒的平均結晶粒徑設為 ϕ_2 時，滿足 $\phi_2/\phi_1 \geq 1.1$ 的關係。

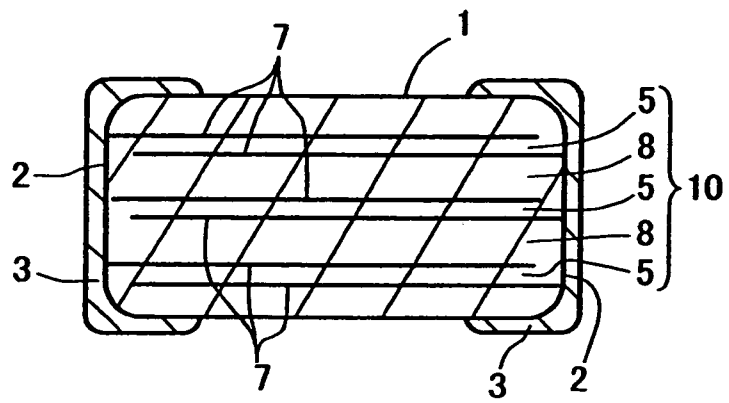
10 2. 依據申請專利範圍第 1 項所述的疊層型電子部件，其特徵是，所述厚度較厚的電介質層與所述其他的電介質層的層構成比，即較厚電介質層的層數/其他的電介質層的層數為 $1/5 \sim 1/20$ 。

15 3. 一種疊層型電子部件的製法，其特徵是，具有準備至少含有電介質粉末的電介質生片和厚度比該電介質生片更厚的電介質生片的工序、在所述電介質生片及所述厚度較厚的電介質生片上分別形成內部電極圖案的工序、將形成了該內部電極圖案的所述電介質生片及所述厚度較厚的電介質生片層疊而形成疊層成形體的工序、切割該疊層成形體而形成電子部件主體成形體並燒成的工序，
20

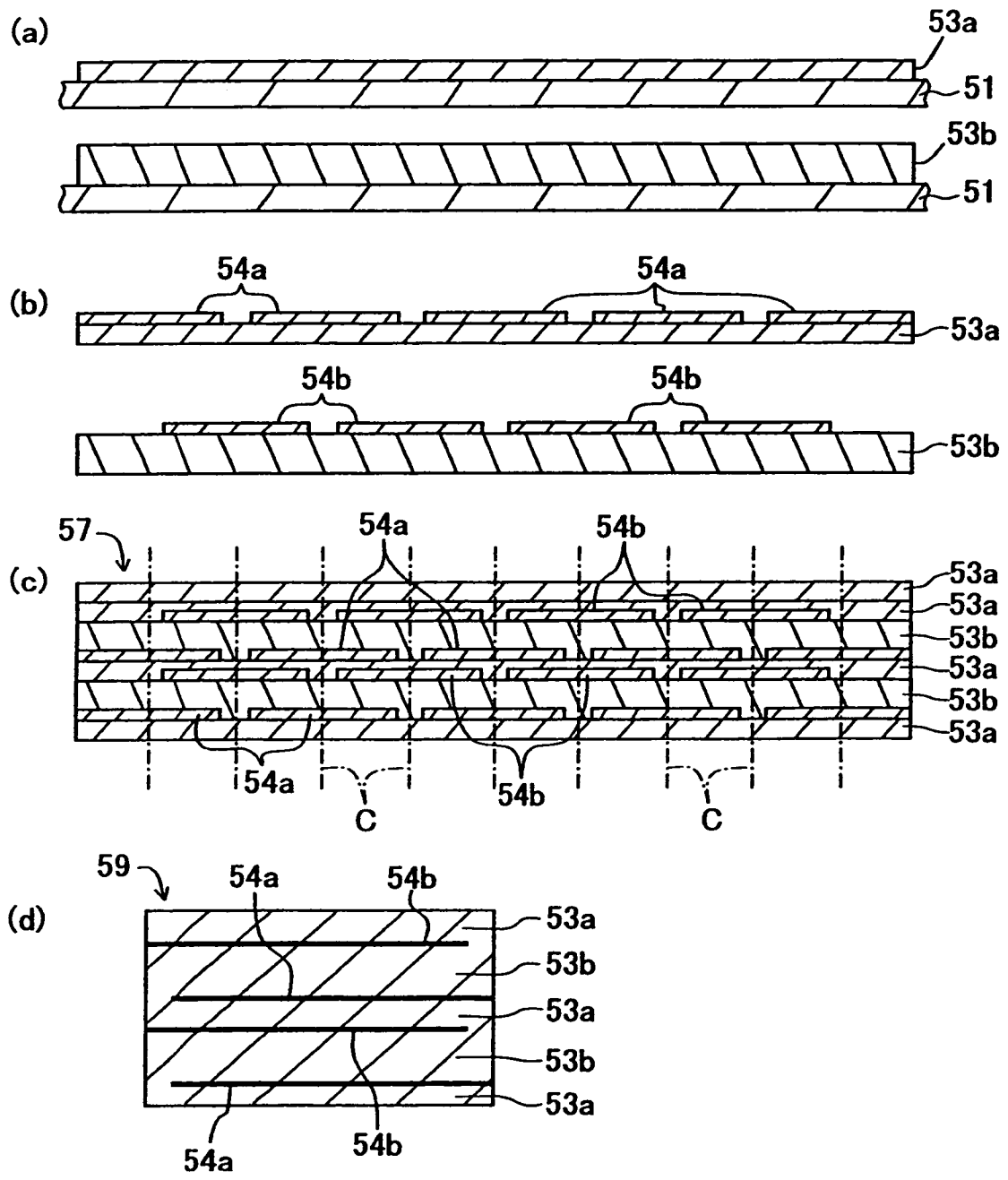
其中當將所述電介質生片的厚度設為 t_{G1} ，將所述厚度較厚的電介質生片的厚度設為 t_{G2} 時，滿足 $t_{G2}/t_{G1} \geq 1.2$ 的關係，在將構成所述電介質生片的電介質粉末的平均粒徑設為 ϕ_{G1} ，將構成所述厚度較厚的電介質生片的電介質

粉末的平均粒徑設為 $\phi G2$ 時，滿足 $\phi G2/\phi G1 \geq 1.1$ 的關係。

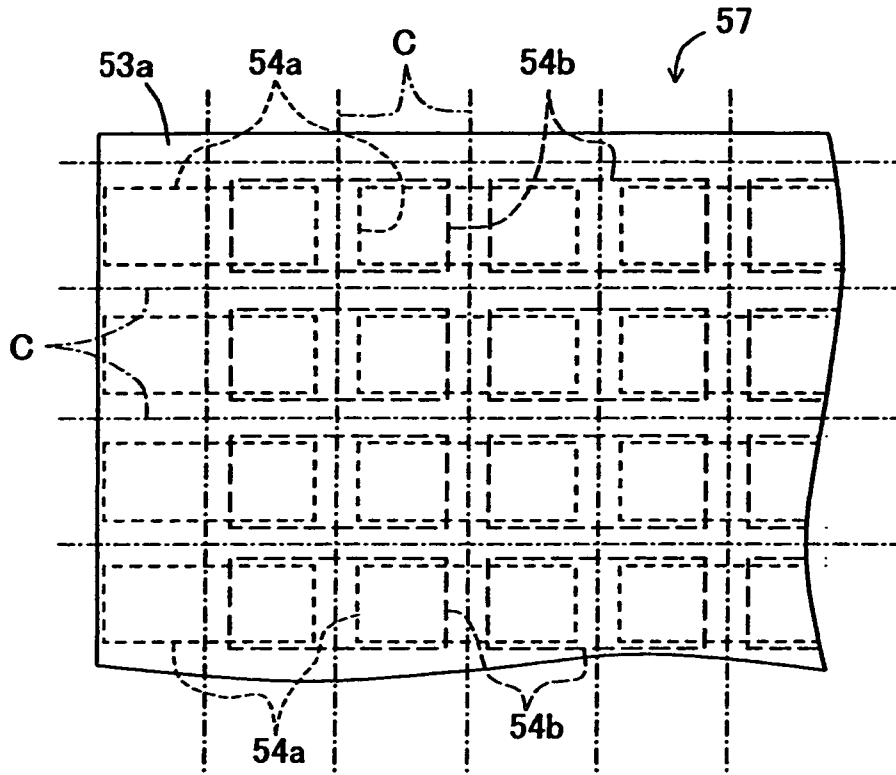
4. 依據申請專利範圍第 3 項中所述的疊層型電子部件的製法，其特徵是，所述厚度較厚電介質生片和所述電介質生片的層構成比，即較厚電介質生片的層數/電介質生片的層數為 $1/5 \sim 1/20$ 。



第一圖



第二圖



第三圖