(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월21일
(11) 등록번호 10-1452957
(24) 등록일자 2014년10월14일

(51) 국제특허분류(Int. Cl.)
G11C 13/02 (2006.01) *G11C 7/18* (2006.01)
(21) 출원번호 10-2008-0015918
(22) 출원일자 2008년02월21일
심사청구일자 2013년01월31일
(65) 공개번호 10-2009-0090601
(43) 공개일자 2009년08월26일
(56) 선행기술조사문헌
KR1020080060936 A
US7190615 B2

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최병길
경기도 용인시 기흥구 한일로 11, 진성맨션 201호 (공세동)
조백형
경기도 화성시 병점4로 104, 주공11단지 1106-1104 (진안동, 진안골마을)
(74) 대리인
리앤목특허법인

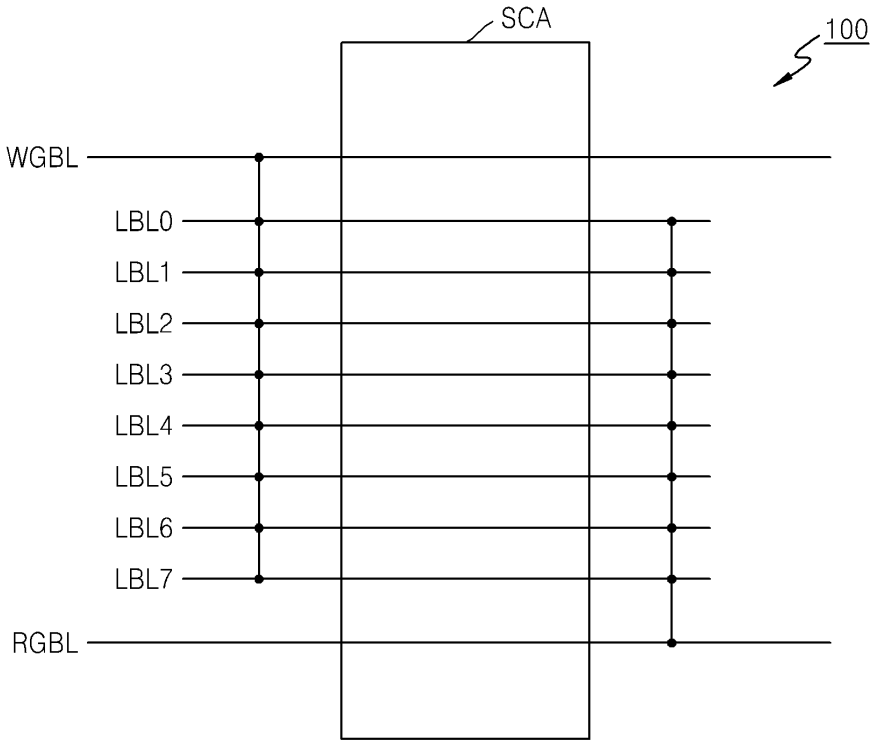
전체 청구항 수 : 총 10 항 심사관 : 손윤식

(54) 발명의 명칭 **리드 와일 라이트 동작시 커플링 노이즈를 방지할 수 있는상 변화 메모리 장치**

(57) 요 약

리드 와일 라이트 동작시 커플링 노이즈를 방지할 수 있는 상 변화 메모리 장치가 개시된다. 본 발명의 실시예에 따른 반도체 메모리 장치는 임의의 로컬 비트 라인들과 연결되는 적어도 하나 이상의 기입 글로벌 비트 라인 및 상기 로컬 비트 라인들과 연결되는 적어도 하나 이상의 독출 글로벌 비트 라인을 구비한다. 본 발명에 따른 상 변화 메모리 장치는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인을 각각 구비함으로써, 리드 와일 라이트 동작시 발생하는 커플링 노이즈를 최소화할 수 있는 장점이 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 메모리 장치에 있어서,

임의의 로컬 비트 라인들과 연결되는 복수개의 기입 글로벌 비트 라인; 및

상기 로컬 비트 라인들과 연결되는 복수개의 독출 글로벌 비트 라인을 구비하고,

상기 복수개의 기입 글로벌 비트 라인 중 적어도 하나의 기입 글로벌 비트 라인 및 상기 복수개의 독출 글로벌 비트 라인 중 적어도 하나의 독출 글로벌 비트 라인은 서로 인접하여 위치하고,

상기 인접하여 위치하는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인 사이의 거리는, 상기 복수개의 기입 글로벌 비트 라인 중 인접하여 위치하는 기입 글로벌 비트 라인들 사이의 거리 또는 상기 복수개의 독출 글로벌 비트 라인 중 인접하여 위치하는 독출 글로벌 비트 라인들 사이의 거리보다 긴 것을 특징으로 하는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 반도체 메모리 장치는,

복수개의 뱅크들을 구비하고,

상기 뱅크들은,

스택 구조로 구비되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서, 상기 반도체 메모리 장치는,

상 변화 메모리 장치인 것을 특징으로 하는 반도체 메모리 장치.

청구항 4

제 1 항에 있어서,

인접하여 위치하는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인 사이에 실딩 수단을 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서, 상기 실딩 수단은,

접지 전압이 인가되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 6

제 5 항에 있어서, 상기 실딩 수단은,

전원 전압 또는 승압 전압이 인가되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

반도체 메모리 장치에 있어서,

임의의 로컬 비트 라인들과 연결되는 복수개의 기입 글로벌 비트 라인; 및

상기 로컬 비트 라인들과 연결되는 복수개의 독출 글로벌 비트 라인을 구비하고,

상기 복수개의 기입 글로벌 비트 라인들 중 인접하여 위치하는 기입 글로벌 비트 라인들을 제 1 기입 글로벌 비트 라인 그룹 및 제 2 기입 글로벌 비트 라인 그룹이라 할 때,

상기 복수개의 독출 글로벌 비트 라인은,

상기 제 1 기입 글로벌 비트 라인 그룹 및 상기 제 2 기입 글로벌 비트 라인 그룹 사이에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

반도체 메모리 장치에 있어서,

다수의 로컬 비트 라인에 연결되는 적어도 하나의 기입 글로벌 비트 라인;

상기 다수의 로컬 비트 라인에 연결되는 적어도 하나의 독출 글로벌 비트 라인;

기입 동작시 대응되는 로컬 비트 라인을 활성화하는 제 1 선택 수단; 및

독출 동작시 대응되는 로컬 비트 라인을 활성화하는 제 2 선택 수단을 구비하고,

상기 제 1 선택 수단은,

대응되는 로컬 비트 라인에 한 쌍씩 구비되고,

상기 제 2 선택 수단은,

대응되는 로컬 비트 라인에 하나씩 구비되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 선택 수단은,

대응되는 로컬 비트 라인의 양단에 구비되고,

상기 제 2 선택 수단은,

대응되는 로컬 비트 라인의 일단에 구비되는 것을 특징으로 하는 반도체 메모리 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

반도체 메모리 장치에 있어서,

다수의 로컬 비트 라인에 연결되는 적어도 하나의 기입 글로벌 비트 라인;

상기 다수의 로컬 비트 라인에 연결되는 적어도 하나의 독출 글로벌 비트 라인;

기입 동작시 대응되는 로컬 비트 라인을 활성화하는 제 1 선택 수단; 및

독출 동작시 대응되는 로컬 비트 라인을 활성화하는 제 2 선택 수단을 구비하고,

상기 제1 선택 수단은 다수의 제1 비트 라인 선택 수단을 포함하고, 상기 다수의 제1 비트 라인 선택 수단은 각각, 상기 다수의 로컬 비트 라인 중 대응되는 하나에 연결되고,

상기 제2 선택 수단은 다수의 제2 비트 라인 선택 수단을 포함하고, 상기 다수의 제2 비트 라인 선택 수단은 각각, 상기 다수의 로컬 비트 라인 중 대응되는 하나에 연결되고,

상기 로컬 비트 라인들과 연결되는 메모리 셀들을 제 1 서브 메모리 셀 어레이 및 제 2 서브 메모리 셀 어레이라 할 때,

상기 제 1 선택 수단 및 상기 제 2 선택 수단은 각각,

상기 제 1 서브 메모리 셀 어레이 및 상기 제 2 서브 메모리 셀 어레이 사이에 위치하는 것을 특징으로 하는 반도체 메모리 장치.

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 상 변화 메모리 장치에서의 리드 와일 라이트(Read While Write) 동작시 발생하는 커플링 노이즈(coupling noise)를 방지할 수 있는 상 변화 메모리 장치에 관한 것이다.

배 경 기 술

[0002] 반도체 메모리 장치는 리드 와일 라이트 동작을 채택할 수 있다. 리드 와일 라이트 동작이란 하나의 뱅크(또는 하나의 메모리 영역)에 대한 기입 동작을 하는 동안, 다른 뱅크(또는 다른 메모리 영역)에 대한 독출 동작을 수행하는 것을 말한다.

[0003] 특히, 스택 구조와 같이, 뱅크들이 수직적으로 구현되는 상 변화 메모리 장치에서는 층을 달리하는 하나의 뱅크에 기입 동작을 하는 동작, 다른 뱅크에서의 독출 동작을 수행함으로써, 상 변화 메모리 장치의 집적도의 향상 및 속도의 증가 요구를 충족할 수 있다.

[0004] 그런데, 리드 와일 라이트 동작 동안, 하나의 글로벌 비트 라인에는 기입 전압이 인가되고 다른 글로벌 비트 라인에는 독출 전압이 인가되므로, 두 개의 글로벌 비트 라인들이 인접하여 위치한다면, 각각 서로 다른 기입 전압 및 독출 전압이 인가됨에 따른 커플링 노이즈가 발생할 수 있다.

[0005] 이와 같은 커플링 노이즈는 메모리 셀에 저장되는 데이터의 값을 변화시킬 수 있어, 반도체 메모리 장치의 신뢰성 측면에서 문제된다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명이 이루고자하는 기술적 과제는 리드 와일 라이트 동작시 발생하는 커플링 노이즈를 방지할 수 있는 상 변화 메모리 장치를 제공하는 것에 있다.

과제 해결수단

[0007] 상기 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 반도체 메모리 장치는 임의의 로컬 비트 라인들과 연결되는 적어도 하나 이상의 기입 글로벌 비트 라인 및 상기 로컬 비트 라인들과 연결되는 적어도 하나 이상의 독출 글로벌 비트 라인을 구비한다.

[0008] 바람직하게는, 상기 반도체 메모리 장치는 복수개의 뱅크들을 구비한다. 이때, 상기 뱅크들은 스택 구조로 구비될 수 있다. 또한, 상기 반도체 메모리 장치는 상 변화 메모리 장치일 수 있다.

[0009] 바람직하게는, 상기 반도체 메모리 장치는 인접하여 위치하는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인 사이에 실딩 수단을 더 구비할 수 있다. 이때, 상기 실딩 수단에는 접지 전압이 인가될 수 있다. 또는, 상기 실딩 수단에는 전원 전압 또는 승압 전압이 인가될 수 있다.

[0010] 나아가, 상기 실딩 수단은 인접하여 위치하는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인 사이를 임의의 거리만큼 이격시키는 공간으로 구비될 수 있다. 이때, 상기 임의의 거리는, 상기 반도체 메모리 장치가 복수개의 기입 글로벌 비트 라인들 또는 독출 글로벌 비트 라인들을 구비한다고 할 때, 인접하여 위치하는 기입 글로벌 비트 라인들 사이의 거리 또는 인접하여 위치하는 독출 글로벌 비트 라인들 사이의 거리보다 길 수 있다.

[0011] 바람직하게는, 상기 독출 글로벌 비트 라인은 대응되는 기입 글로벌 비트 라인과 상기 로컬 비트 라인들을 사이에 두고 구비될 수 있다. 또는, 복수개의 기입 글로벌 비트 라인들 중 인접하여 위치하는 기입 글로벌 비트 라인들을 제 1 기입 글로벌 비트 라인 그룹 및 제 2 기입 글로벌 비트 라인 그룹이라 할 때, 상기 적어도 하나 이상의 독출 글로벌 비트 라인은, 상기 제 1 기입 글로벌 비트 라인 그룹 및 상기 제 2 기입 글로벌 비트 라인 그룹 사이에 위치할 수 있다.

[0012] 나아가, 복수개의 독출 글로벌 비트 라인들 중 인접하여 위치하는 독출 글로벌 비트 라인들을 제 1 독출 글로벌 비트 라인 그룹 및 제 2 독출 글로벌 비트 라인 그룹이라 할 때, 상기 기입 글로벌 비트 라인 그룹 및 상기 독출 글로벌 비트 라인 그룹은, 번갈아 위치할 수 있다.

[0013] 바람직하게는, 상기 반도체 메모리 장치가 복수개의 기입 글로벌 비트 라인들 및 독출 글로벌 비트 라인들을 구비할 때, 상기 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인은 번갈아 위치할 수 있다. 또는, 상기 기입 글로벌 비트 라인들 및 독출 글로벌 비트 라인들은 각각, 끼리끼리 위치할 수 있다.

[0014] 상기 기술적 과제를 해결하기 위한 본 발명의 실시예에 따른 반도체 메모리 장치는 임의의 로컬 비트 라인들과 연결되는 적어도 하나 이상의 기입 글로벌 비트 라인 및 상기 로컬 비트 라인들과 연결되는 적어도 하나 이상의

독출 글로벌 비트 라인을 구비하고, 로컬 비트 라인들은 각각, 기입 동작시 대응되는 로컬 비트 라인을 활성화하는 제 1 선택 수단 및 독출 동작시 대응되는 로컬 비트 라인을 활성화하는 제 2 선택 수단을 구비한다.

[0015] 바람직하게는, 상기 제 1 선택 수단은 대응되는 로컬 비트 라인에 한 쌍씩 구비되고, 상기 제 2 선택 수단은 대응되는 로컬 비트 라인에 하나씩 구비될 수 있다. 이때, 상기 제 1 선택 수단은 대응되는 로컬 비트 라인의 양단에 구비되고, 상기 제 2 선택 수단은 대응되는 로컬 비트 라인의 일단에 구비될 수 있다. 또는, 상기 로컬 비트 라인들과 연결되는 메모리 셀들을 제 1 서브 메모리 셀 어레이 및 제 2 서브 메모리 셀 어레이라 할 때, 상기 제 1 선택 수단은 대응되는 로컬 비트 라인의 양단 또는 대응되는 로컬 비트 라인의 일단과 상기 제 1 서브 메모리 셀 어레이 및 상기 제 2 서브 메모리 셀 어레이 사이에 위치하고, 상기 제 2 선택 수단은 상기 제 1 서브 메모리 셀 어레이 및 상기 제 2 서브 메모리 셀 어레이 사이에 위치할 수 있다.

[0016] 바람직하게는, 상기 제 1 선택 수단 및 상기 제 2 선택 수단은 각각, 대응되는 로컬 비트 라인에 하나씩 구비될 수 있다. 이때, 상기 제 1 선택 수단은 대응되는 로컬 비트 라인의 일단에 구비되고, 상기 제 2 선택 수단은 대응되는 로컬 비트 라인의 타단에 구비될 수 있다. 또는, 상기 제 1 선택 수단 및 상기 제 2 선택 수단은 각각, 상기 제 1 서브 메모리 셀 어레이 및 상기 제 2 서브 메모리 셀 어레이 사이에 위치할 수 있다.

[0017] 바람직하게는, 상기 제 1 선택 수단 및 상기 제 2 선택 수단은 각각, 대응되는 로컬 비트 라인에 한 쌍씩 구비될 수 있다. 이때, 상기 제 1 선택 수단 및 상기 제 2 선택 수단은 각각, 대응되는 로컬 비트 라인의 양단에 구비될 수 있다. 또는, 상기 제 1 선택 수단 및 상기 제 2 선택 수단은 각각, 대응되는 로컬 비트 라인의 일단과 상기 제 1 서브 메모리 셀 어레이 및 상기 제 2 서브 메모리 셀 어레이 사이에 위치할 수 있다.

[0018] 바람직하게는, 상기 제 1 선택 수단은 기입 동작시 활성화되는 제 1 제어 신호에 의해 게이팅되는 피모스 트랜지스터 또는 엔모스 트랜지스터일 수 있다. 또한, 상기 제 2 선택 수단은, 독출 동작시 활성화되는 제 2 제어 신호에 의해 게이팅되는 엔모스 트랜지스터일 수 있다.

효 과

[0019] 본 발명에 따른 상 변화 메모리 장치는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인을 각각 구비하고, 인접하여 위치하는 기입 글로벌 비트 라인과 독출 글로벌 비트 라인 사이에 일정한 공간을 두거나 파워 라인으로 실딩(shielding)함으로써, 리드 와일 라이트 동작시 발생하는 커플링 노이즈를 최소화할 수 있는 장점이 있다.

[0020] 나아가, 본 발명에 따른 상 변화 메모리 장치는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인을 각각 구비함에 있어, 로컬 비트 라인들에 연결되는 독출 선택 수단들 및 기입 선택 수단들 또한 따로 구비함으로써, 반도체 메모리 장치의 동작 특성을 더욱 향상시킬 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0021] 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

[0022] 이하, 첨부한 도면을 참조하여 본 발명이 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

[0023] 도 1은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0024] 도 1을 참조하면, 본 발명의 제 1 실시예에 따른 반도체 메모리 장치(100)는 일정한 영역에 위치하는 메모리 셀들(SCA)과 연결되는 임의의 로컬 비트 라인들(LBL0 ~ LBL7)을 구비한다. 또한, 반도체 메모리 장치(100)는 로컬 비트 라인들(LBL0 ~ LBL7)과 연결되는 적어도 하나 이상의 기입 글로벌 비트 라인(WGBL) 및 로컬 비트 라인들(LBL0 ~ LBL7)과 연결되는 적어도 하나 이상의 독출 글로벌 비트 라인(RGBL)을 구비한다. 바람직하게는, 도 1에 도시된 바와 같이, 기입 글로벌 비트 라인(WGBL)과 독출 글로벌 비트 라인(RGBL)은 로컬 비트 라인들(LBL0 ~ LBL7)을 사이에 두고 구비될 수 있다.

[0025] 이때, 본 발명의 실시예에 따른 반도체 메모리 장치(100)는 상 변화 메모리 장치일 수 있다. 또한, 도 2에 도시되는 바와 같이, 복수개의 뱅크들(BANK0 ~ BANK3)이 스택 구조로 구비될 수 있다.

[0026] 도 2는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0027] 도 2를 참조하면, 본 발명의 제 2 실시예에 따른 반도체 메모리 장치(200)는인접하여 위치하는 기입 글로벌 비트 라인(WGBL3 또는 WGBL4) 및 독출 글로벌 비트 라인(RGBL0 또는 RGBL7) 사이에 실딩 수단(220 또는 240)을

더 구비할 수 있다. 이때, 실딩 수단(220, 240)에는 도 2에 도시되는 바와 같이, 접지 전압(GND)이 인가될 수 있다.

[0028] 이렇게, 인접하여 위치하는 기입 글로벌 비트 라인(WGBL3 또는 WGBL4) 및 독출 글로벌 비트 라인(RGBL0 또는 RGBL7) 사이에 실딩 수단(220 또는 240)을 구비하면, 제 4 기입 글로벌 비트 라인(WGBL3)을 통해 제 1 뱅크(BANK0)에 기입 동작을 수행하는 동안 제 1 독출 글로벌 비트 라인(RGBL0)을 통해 제 2 뱅크(BANK2)에 독출 동작을 수행하는 경우에 발생할 수 있는 커플링 노이즈를 최소화할 수 있다.

[0029] 이하에서는, 실딩 수단을 달리하여 구비하는 본 발명의 다양한 실시예들을 알아본다.

[0030] 도 3은 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0031] 도 3을 참조하면, 본 발명의 제 3 실시예에 따른 반도체 메모리 장치(300)는 도 2의 반도체 메모리 장치(200)와 달리 실딩 수단(320, 340)에 전원 전압(VDD) 또는 승압 전압(VPP)이 인가될 수 있다.

[0032] 실딩 수단은 또한, 본 발명의 제 4 실시예에 따른 반도체 메모리 장치(400)를 나타내는 도 4에 도시되는 바와 같이, 인접하여 위치하는 기입 글로벌 비트 라인(WGBL3 또는 WGBL4) 및 독출 글로벌 비트 라인(RGBL0 또는 RGBL7) 사이를 임의의 거리(d1 또는 d2)만큼 이격시키는 공간(420, 440)으로 구비될 수 있다.

[0033] 이때, 임의의 거리(d1 또는 d2)는, 반도체 메모리 장치(400)가 도 4에 도시되는 것처럼 복수개의 기입 글로벌 비트 라인들(WGBL0 내지 WGBL11) 또는 독출 글로벌 비트 라인들(RGBL0 내지 RGBL7)을 구비한다고 할 때, 인접하여 위치하는 기입 글로벌 비트 라인들(WGBL0 및 WGBL2) 사이의 거리(d3) 또는 인접하여 위치하는 독출 글로벌 비트 라인들(RGBL3 및 RGBL4) 사이의 거리(d4)보다 길 수 있다.

[0034] 도 5는 본 발명의 제 5 실시예에 따른 반도체 메모리 장치들을 나타내는 도면이다.

[0035] 도 5의 (a)를 참조하면, 복수개의 기입 글로벌 비트 라인들(WGBL0 ~ WGBL3) 중 인접하여 위치하는 기입 글로벌 비트 라인들(WGBL0 및 WGBL1, WGBL2 및 WGBL3)을 제 1 기입 글로벌 비트 라인 그룹(GW1) 및 제 2 기입 글로벌 비트 라인 그룹(GW2)이라 하고, 복수개의 독출 글로벌 비트 라인들(RGBL0 ~ RGBL3) 중 인접하여 위치하는 독출 글로벌 비트 라인들(RGBL0 및 RGBL1, RGBL2 및 RGBL3)을 제 1 독출 글로벌 비트 라인 그룹(GR1) 및 제 2 독출 글로벌 비트 라인 그룹(GR2)이라 할 때, 기입 글로벌 비트 라인 그룹(GW1 및 GW2) 및 독출 글로벌 비트 라인 그룹(GR1 및 GR2)은 번갈아 위치할 수 있다.

[0036] 예를 들어, 도 5의 (a)에 도시되는 바와 같이, 제 1 기입 글로벌 비트 라인 그룹(GW1)이 위치한 옆에 제 1 독출 글로벌 비트 라인 그룹(GR1)이 위치하고, 다음으로 제 2 기입 글로벌 비트 라인 그룹(GW2)이 위치하며, 마지막으로 제 2 독출 글로벌 비트 라인 그룹(GW2)이 위치할 수 있다.

[0037] 이때, 도 5의 (a)와 같이, 2개의 글로벌 비트 라인들이 하나의 그룹을 형성하고, 각 그룹 사이에 실딩 수단(520, 540, 560)이 구비될 수 있다. 반면, 도 5의 (b)에 도시되는 바와 같이, 4개의 글로벌 비트 라인들(WGBL0 ~ WGBL3, RGBL0 ~ RGBL3, WGBL4 ~ WGBL7, RGBL4 ~ RGBL7)이 하나의 그룹을 형성하고, 각 그룹 사이에 실딩 수단(520, 540, 560)이 구비될 수 있다.

[0038] 또한, 도 5의 (c)에 도시되는 바와 같이, 8개의 글로벌 비트 라인들(WGBL0 ~ WGBL7, RGBL0 ~ RGBL7, WGBL8 ~ WGBL15)이 하나의 그룹을 형성하고, 각 그룹 사이에 실딩 수단(520, 540)이 구비될 수 있다. 특히, 도 5의 (c)와 같이, 독출 글로벌 비트 라인들은 둘 이상의 기입 글로벌 비트 라인들에 의해 공유될 수 있다. 이때, 독출 글로벌 비트 라인들(RGBL0 ~ RGBL7)은 제 1 기입 글로벌 비트 라인 그룹(GW1) 및 제 2 기입 글로벌 비트 라인 그룹(GW2) 사이에 위치할 수 있다.

[0039] 도 6은 본 발명의 제 6 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0040] 도 6을 참조하면, 본 발명의 제 6 실시예에 따른 반도체 메모리 장치(600)는 각각 복수개의 기입 글로벌 비트 라인들(WGBL0 ~ RGBL15) 및 독출 글로벌 비트 라인들(RGBL0 ~ RGBL15)을 구비하고, 기입 글로벌 비트 라인들(WGBL0 ~ RGBL15)끼리 인접하여 위치하고, 독출 글로벌 비트 라인들(RGBL0 ~ RGBL15)끼리 인접하여 위치하도록 구현될 수 있다. 그리고, 도시되지는 아니하였으나, 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인이 하나씩 번갈아 위치할 수 있다.

[0041] 전자의 경우에는 실딩 수단(620)이 하나만 구비될 수 있어 레이아웃 면적 측면에서 유리할 수 있다. 반면, 후자의 경우에는 많은 실딩 수단을 구비해야 하므로 레이아웃 면적 측면에서는 불리할 수 있으나, 동작 특성 측면에서 유리할 수 있다. 즉, 이상에서 설명된 여러 실시예들은 요구되는 시스템 사양 및 자원을 고려하여 선택될 수

있다.

[0042] 이상에서는, 본 발명의 실시예에 따른 상 변화 메모리 장치가 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인을 각각 구비함에 있어, 인접하는 기입 글로벌 비트 라인과 독출 글로벌 비트 라인 사이에 발생할 수 있는 커플링 노이즈를 제거하기 위한 구성을 살펴보았다. 다음으로는, 본 발명의 실시예에 따른 상 변화 메모리 장치가 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인을 각각 구비함에 있어, 대응되는 로컬 비트 라인의 활성화에 관여하는 다양한 기입 선택 수단 및 독출 선택 수단의 구조에 대하여 알아본다.

[0043] 도 7은 본 발명의 제 7 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0044] 도 7을 참조하면, 본 발명의 제 7 실시예에 따른 반도체 메모리 장치(700)는 기입 글로벌 비트 라인(WGBL) 및 독출 글로벌 비트 라인(RGBL) 사이에 위치하는 로컬 비트 라인들(LBL0 ~ LBL7) 중 기입 동작시 대응되는 로컬 비트 라인을 활성화하는 제 1 선택 수단들(WYPASS1, WYPASS2) 및 독출 동작시 대응되는 로컬 비트 라인을 활성화하는 제 2 선택 수단들(RYPASS1, RYPASS2)을 구비한다.

[0045] 본 발명의 제 7 실시예에 따른 반도체 메모리 장치(700)는, 도 7에 도시되는 바와 같이, 제 1 선택 수단(WYPASS1, WYPASS2)은 대응되는 로컬 비트 라인에 한 쌍씩 구비되고, 제 2 선택 수단(RYPASS1, RYPASS2)은 하나씩 구비될 수 있다. 이때, 제 1 선택 수단(WYPASS1, WYPASS2)은 대응되는 로컬 비트 라인의 양단에 구비되고, 제 2 선택 수단(RYPASS1, RYPASS2)은 대응되는 로컬 비트 라인의 일단에 구비될 수 있다.

[0046] 예를 들어, 제 1 로컬 비트 라인(LBL0)은 서브 셀 어레이(SCA)를 사이에 두고 두 개의 제 1 선택 수단 T1 및 T3를 양단에 구비하고, 하나의 제 2 선택 수단 T2를 일단에 구비한다. 마찬가지로, 제 2 로컬 비트 라인(LBL1)은 두 개의 제 1 선택 수단 T4 및 T6를 양단에 구비하고, 하나의 제 2 선택 수단 T5를 일단에 구비한다.

[0047] 이때, 제 1 선택 수단들(WYPASS1, WYPASS2) 및 제 2 선택 수단들(RYPASS1, RYPASS2)을 모스 트랜지스터일 수 있다. 제 1 선택 수단들(WYPASS1, WYPASS2)은 PMOS 트랜지스터 또는 NMOS 트랜지스터 중 어느 것을 사용하더라도 무관하다. 반면, 제 2 선택 수단(RYPASS1, RYPASS2)은 NMOS 트랜지스터로 구비되는 것이 바람직하다. 독출시 사용되는 제 2 선택 수단은 상 변화 메모리 장치가 독출 동작 이전에 프리차아징 동작을 수행하는데, 이때 해당 비트 라인에 원하는 프리차아지 전압을 전달함에 있어, NMOS 트랜지스터가 PMOS 트랜지스터보다 좋은 성능을 보이기 때문이다.

[0048] 이하에서는, 제 1 선택 수단 및 제 2 선택 수단의 개수 또는 위치를 달리하는 다양한 실시예들에 대하여 알아본다.

[0049] 도 8은 본 발명의 제 8 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0050] 도 8을 참조하면, 본 발명의 제 8 실시예에 따른 반도체 메모리 장치(800)는, 각 로컬 비트 라인(LBL0 ~ LBL7)마다 제 1 선택 수단(WYPASS) 및 제 2 선택 수단(RYPASS)을 하나씩 구비할 수 있다. 이때, 제 1 선택 수단(WYPASS)은 대응되는 로컬 비트 라인의 일단에 구비되고, 제 2 선택 수단(RYPASS)은 타단에 구비될 수 있다.

[0051] 예를 들어, 제 1 로컬 비트 라인(LBL0)은 서브 셀 어레이(SCA)를 사이에 두고 일단에 하나의 제 1 선택 수단 T2를 구비하고, 타단에 제 2 선택 수단 T1을 구비할 수 있다. 마찬가지로, 제 2 로컬 비트 라인(LBL1)은 일단에 하나의 제 1 선택 수단 T4를 구비하고, 타단에 제 2 선택 수단 T3를 구비할 수 있다.

[0052] 도 9는 본 발명의 제 9 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0053] 도 9를 참조하면, 본 발명의 제 9 실시예에 따른 반도체 메모리 장치(900)는, 각 로컬 비트 라인(LBL0 ~ LBL7)마다 제 1 선택 수단(WYPASS1, WYPASS2) 및 제 2 선택 수단(RYPASS1, RYPASS1)을 두 개씩 구비할 수 있다. 이때, 제 1 선택 수단WYPASS1, WYPASS2) 및 제 2 선택 수단(RYPASS1, RYPASS1)은 각각, 도 9에 도시되는 바와 같이, 대응되는 로컬 비트 라인의 양단에 구비될 수 있다.

[0054] 예를 들어, 제 1 로컬 비트 라인(LBL0)은 서브 셀 어레이(SCA)를 사이에 두고 양단에 각각 2개씩의 제 1 선택 수단(T1 및 T4) 및 제 2 선택 수단(T2 및 T3)를 구비할 수 있다. 마찬가지로, 제 2 로컬 비트 라인(LBL1)은 양단에 각각 2개씩의 제 1 선택 수단(T5 및 T8) 및 제 2 선택 수단(T6 및 T7)를 구비할 수 있다.

[0055] 도 10은 본 발명의 제 10 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0056] 도 10을 참조하면, 본 발명의 제 10 실시예에 따른 반도체 메모리 장치(1000)는, 로컬 비트 라인들(LBL0 ~ LBL7)과 연결되는 메모리 셀들을 각각 제 1 서브 메모리 셀 어레이(SCA1) 및 제 2 서브 메모리 셀 어레이(SCA

2)라 할 때, 각 로컬 비트 라인(LBL0 ~ LBL7)마다 제 1 서브 메모리 셀 어레이(SCA1) 및 제 2 서브 메모리 셀 어레이(SCA2) 사이에 위치하는 제 1 선택 수단(WYPASS) 및 제 2 선택 수단(RYPASS)을 하나씩 구비할 수 있다.

[0057] 예를 들어, 제 1 로컬 비트 라인(LBL0)은 제 1 서브 메모리 셀 어레이(SCA1) 및 제 2 서브 메모리 셀 어레이(SCA2)를 사이에 제 1 선택 수단 T2 및 제 2 선택 수단 T1을 구비할 수 있다. 마찬가지로, 제 2 로컬 비트 라인(LBL1)은 제 1 서브 메모리 셀 어레이(SCA1) 및 제 2 서브 메모리 셀 어레이(SCA2)를 사이에 제 1 선택 수단 T4 및 제 2 선택 수단 T3를 구비할 수 있다.

[0058] 그 밖에, 본 발명의 실시예에 따른 반도체 메모리 장치는 다양한 제 1 선택 수단 및 제 2 선택 수단의 개수 및 배치를 가질 수 있다. 예를 들어, 도 10에서는 제 1 선택 수단 및 제 2 선택 수단이 모두 제 1 서브 메모리 셀 어레이와 제 2 서브 메모리 셀 어레이 사이에 배치되는 것을 예로 들었으나, 제 1 선택 수단 및 제 2 선택 수단 중 하나는 제 1 서브 메모리 셀 어레이 또는 제 2 서브 메모리 셀 어레이의 일단에 배치될 수도 있다. 다양한 실시예들 중 설계자는 해당 반도체 메모리 장치에 요구되는 레이아웃 면적 측면 및 동작 특성 측면 등을 고려한 독출 선택 수단들(제 2 선택 수단) 및 기입 선택 수단들(제 1 선택 수단)의 배치를 선택할 수 있을 것이다.

[0059] 이렇듯, 본 발명에 따른 상 변화 메모리 장치는 기입 글로벌 비트 라인 및 독출 글로벌 비트 라인을 각각 구비함에 있어, 로컬 비트 라인들에 연결되는 독출 선택 수단들 및 기입 선택 수단들 또한 따로 구비함으로써, 반도체 메모리 장치의 동작 특성을 더욱 향상시킬 수 있다.

[0060] 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

[0061] 본 발명의 상세한 설명에서 인용되는 도면을 좀 더 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

[0062] 도 1은 본 발명의 제 1 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0063] 도 2는 본 발명의 제 2 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0064] 도 3은 본 발명의 제 3 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0065] 도 4는 본 발명의 제 4 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0066] 도 5는 본 발명의 제 5 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0067] 도 6은 본 발명의 제 6 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0068] 도 7은 본 발명의 제 7 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

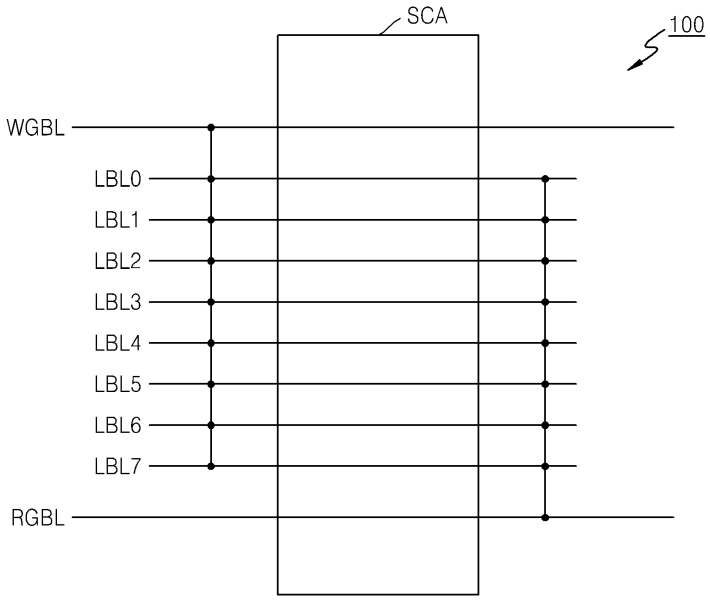
[0069] 도 8은 본 발명의 제 8 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

[0070] 도 9는 본 발명의 제 9 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

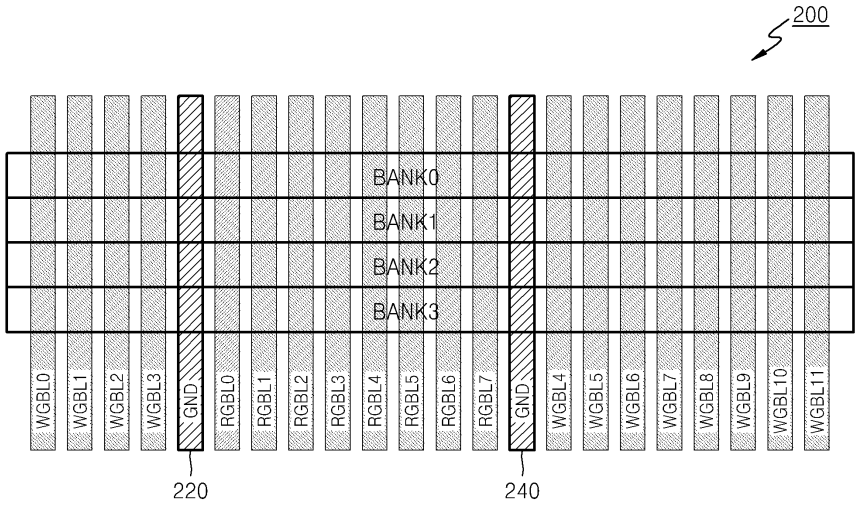
[0071] 도 10은 본 발명의 제 10 실시예에 따른 반도체 메모리 장치를 나타내는 도면이다.

도면

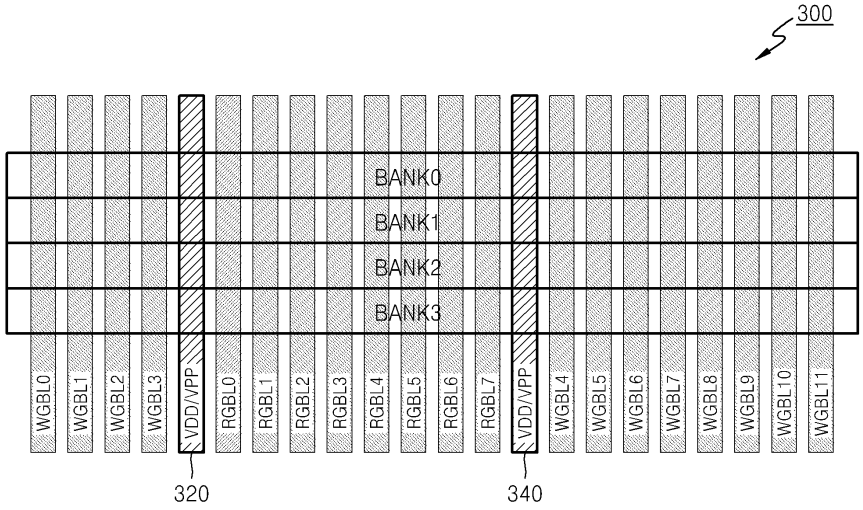
도면1


SCA
100
WGBL
LBL0
LBL1
LBL2
LBL3
LBL4
LBL5
LBL6
LBL7
RGBL

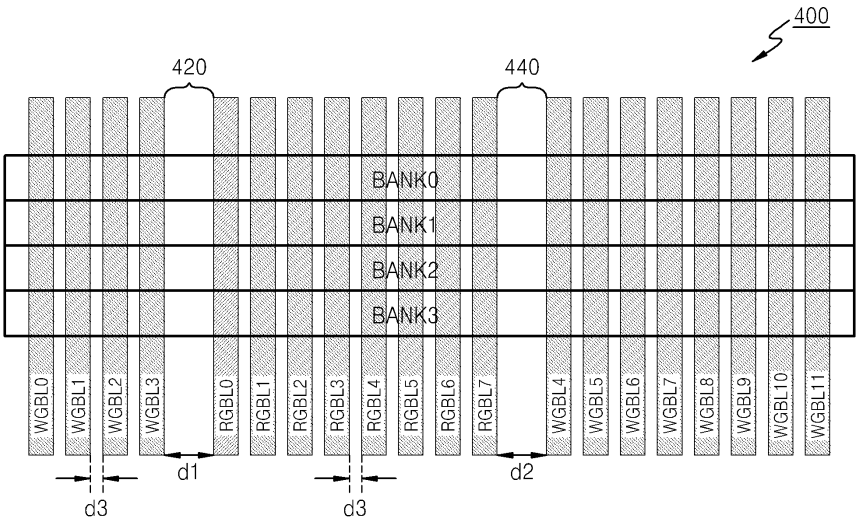
도면2


200
BANK0
BANK1
BANK2
BANK3
WGBL0
WGBL1
WGBL2
WGBL3
GND
RGBL0
RGBL1
RGBL2
RGBL3
RGBL4
RGBL5
RGBL6
RGBL7
GND
WGBL4
WGBL5
WGBL6
WGBL7
WGBL8
WGBL9
WGBL10
WGBL11
220
240

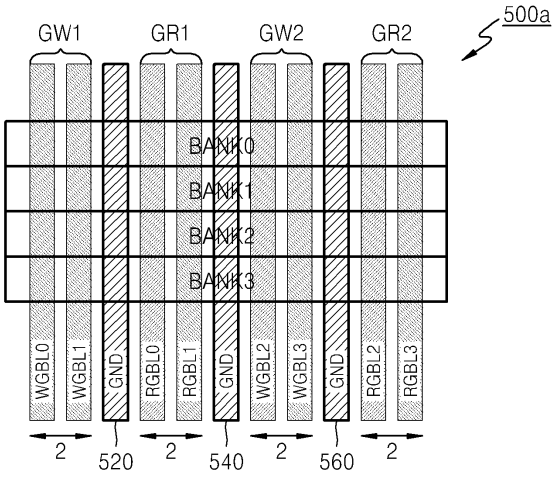
도면3


300
BANK0
BANK1
BANK2
BANK3
WGBL0
WGBL1
WGBL2
WGBL3
VDD/VPP
RGBL0
RGBL1
RGBL2
RGBL3
RGBL4
RGBL5
RGBL6
RGBL7
VDD/VPP
WGBL4
WGBL5
WGBL6
WGBL7
WGBL8
WGBL9
WGBL10
WGBL11
320
340

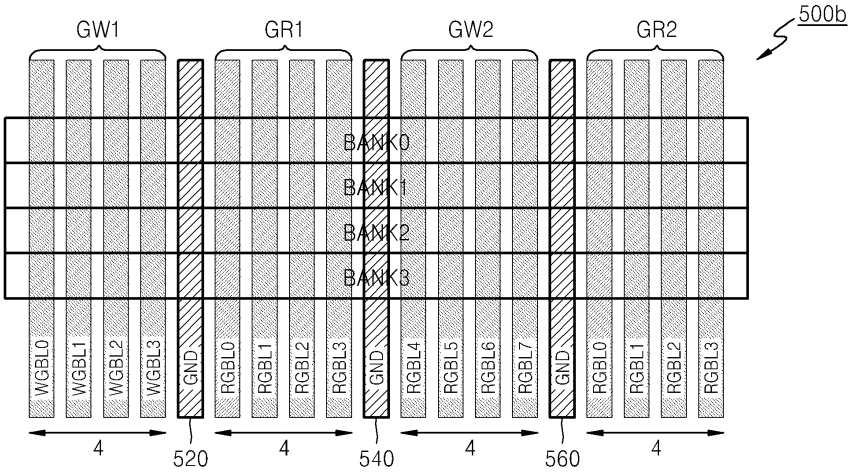
도면4


400
420
440
BANK0
BANK1
BANK2
BANK3
WGBL0
WGBL1
WGBL2
WGBL3
RGBL0
RGBL1
RGBL2
RGBL3
RGBL4
RGBL5
RGBL6
RGBL7
WGBL4
WGBL5
WGBL6
WGBL7
WGBL8
WGBL9
WGBL10
WGBL11
d1
d2
d3
d3

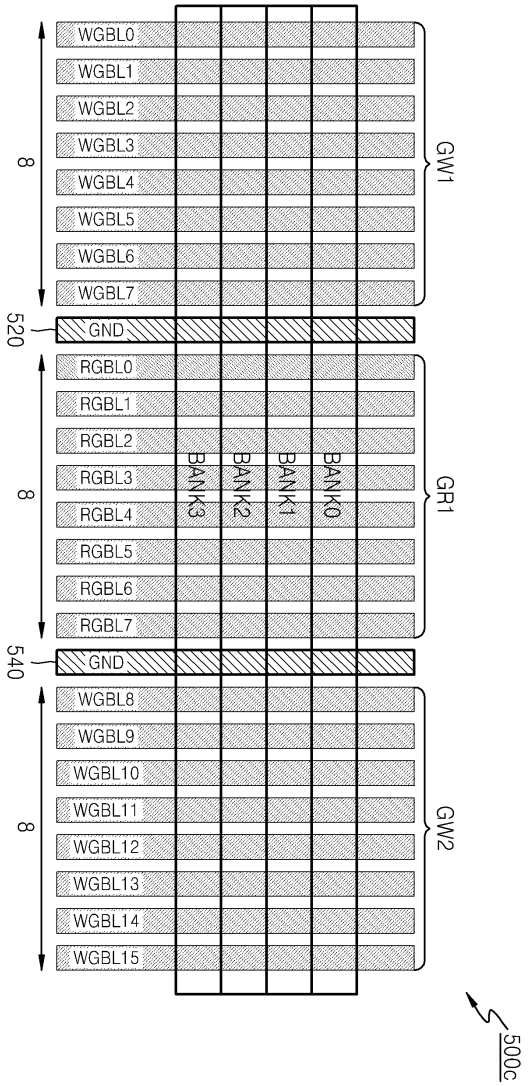
도면5a


500a
GW1
GR1
GW2
GR2
BANK0
BANK1
BANK2
BANK3
WGBL0
WGBL1
GND
RGBL0
RGBL1
GND
WGBL2
WGBL3
GND
RGBL2
RGBL3
2
520
2
540
2
560
2

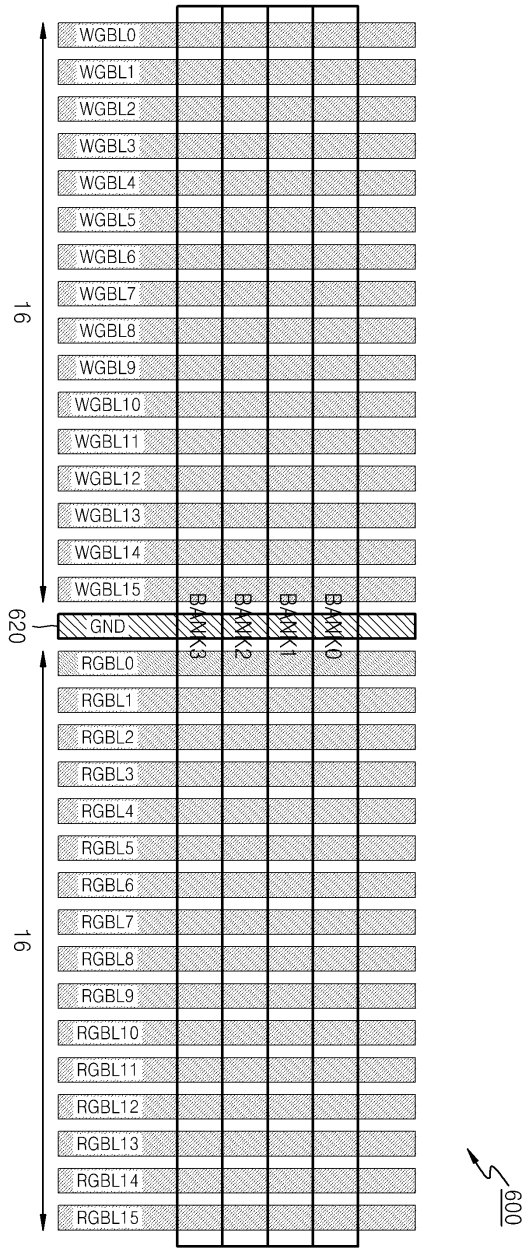
도면5b


500b
GW1
GR1
GW2
GR2
BANK0
BANK1
BANK2
BANK3
WGBL0
WGBL1
WGBL2
WGBL3
GND
RGBL0
RGBL1
RGBL2
RGBL3
GND
RGBL4
RGBL5
RGBL6
RGBL7
GND
RGBL0
RGBL1
RGBL2
RGBL3
4
520
4
540
4
560
4

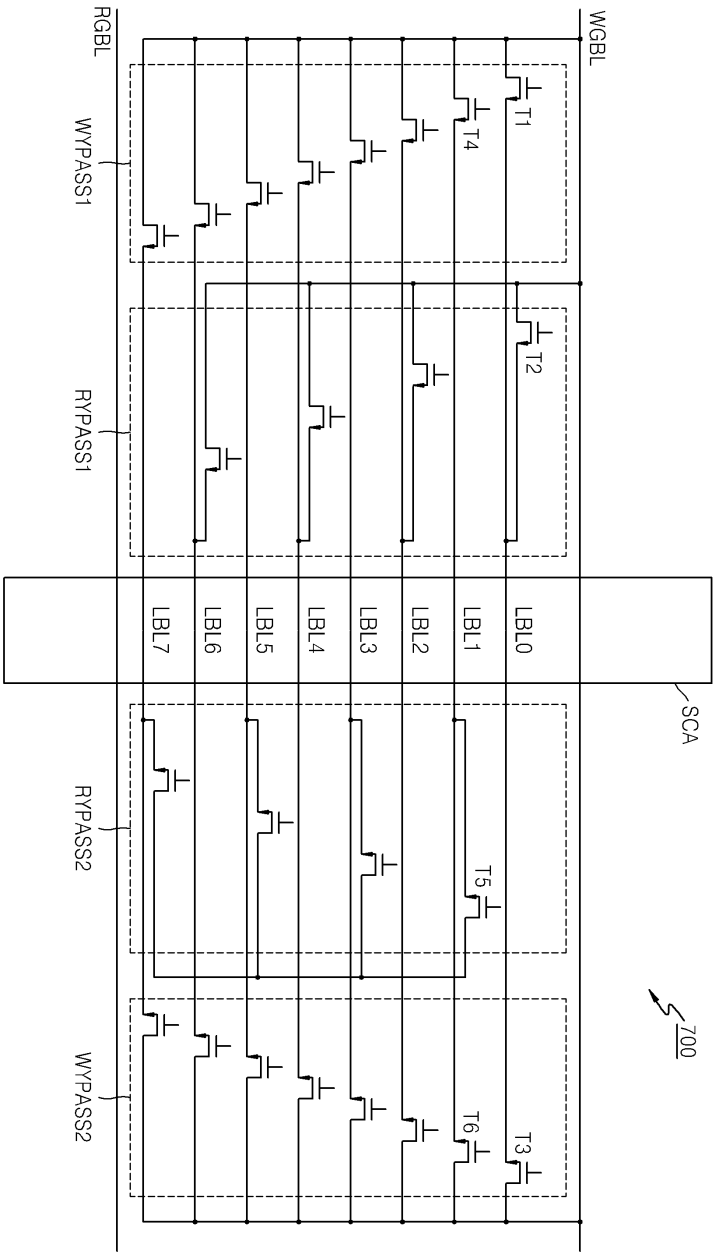
도면5c


WGBL0
WGBL1
WGBL2
WGBL3
WGBL4
WGBL5
WGBL6
WGBL7
GW1
8
520
GND
RGBL0
RGBL1
RGBL2
RGBL3
RGBL4
RGBL5
RGBL6
RGBL7
GR1
8
BANK3
BANK2
BANK1
BANK0
540
GND
WGBL8
WGBL9
WGBL10
WGBL11
WGBL12
WGBL13
WGBL14
WGBL15
GW2
8
500c

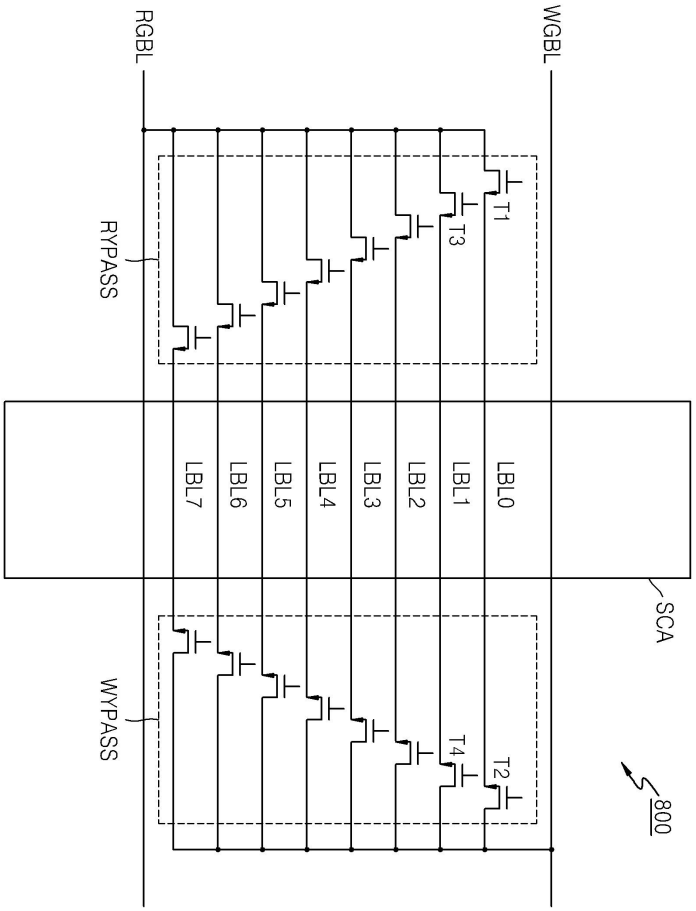
도면6


WGBL0
WGBL1
WGBL2
WGBL3
WGBL4
WGBL5
WGBL6
WGBL7
WGBL8
WGBL9
WGBL10
WGBL11
WGBL12
WGBL13
WGBL14
WGBL15
16
620
GND
BANK3
BANK2
BANK1
BANK0
RGBL0
RGBL1
RGBL2
RGBL3
RGBL4
RGBL5
RGBL6
RGBL7
RGBL8
RGBL9
RGBL10
RGBL11
RGBL12
RGBL13
RGBL14
RGBL15
16
600

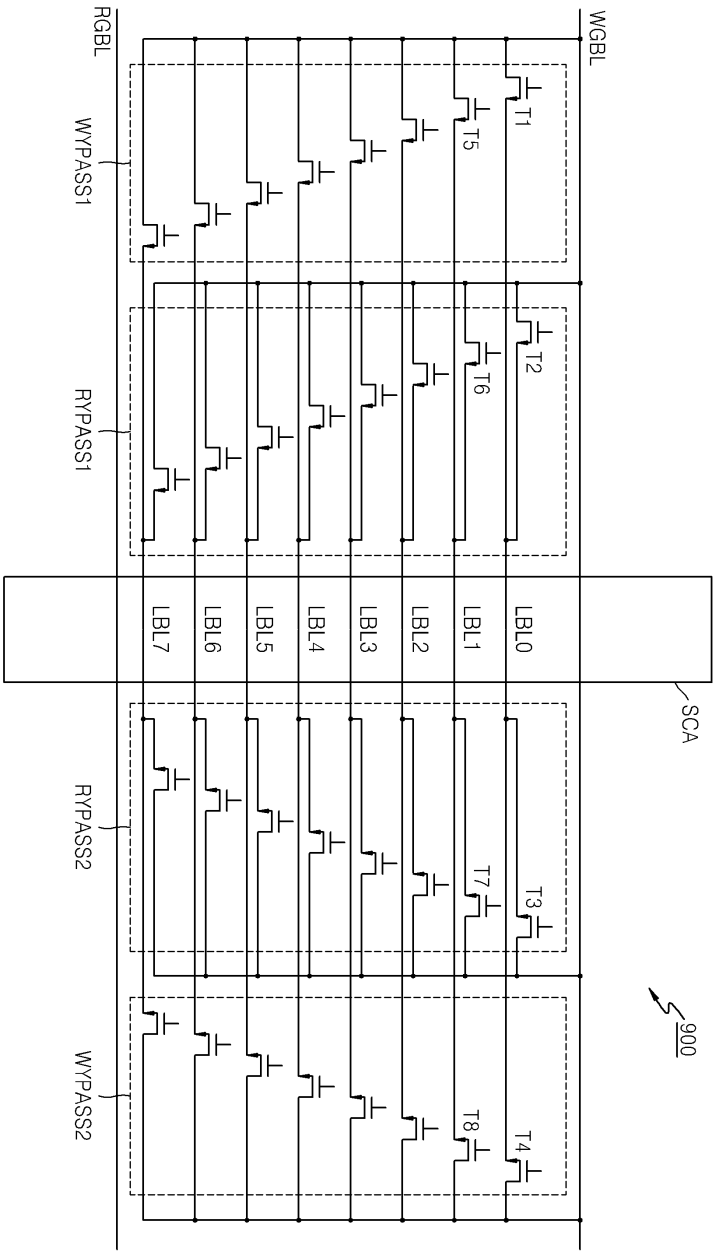
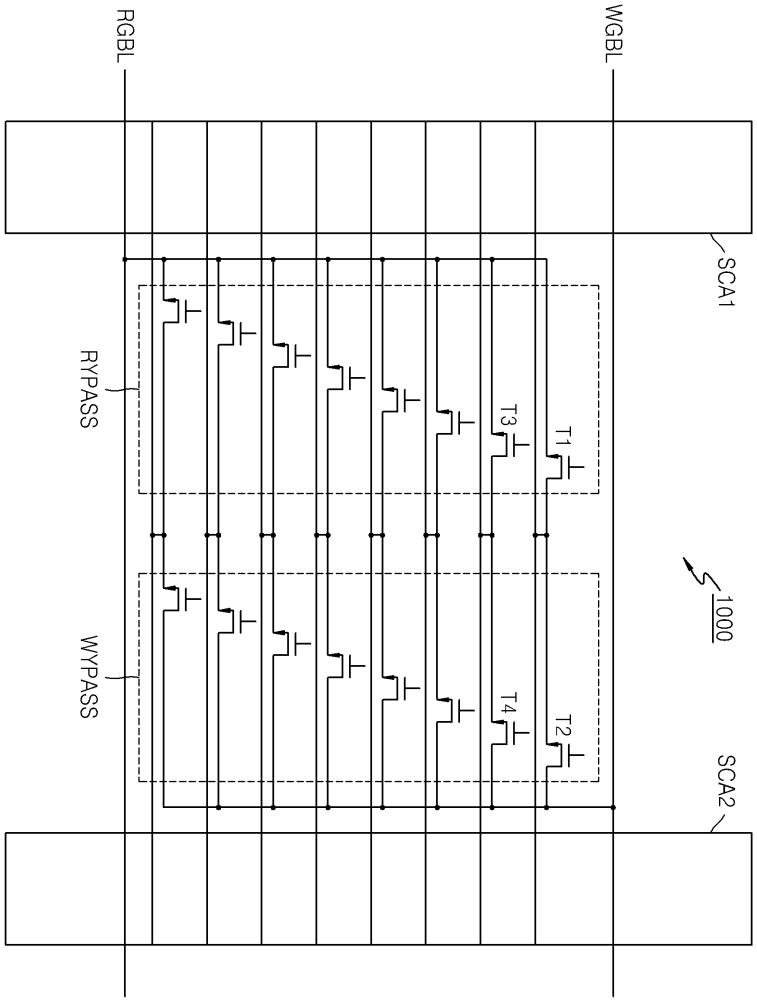
도면7


RGBL
WGBL
WYPASS1
RYPASS1
RYPASS2
WYPASS2
T1
T2
T3
T4
T5
T6
LBL0
LBL1
LBL2
LBL3
LBL4
LBL5
LBL6
LBL7
SCA
700

도면8


RGBL
WGBL
RYPASS
WYPASS
T1
T3
T4
T2
LBL7
LBL6
LBL5
LBL4
LBL3
LBL2
LBL1
LBL0
SCA
800

도면9


RGBL
WGBL
WYPASS1
RYPASS1
RYPASS2
WYPASS2
T1
T2
T3
T4
T5
T6
T7
T8
LBL0
LBL1
LBL2
LBL3
LBL4
LBL5
LBL6
LBL7
SCA
900

도면10