

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-135360

(P2009-135360A)

(43) 公開日 平成21年6月18日(2009.6.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 B	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 2 P	

審査請求 未請求 請求項の数 20 O L (全 17 頁)

(21) 出願番号	特願2007-312001 (P2007-312001)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成19年12月3日 (2007.12.3)	(74) 代理人	100080001 弁理士 筒井 大和
		(72) 発明者	平尾 高志 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72) 発明者	橋本 貴之 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72) 発明者	秋山 登 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

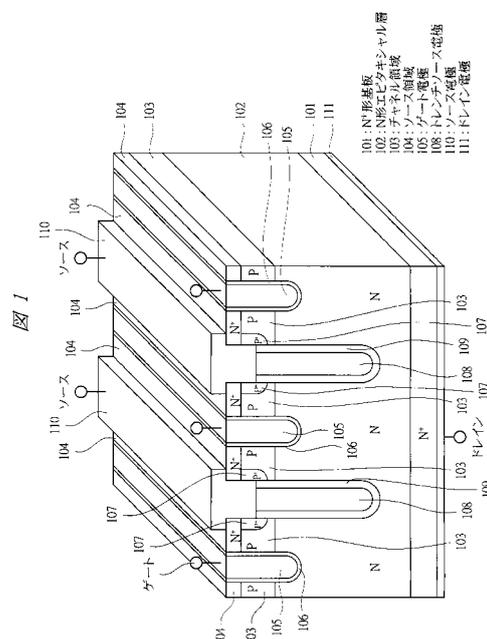
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】ドレイン - ソース間耐圧を維持したまま低オン抵抗化が可能となる低耐圧パワーMOSFETのような微細なパワー半導体装置およびその製造方法を提供する。

【解決手段】縦形トレンチMOSFETにおいて、下面にドレイン電極111を有するN⁺形基板101の上面に形成されたN形エピタキシャル層102と、表面からN形エピタキシャル層102内に延在するゲートトレンチと、ゲートトレンチ内に絶縁膜を挟んで位置するゲート電極105と、N形エピタキシャル層102上に形成されたチャネル領域103と、チャネル領域103上に形成されたソース領域104と、ソース領域104上に形成されたソース電極110と、表面からN形エピタキシャル層102内に延在するソーストレンチと、ソーストレンチ内に絶縁膜を挟んで位置するトレンチソース電極108とを備え、ソース電極110がトレンチソース電極108と接触している。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

下面に裏面電極を有する半導体基板の上面に形成された第 1 導電形の第 1 半導体領域と、半導体装置表面から前記第 1 半導体領域内に延在するゲートトレンチと、前記ゲートトレンチ内に絶縁膜を挟んで位置するゲート電極と、前記ゲートトレンチに隣接し、前記第 1 半導体領域上に形成された第 2 導電形の第 2 半導体領域と、前記ゲートトレンチに隣接し、前記第 2 半導体領域上に形成された第 1 導電形の第 3 半導体領域と、前記第 3 半導体領域上に形成されたフィールド電極と、前記半導体装置表面から前記第 1 半導体領域内に延在するフィールドトレンチと、前記フィールドトレンチ内に絶縁膜を挟んで位置するトレンチフィールド電極とを備え、

10

前記フィールド電極が前記トレンチフィールド電極と接触していることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

前記半導体装置表面から前記ゲートトレンチの底までの距離よりも前記半導体装置表面から前記フィールドトレンチの底までの距離が長いことを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記フィールド電極が前記フィールドトレンチ内で前記第 2 半導体領域と接触しているか、あるいは前記第 2 半導体領域と接触している第 2 導電形で前記第 2 半導体領域よりも不純物濃度が高いボディコンタクト領域と接触していることを特徴とする半導体装置。

20

【請求項 4】

請求項 1 記載の半導体装置において、

前記半導体装置表面から前記ゲートトレンチの底までの距離が前記半導体装置表面から前記フィールドトレンチの底までの距離と同等であることを特徴とする半導体装置。

【請求項 5】

請求項 4 記載の半導体装置において、

前記ゲートトレンチ内の側面の絶縁膜よりも前記ゲートトレンチ内の底面の絶縁膜が厚いことを特徴とする半導体装置。

【請求項 6】

請求項 5 記載の半導体装置において、

前記第 1 半導体領域と前記第 2 半導体領域との境界面から前記ゲートトレンチ内の底面の絶縁膜までの距離よりも、前記ゲートトレンチ内の底面の絶縁膜の厚さの方が長いことを特徴とする半導体装置。

30

【請求項 7】

請求項 1 記載の半導体装置において、

前記第 2 半導体領域表面に選択的に第 2 導電形で前記第 2 半導体領域よりも不純物濃度が高いボディコンタクト領域が形成されていることを特徴とする半導体装置。

【請求項 8】

請求項 1 記載の半導体装置において、

前記フィールドトレンチの下の前記第 1 半導体領域内に、前記第 1 半導体領域よりも不純物濃度が低い第 1 導電形の第 4 半導体領域を備えることを特徴とする半導体装置。

40

【請求項 9】

請求項 1 記載の半導体装置において、

前記フィールドトレンチの底が前記半導体基板内に達することを特徴とする半導体装置

。

【請求項 10】

請求項 1 記載の半導体装置において、

前記ゲートトレンチと前記フィールドトレンチとが平行の関係にあることを特徴とする半導体装置。

50

【請求項 1 1】

請求項 1 0 記載の半導体装置において、
前記ゲートトレンチと前記フィールドトレンチとが交互に位置することを特徴とする半導体装置。

【請求項 1 2】

請求項 1 記載の半導体装置において、
前記フィールドトレンチ電極はポリシリコンであることを特徴とする半導体装置。

【請求項 1 3】

下面に裏面電極を有する半導体基板の上面に形成された第 1 導電形の第 1 半導体領域と、前記第 1 半導体領域表面に選択的に形成された第 2 導電形の第 2 半導体領域と、前記第 2 半導体領域表面に選択的に形成された第 1 導電形の第 3 半導体領域と、前記第 2 半導体領域上に絶縁膜を挟んで位置するゲート電極と、前記第 3 半導体領域上に形成されたフィールド電極と、半導体装置表面から前記第 1 半導体領域内に延在するフィールドトレンチと、前記フィールドトレンチ内に絶縁膜を挟んで位置するトレンチフィールド電極とを備え、

前記フィールド電極が前記トレンチフィールド電極と接触していることを特徴とする半導体装置。

【請求項 1 4】

請求項 1 3 記載の半導体装置において、

前記フィールド電極が前記フィールドトレンチ内で前記第 2 半導体領域と接触しているか、あるいは前記第 2 半導体領域と接触している第 2 導電形で前記第 2 半導体領域よりも不純物濃度が高いボディコンタクト領域と接触していることを特徴とする半導体装置。

【請求項 1 5】

請求項 1 3 記載の半導体装置において、

前記第 2 半導体領域表面に選択的に第 2 導電形で前記第 2 半導体領域よりも不純物濃度が高いボディコンタクト領域が形成されていることを特徴とする半導体装置。

【請求項 1 6】

請求項 1 3 記載の半導体装置において、

前記フィールドトレンチの下の前記第 1 半導体領域内に、前記第 1 半導体領域よりも不純物濃度が低い第 1 導電形の第 4 半導体領域を備えることを特徴とする半導体装置。

【請求項 1 7】

請求項 1 3 記載の半導体装置において、

前記フィールドトレンチの底が前記半導体基板内に達することを特徴とする半導体装置

。

【請求項 1 8】

請求項 1 3 記載の半導体装置において、

前記フィールドトレンチ電極はポリシリコンであることを特徴とする半導体装置。

【請求項 1 9】

半導体基板の上面に第 1 導電形の第 1 半導体領域を形成する工程と、半導体装置表面から前記第 1 半導体領域内に延在するゲートトレンチを形成する工程と、前記ゲートトレンチ内に絶縁膜を形成する工程と、前記ゲートトレンチ内にゲート電極を形成する工程と、前記半導体装置表面から前記第 1 半導体領域内に延在するフィールドトレンチを形成する工程と、前記フィールドトレンチ内に絶縁膜を形成する工程と、前記フィールドトレンチ内にトレンチフィールド電極を形成する工程と、前記ゲートトレンチに隣接した前記第 1 半導体領域上に第 2 導電形の第 2 半導体領域を形成する工程と、前記ゲートトレンチに隣接した前記第 2 半導体領域上に第 1 導電形の第 3 半導体領域を形成する工程と、前記第 3 半導体領域上と前記トレンチフィールド電極とに接触するフィールド電極を形成する工程とを備え、

前記ゲートトレンチと前記フィールドトレンチはシリコンエッチングによって形成することを特徴とする半導体装置の製造方法。

10

20

30

40

50

【請求項 20】

請求項 19 記載の半導体装置の製造方法において、
前記ゲートトレンチを形成する工程と前記フィールドトレンチを形成する工程とを同時
に行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー MOSFET (Metal Oxide Semiconductor - Field Effect Transistor) の半導体装置に係わり、特に低
耐圧パワー MOSFET において、低オン抵抗を実現するためのデバイス構造とその製造
方法に適用して有効な技術に関する。

10

【背景技術】

【0002】

本発明者が検討したところによれば、情報機器等の電源には、消費電力と熱設計の観点
から低損失化が求められており、特にこれに用いられる低耐圧 (例えば耐圧 30V) のパ
ワー MOSFET には、オン抵抗の低減が必要である。

【0003】

パワー MOSFET の低オン抵抗構造としては、スーパージャンクション構造が知られ
ている。スーパージャンクション構造とは、エピタキシャル層中にエピタキシャル層とは
反対の極性を持つ柱状の半導体領域 (柱状領域) を形成することでドレイン - ソース間耐
圧が向上し、オン抵抗とドレイン - ソース間耐圧のトレードオフを改善できる構造である
。例えば特許文献 1 では、上記柱状領域を多段のイオン打ち込みで形成している。

20

【特許文献 1】特開 2006 - 196518 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、前記のような低耐圧パワー MOSFET のオン抵抗は、チャンネル領域の抵抗
(チャンネル抵抗) が大きな割合を占めるため、微細化 (セルシュリンク) による低オン抵
抗化が進められてきた。しかしながら、微細化が進み、チャンネル抵抗が十分に低減され
ると、エピ領域の抵抗 (エピ抵抗) が支配的となり、さらなるオン抵抗低減にはエピ抵抗を
低減する必要がある。

30

【0005】

エピ抵抗の低減には、水平方向の電位分担を形成して耐圧を向上させる RESURF (R
Educed Surface Field) 構造が有効である。スーパージャンクション構造も RESURF 構造と同様に耐圧が向上する効果を期待できるが、上記特許文献
1 の製造方法は、上記柱状領域を形成するために深く打ち込まれた不純物が横方向に拡散
するため、微細な構造である低耐圧のパワー MOSFET には不適であるという問題点
がある。

【0006】

低耐圧のパワー MOSFET を低オン抵抗化するには、微細化によりチャンネル抵抗を低
減すると同時に、ドレイン - ソース間耐圧を維持したままエピタキシャル層の不純物濃度
を高める必要がある。すなわち、微細なパワー MOSFET に適した RESURF 構造が
必要となる。

40

【0007】

そこで、本発明の目的は、ドレイン - ソース間耐圧を維持したまま低オン抵抗化が可能
となる低耐圧パワー MOSFET のような微細なパワー半導体装置およびその製造方法を
提供することである。

【0008】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面か
ら明らかになるであろう。

50

【課題を解決するための手段】

【0009】

本願によって開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

すなわち、代表的なものの概要は、ドレイン・ソース間耐圧を維持したままドリフト層の不純物濃度を高めるためにトレンチ状のソース電極（ソーストレンチ）を形成することを特徴とする。すなわち、ソーストレンチによるRESURF効果により、ドリフト層の不純物濃度を高めたとしてもドレイン・ソース間耐圧が維持され、低オン抵抗のパワーMOSFETを提供できる。さらに、ソーストレンチ内でボディコンタクトするので、半導体装置表面の別の領域にボディコンタクトのための領域を設ける必要がなく、微細化が可能である。

10

【0011】

具体的に、代表的な態様の半導体装置およびその製造方法は、以下の通りである。

【0012】

本発明の代表的な態様では、下面に裏面電極を有する半導体基板の上面に形成された第1導電形の第1半導体領域と、半導体装置表面から前記第1半導体領域内に延在するゲートトレンチと、前記ゲートトレンチ内に絶縁膜を挟んで位置するゲート電極と、前記ゲートトレンチに隣接し、前記第1半導体領域上に形成された第2導電形の第2半導体領域と、前記ゲートトレンチに隣接し、前記第2半導体領域上に形成された第1導電形の第3半導体領域と、前記第3半導体領域上に形成されたフィールド電極と、前記半導体装置表面から前記第1半導体領域内に延在するフィールドトレンチと、前記フィールドトレンチ内に絶縁膜を挟んで位置するトレンチフィールド電極とを備えており、前記フィールド電極が前記トレンチフィールド電極と接触しており、さらに前記フィールド電極が前記フィールドトレンチ内で前記第2半導体領域と接触している第2導電形で前記第2半導体領域よりも不純物濃度が高いボディコンタクト領域と接触しており、前記ゲートトレンチと前記フィールドトレンチはシリコンエッチングによって形成されることを特徴とする。

20

【0013】

また、本発明の他の態様では、前記半導体装置表面から前記ゲートトレンチの底までの距離が前記半導体装置表面から前記フィールドトレンチの底までの距離と同等であり、前記ゲートトレンチ内の側面の絶縁膜よりも前記ゲートトレンチ内の底面の絶縁膜が厚く、前記ゲートトレンチを形成する工程と前記フィールドトレンチを形成する工程とを同時に行うことを特徴とする。

30

【0014】

また、本発明の他の態様では、前記第2半導体領域表面に選択的に第2導電形で前記第2半導体領域よりも不純物濃度が高いボディコンタクト領域が形成されていることを特徴とする。

【0015】

また、本発明の他の態様では、前記フィールドトレンチの下の前記第1半導体領域内に前記第1半導体領域の不純物濃度よりも低い不純物濃度である第1導電形の第4半導体領域を備えることを特徴とする。

40

【0016】

また、本発明の他の態様では、前記フィールドトレンチの底が前記半導体基板内に達することを特徴とする。

【0017】

また、本発明の他の態様では、下面に裏面電極を有する半導体基板の上面に形成された第1導電形の第1半導体領域と、前記第1半導体領域表面に選択的に形成された第2導電形の第2半導体領域と、前記第2半導体領域表面に選択的に形成された第1導電形の第3半導体領域と、前記第2半導体領域上に絶縁膜を挟んで位置するゲート電極と、前記第3半導体領域上に形成されたフィールド電極と、半導体装置表面から前記第1半導体領域内

50

に延在するフィールドトレンチと、前記フィールドトレンチ内に絶縁膜を挟んで位置するトレンチフィールド電極とを備えており、さらに前記フィールド電極が前記フィールドトレンチ内で前記第2半導体領域と接触している第2導電形で前記第2半導体領域よりも不純物濃度が高いボディコンタクト領域と接触していることを特徴とする。

【発明の効果】

【0018】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0019】

すなわち、代表的なものによって得られる効果は、ソーストレンチを作製することで、低耐圧POWER MOSFETのような微細なパワー半導体装置であってもドレイン・ソース間耐圧を維持したまま低オン抵抗化が可能となる。

10

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0021】

(実施の形態1)

本発明の実施の形態1の半導体装置を、図1～図5を用いて説明する。

20

【0022】

図1は、本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す。

【0023】

本実施の形態1の縦形トレンチMOSFETは、N⁺形基板101上に、N形エピタキシャル層102、チャンネル領域103、ソース領域104、ゲート電極105、ゲート絶縁膜106、ボディコンタクト領域107、トレンチソース電極108、トレンチソース絶縁膜109などが形成され、表面にソース電極110、裏面にドレイン電極111が設けられている。

【0024】

具体的には、下面にドレイン電極111を有するN⁺形基板101の上面に形成されたN形エピタキシャル層102と、表面からN形エピタキシャル層102内に延在するゲートトレンチと、ゲートトレンチ内にゲート絶縁膜106を挟んで位置するゲート電極105と、ゲートトレンチに隣接し、N形エピタキシャル層102上に形成されたチャンネル領域(P形)103と、ゲートトレンチに隣接し、チャンネル領域103上に形成されたソース領域(N⁺形)104と、ソース領域104上に形成されたソース電極110と、表面からN形エピタキシャル層102内に延在するソーストレンチと、ソーストレンチ内にトレンチソース絶縁膜109を挟んで位置するトレンチソース電極108とを備えている。

30

【0025】

この構成において、ソース電極110がトレンチソース電極108と接触しており、さらにソース電極110がソーストレンチ内でチャンネル領域103と接触しているボディコンタクト領域107と接触している。このボディコンタクト領域107は、チャンネル領域103よりも不純物濃度が高い領域(P⁺形)である。また、表面からゲートトレンチの底までの距離よりも表面からソーストレンチの底までの距離が長く、ゲートトレンチとソーストレンチとが平行の関係で、交互に位置するように配置されている。なお、ソース電極110は、ボディコンタクト領域107と接触している構造に限らず、ソーストレンチ内でチャンネル領域103と接触する構造についても適用可能である。

40

【0026】

すなわち、本実施の形態1の縦形トレンチMOSFETは、N⁺形基板101の上面にN形エピタキシャル層102、チャンネル領域103、ソース領域104が順に形成され、

50

ソース領域 104 はソース電極 110 と電氣的に接続されている。ゲートトレンチは表面から N 形エピタキシャル層 102 内に延在し、ゲート絶縁膜 106 を介してゲート電極 105 が埋め込まれている。ゲートトレンチと平行で交互にソーストレンチが表面から N 形エピタキシャル層 102 内に延在し、トレンチソース絶縁膜 109 を介してトレンチソース電極 108 が埋め込まれている。トレンチソース電極 108 はソース電極 110 と電氣的に接続されている。さらにソーストレンチ内でチャンネル領域 103 と隣接するボディコンタクト領域 107 とソース電極 110 が電氣的に接続されている。

【0027】

本実施の形態 1 の縦形トレンチ MOSFET は、N 形エピタキシャル層 102 内にトレンチソース絶縁膜 109 を介してトレンチソース電極 108 を有するのが特徴である。トレンチソース電極 108 間で水平方向の電位分担を形成して N 形エピタキシャル層 102 とチャンネル領域 103 の間の PN 接合での電界を緩和し、ドレイン - ソース間耐圧を向上させている。

10

【0028】

さらに、十分な破壊耐量を得るためのボディコンタクトは、ソーストレンチ内でボディコンタクト領域 107 がソース電極 110 と接触することで確保しており、ボディコンタクトのために半導体装置表面上に別の領域を設ける必要がなく、微細化が可能である。

【0029】

図 2 は、本実施の形態 1 の RESURF 構造を有する低耐圧の縦形トレンチ MOSFET の製造方法の一例を示す。

20

【0030】

まず、図 2 A に示すように、N⁺ 形基板 101 上に成長した N 形エピタキシャル層 102 に、ゲートトレンチを形成するためのシリコンエッチングを行う。具体的には、N⁺ 形基板 101 の上面に N 形エピタキシャル層 102 を形成し、その後、表面から N 形エピタキシャル層 102 内に延在するゲートトレンチをシリコンエッチングによって形成する。ゲートトレンチの深さは 0.4 μm ~ 1.2 μm 程度である。

【0031】

次に、図 2 B に示すように、ゲート絶縁膜 106 を介して、ゲート電極 105 を形成する。具体的には、ゲートトレンチ内にゲート絶縁膜 106 を形成し、その後、ゲートトレンチ内にゲート絶縁膜 106 を挟んでゲート電極 105 を形成する。ゲート電極 105 には、例えば、ポリシリコンを用いる。ゲート絶縁膜 106 の厚さは、ゲート - ソース間耐圧を確保するようにし、40 nm ~ 80 nm 程度である。

30

【0032】

次に、図 2 C に示すように、ソーストレンチを形成するためのシリコンエッチングを行う。具体的には、表面から N 形エピタキシャル層 102 内に延在するソーストレンチをシリコンエッチングによって形成する。通常、ドレイン - ソース間耐圧 30 V 程度のパワー MOSFET におけるエピタキシャル層の厚さは 2 μm ~ 4 μm 程度であり、RESURF 効果を最大限に利用するには、ソーストレンチの深さは 1 μm ~ 4 μm 程度にするのが望ましい。

【0033】

次に、図 2 D に示すように、トレンチソース絶縁膜 109 を介して、トレンチソース電極 108 を形成する。具体的には、ソーストレンチ内にトレンチソース絶縁膜 109 を形成し、その後、ソーストレンチ内にトレンチソース絶縁膜 109 を挟んでトレンチソース電極 108 を形成する。トレンチソース電極 108 には、例えば、ポリシリコンを用いる。トレンチソース絶縁膜 109 の厚さは、トレンチソース絶縁膜 109 の耐圧がドレイン - ソース間のシリコンの耐圧を下回らないようにするために、50 nm ~ 150 nm 程度にするのが望ましい。

40

【0034】

次に、図 2 E に示すように、P 形不純物をイオン打ち込みしてチャンネル領域 103 を形成する。具体的には、ゲートトレンチに隣接した N 形エピタキシャル層 102 上にチャネ

50

ル領域 103 を形成する。その後、図 2 F に示すように、N 形不純物をイオン打ち込みしてソース領域 104 を形成する。具体的には、ゲートトレンチに隣接したチャンネル領域 103 上にソース領域 104 を形成する。

【0035】

次に、図 2 G に示すように、P 形不純物をイオン打ち込みしてソーストレンチ上部にボディコンタクト領域 107 を形成する。そして、ソース領域 104 上とトレンチソース電極 108 とに接触するソース電極 110、N⁺ 形基板 101 の裏面のドレイン電極 111 を形成するメタル工程を経て、本実施の形態 1 のデバイス構造が完成する。

【0036】

なお、図 2 D 以降の工程で、トレンチソース絶縁膜 109 の上面がチャンネル領域 103 の下面よりも下に位置することが懸念されるが、その場合であっても、図 3 に示すように、イオン打ち込みによりボディコンタクト領域 107 が、トレンチソース絶縁膜 109 の上面よりも下まで形成されるため、N 形エピタキシャル層 102 がソース電極 110 と接触することはない。

【0037】

また、図 2 C に示すように、ソーストレンチはシリコンエッチングにより形成されるので、イオン打ち込みのように横方向に拡散することがなく、微細な構造に適している。よって、微細な低耐圧のパワー MOSFET に適用できる。

【0038】

図 4 は、本実施の形態 1 の縦形トレンチ MOSFET において、A - A' 線における電界強度分布の模式図を示す。図 4 に示すように、トレンチソース電極 108 が水平方向の電位分担を形成して、斜線で示す分の耐圧が向上する。図 5 にドレイン - ソース間耐圧とソーストレンチ深さとの関係のシミュレーション結果を示す。ソーストレンチを深くすることでドレイン - ソース間耐圧が向上し、ソーストレンチ深さが 2 μm のときのドレイン - ソース間耐圧は 41.7 V である。

【0039】

本実施の形態 1 の他の製造方法としては、ゲートトレンチを形成する工程よりも先にソーストレンチを形成する工程を行うこともできるし、ゲートトレンチとソーストレンチの絶縁膜形成や電極形成を同時に行うことも可能である。さらに、ゲート抵抗を低減するために、ゲート電極にポリシリコンとシリサイドの積層構造を用いることも考えられる。

【0040】

本実施の形態によれば、以上のようなデバイス構造とその製造方法により、トレンチソース電極 108 間で水平方向の電位分担を形成して N 形エピタキシャル層 102 とチャンネル領域 103 の間の PN 接合での電界を緩和し、ドレイン - ソース間耐圧を向上させることができる。さらに、ボディコンタクトのために半導体装置表面上に別の領域を設ける必要がなく、微細化が可能である。この結果、低耐圧の縦形トレンチ MOSFET であってもドレイン - ソース間耐圧を維持したまま低オン抵抗化が可能となる。

【0041】

(実施の形態 2)

本発明の実施の形態 2 の半導体装置を、図 6, 図 7 を用いて説明する。

【0042】

図 6 は、本発明の実施の形態 2 の RESURF 構造を有する低耐圧の縦形トレンチ MOSFET の構造の一例を示す。

【0043】

本実施の形態 2 の縦形トレンチ MOSFET において、前記実施の形態 1 と異なる点は以下の通りである。本実施の形態は、表面からゲートトレンチの底までの距離が表面からフィールドトレンチの底までの距離と同等であり、ゲートトレンチ内の側面のゲート絶縁膜よりもゲートトレンチ内の底面のゲート絶縁膜が厚く、ゲートトレンチを形成する工程とフィールドトレンチを形成する工程とを同時に行うことを特徴とする。また、N 形エピタキシャル層 102 とチャンネル領域 103 との境界面からゲートトレンチ内の底面のゲー

10

20

30

40

50

ト絶縁膜 201 までの距離よりも、ゲートトレンチ内の底面のゲート絶縁膜 201 の厚さの方が長いことを特徴とする。

【0044】

すなわち、本実施の形態の縦形トレンチMOSFETにおいては、ゲートトレンチの深さはソーストレンチの深さと同等であり、ゲート絶縁膜 201 の底部が厚膜化されている。ゲートトレンチの深さとソーストレンチの深さが同等であるので、ゲートトレンチとソーストレンチを同時にシリコンエッチングを行うことが可能である。さらに、ゲート絶縁膜 201 の底部が厚膜化されているので、帰還容量を低減できる。

【0045】

図7は、本実施の形態2のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法の一例である。

10

【0046】

まず、図7Aに示すように、N⁺形基板101上に成長したN形エピタキシャル層102に、ゲートトレンチとソーストレンチを形成するためのシリコンエッチングを行う。ゲートトレンチとソーストレンチの深さが同等であるので、ゲートトレンチとソーストレンチのシリコンエッチングを同時に行うことが可能である。

【0047】

次に、図7Bに示すように、ゲート絶縁膜201、トレンチソース絶縁膜109、ゲート電極105、トレンチソース電極108を形成する。帰還容量を低減するために、ゲート絶縁膜106の底部は厚膜化する。

20

【0048】

次に、図7Cに示すように、チャネル領域103、ソース領域104、ボディコンタクト領域107を形成し、メタル工程を経て、本実施の形態2のデバイス構造が完成する。

【0049】

本実施の形態によれば、以上のようなデバイス構造とその製造方法により、前記実施の形態1と同様の効果に加えて、ゲートトレンチとソーストレンチを同時にシリコンエッチングを行うことができ、さらに帰還容量を低減することができる。

【0050】

(実施の形態3)

本発明の実施の形態3の半導体装置を、図8を用いて説明する。

30

【0051】

図8は、本発明の実施の形態3のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す。

【0052】

本実施の形態3の縦形トレンチMOSFETにおいて、前記実施の形態1と異なる点は以下の通りである。本実施の形態は、チャネル領域103の表面に選択的にチャネル領域103よりも不純物濃度が高いボディコンタクト領域302が形成されていることを特徴とする。

【0053】

すなわち、本実施の形態の縦形トレンチMOSFETにおいては、チャネル領域103の表面に、ソース領域301と交互になるようにボディコンタクト領域302を奥行き方向に形成している。これによって、前記実施の形態1と同様の効果に加えて、十分な破壊耐量を得ることが可能になる。

40

【0054】

(実施の形態4)

本発明の実施の形態4の半導体装置を、図9を用いて説明する。

【0055】

図9は本発明の実施の形態4のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す。

【0056】

50

本実施の形態４の縦形トレンチＭＯＳＦＥＴにおいて、前記実施の形態１と異なる点は以下の通りである。本実施の形態は、フィールドトレンチの下のＮ形エピタキシャル層１０２内にＮ形エピタキシャル層１０２の不純物濃度よりも低い不純物濃度であるＮ⁻形領域４０１を備えることを特徴とする。

【００５７】

すなわち、本実施の形態の縦形トレンチＭＯＳＦＥＴにおいては、ソーストレンチ直下にＮ⁻形領域４０１が形成されている。Ｎ⁻形領域４０１によって、トレンチソース絶縁膜１０９に加わる電界が緩和される。これによって、前記実施の形態１と同様の効果に加えて、トレンチソース絶縁膜１０９を薄くすることができ、ゲート絶縁膜１０６とトレンチソース絶縁膜１０９とを同一工程で形成することが可能となる。

10

【００５８】

（実施の形態５）

本発明の実施の形態５の半導体装置を、図１０を用いて説明する。

【００５９】

図１０は本発明の実施の形態５のＲＥＳＵＲＦ構造を有する低耐圧の縦形トレンチＭＯＳＦＥＴの構造の一例を示す。

【００６０】

本実施の形態５の縦形トレンチＭＯＳＦＥＴにおいて、前記実施の形態１と異なる点は以下の通りである。本実施の形態は、フィールドトレンチの底がＮ⁺形基板１０１内に達することを特徴とする。

20

【００６１】

すなわち、本実施の形態の縦形トレンチＭＯＳＦＥＴにおいては、ソーストレンチがＮ⁺形基板１０１内に延在している。これによって、前記実施の形態１と同様の効果に加えて、ソーストレンチの深さが異なることによるドレイン-ソース間耐圧のばらつきを抑制することが可能になる。

【００６２】

（実施の形態６）

本発明の実施の形態６の半導体装置を、図１１を用いて説明する。

【００６３】

図１１は本発明の実施の形態６のＲＥＳＵＲＦ構造を有する低耐圧の縦形プレーナＭＯＳＦＥＴの構造の一例を示す。

30

【００６４】

本実施の形態６の縦形プレーナＭＯＳＦＥＴにおいて、前記実施の形態１と異なる点は以下の通りである。本実施の形態は、下面にドレイン電極１１１を有するＮ⁺形基板１０１の上面に形成されたＮ形エピタキシャル層１０２と、このＮ形エピタキシャル層１０２表面に選択的に形成されたチャネル領域（Ｐ形）５０１と、このチャネル領域５０１表面に選択的に形成されたソース領域（Ｎ⁺形）５０２と、チャネル領域５０１上にゲート絶縁膜５０４を挟んで位置するゲート電極５０３と、ソース領域５０２上に形成されたソース電極１１０と、表面からＮ形エピタキシャル層１０２内に延在するソーストレンチと、このソーストレンチ内にトレンチソース絶縁膜１０９を挟んで位置するトレンチソース電極１０８とを備えており、さらにソース電極１１０がソーストレンチ内でチャネル領域５０１と接触しているボディコンタクト領域１０７と接触していることを特徴とする。

40

【００６５】

すなわち、本実施の形態の縦形プレーナＭＯＳＦＥＴにおいては、チャネル領域５０１の表面にゲート絶縁膜５０４が形成され、さらにゲート絶縁膜５０４の上にゲート電極５０３が形成されている。これによって、前記実施の形態１と同様の効果に加えて、ゲートトレンチを形成する工程を削減することが可能になる。

【００６６】

以上、本発明者によってなされた発明を、発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種

50

々変更可能であることはいうまでもない。

【0067】

例えば、前記実施の形態では、Nチャネル形のパワーMOSFETについて説明したが、Pチャネル形のパワーMOSFETでも良いし、IGBTでも良く、他の半導体装置にも広く適用することができる。

【産業上の利用可能性】

【0068】

本発明は、パワーMOSFETに係わり、特に低耐圧パワーMOSFETのデバイス構造とその製造方法に適用して有効であり、さらに縦形構造を有する半導体装置全般に適用可能である。

【図面の簡単な説明】

【0069】

【図1】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す図である。

【図2A】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法の一例を示す図である。

【図2B】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図2Aに続く)の一例を示す図である。

【図2C】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図2Bに続く)の一例を示す図である。

【図2D】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図2Cに続く)の一例を示す図である。

【図2E】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図2Dに続く)の一例を示す図である。

【図2F】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図2Eに続く)の一例を示す図である。

【図2G】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図2Fに続く)の一例を示す図である。

【図3】本発明の実施の形態1のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の別の一例を示す図である。

【図4】本発明の実施の形態1の電界強度分布の模式図である。

【図5】本発明の実施の形態1のソーストレンチ深さとドレイン-ソース間耐圧との関係のシミュレーション結果を示す図である。

【図6】本発明の実施の形態2のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す図である。

【図7A】本発明の実施の形態2のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法の一例を示す図である。

【図7B】本発明の実施の形態2のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図7Aに続く)の一例を示す図である。

【図7C】本発明の実施の形態2のRESURF構造を有する低耐圧の縦形トレンチMOSFETの製造方法(図7Bに続く)の一例を示す図である。

【図8】本発明の実施の形態3のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す図である。

【図9】本発明の実施の形態4のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す図である。

【図10】本発明の実施の形態5のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す図である。

【図11】本発明の実施の形態6のRESURF構造を有する低耐圧の縦形トレンチMOSFETの構造の一例を示す図である。

【符号の説明】

10

20

30

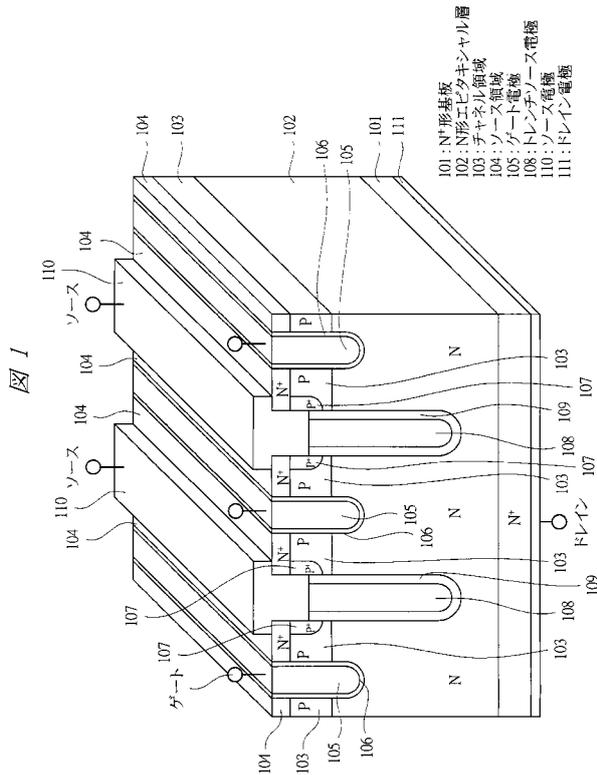
40

50

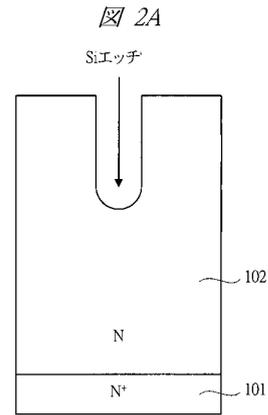
【0070】

101...N⁺形基板、102...N形エピタキシャル層、103, 501...チャンネル領域、104, 301, 502...ソース領域、105, 503...ゲート電極、106, 201, 504...ゲート絶縁膜、107, 302...ボディコンタクト領域、108...トレンチソース電極、109...トレンチソース絶縁膜、110...ソース電極、111...ドレイン電極、401...N⁻形領域。

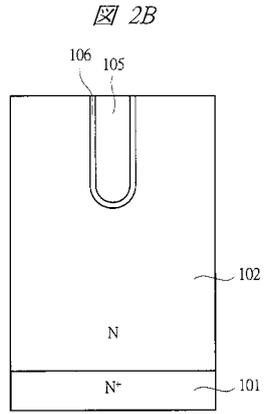
【図1】



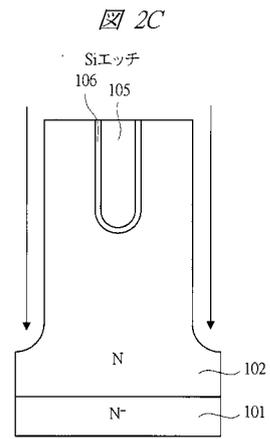
【図2A】



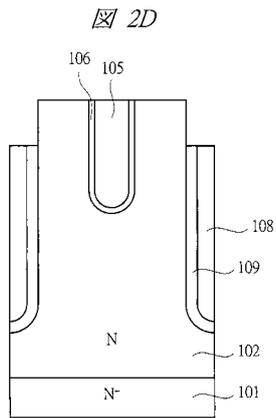
【図 2 B】



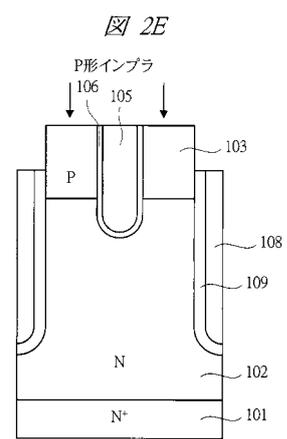
【図 2 C】



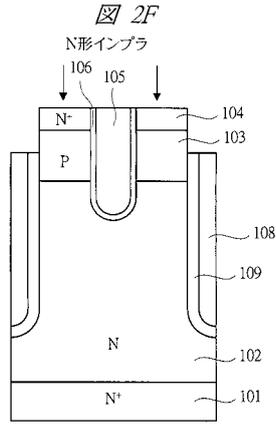
【図 2 D】



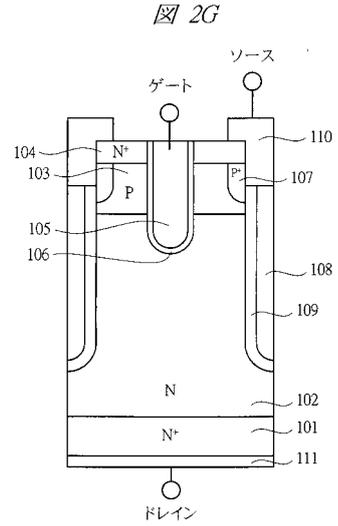
【図 2 E】



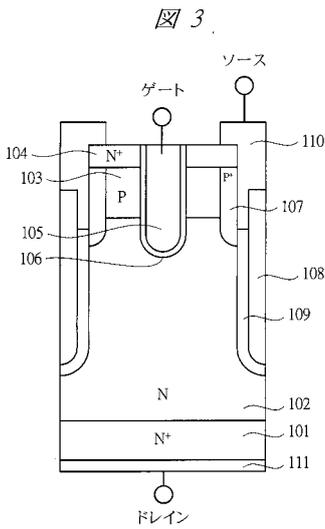
【図 2 F】



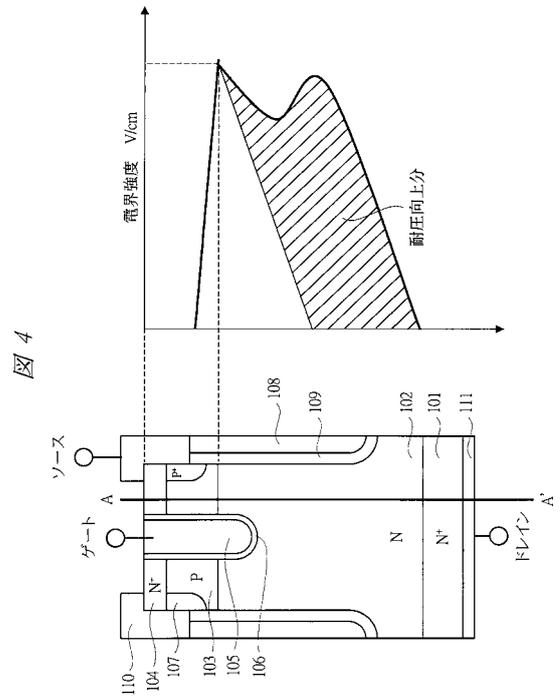
【図 2 G】



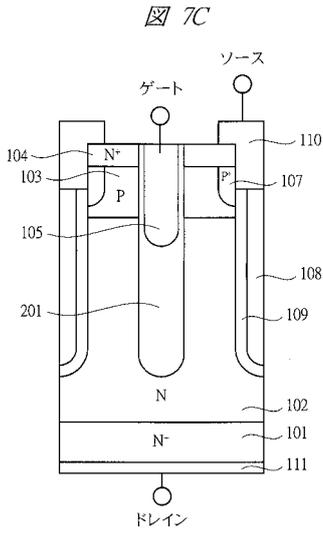
【図 3】



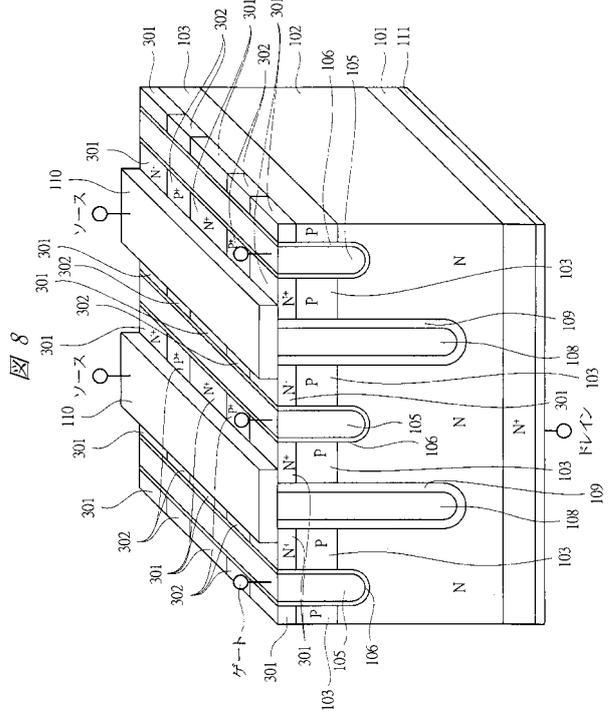
【図 4】



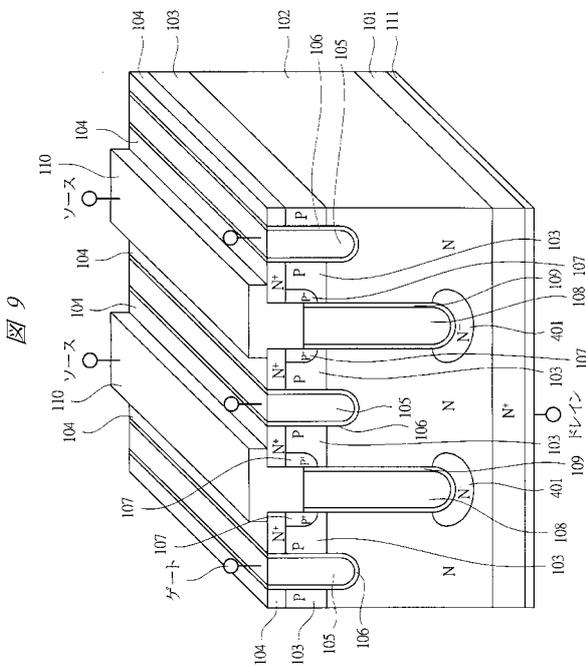
【図7C】



【図8】



【図9】



【図10】

