

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4870325号  
(P4870325)

(45) 発行日 平成24年2月8日(2012.2.8)

(24) 登録日 平成23年11月25日(2011.11.25)

(51) Int.Cl.		F I		
<b>G 1 1 C 29/56</b>	<b>(2006.01)</b>	G 1 1 C	29/00	6 5 1 P
<b>G 1 1 C 29/34</b>	<b>(2006.01)</b>	G 1 1 C	29/00	6 7 1 P
<b>G O 1 R 31/28</b>	<b>(2006.01)</b>	G O 1 R	31/28	B

請求項の数 10 (全 20 頁)

<p>(21) 出願番号 特願2003-303322 (P2003-303322)</p> <p>(22) 出願日 平成15年8月27日 (2003.8.27)</p> <p>(65) 公開番号 特開2004-95156 (P2004-95156A)</p> <p>(43) 公開日 平成16年3月25日 (2004.3.25)</p> <p>審査請求日 平成18年8月3日 (2006.8.3)</p> <p>(31) 優先権主張番号 2002-051532</p> <p>(32) 優先日 平成14年8月29日 (2002.8.29)</p> <p>(33) 優先権主張国 韓国 (KR)</p> <p>前置審査</p>	<p>(73) 特許権者 390019839 三星電子株式会社 Samsung Electronics Co., Ltd. 大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea</p> <p>(74) 代理人 100086368 弁理士 萩原 誠</p> <p>(72) 発明者 金 成 律 大韓民国京畿道水原市長安区華西1洞67 4-1番地 豊林アパート211棟180 2号</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 テストモードのために選択的にイネーブルされる出力回路を有するメモリ装置及びそのテスト方法

(57) 【特許請求の範囲】

【請求項1】

内部データラインの各々からデータを受信するよう構成され、かつ、データ入出力ピンの各々に連結される複数のデータ出力回路と、

複数の第1及び第2外部印加制御信号にตอบสนองして、対応する前記データ入出力ピンの各々を駆動する前記複数のデータ出力回路のサブセットの各々を選択的にイネーブルするデータ出力制御回路とを備え、

前記データ出力制御回路は、

前記複数の第1外部印加制御信号にตอบสนองしてテストモードコマンド信号及び読出し命令を発生させるコマンドデコーダと、

前記複数の第2外部印加制御信号のうちの一つにตอบสนองして、複数のグループ制御信号のうちの一つを各々発生する複数の書込み禁止信号入力バッファ回路と、

前記コマンドデコーダ及び前記複数の書込み禁止信号入力バッファ回路に連結され、前記テストモードコマンド信号、前記読出し命令、及び前記複数のグループ制御信号にตอบสนองして前記複数のデータ出力回路のサブセットを選択的にイネーブルするデータ出力選択回路と、を備え、

前記データ出力選択回路は、前記複数のグループ制御信号を受信し、前記複数のグループ制御信号のうち一つに各々ตอบสนองして複数の出力制御信号を各々発生し、

前記複数のデータ出力回路のサブセットの各々は、前記複数の出力制御信号のうち一つを各々受信してイネーブル又はディセーブルされ、

前記複数の第2外部印加制御信号の各々は、

ノーマルモードでは、書き込み禁止信号としてメモリセルへのデータ書き込みの禁止/許可を前記複数のデータ出力回路のサブセット別に制御するために使用され、

読出しテスト時では、前記複数のデータ出力回路のサブセットの各々を順次イネーブルするように制御するために使用されることを特徴とするメモリ装置。

【請求項2】

前記データ出力制御回路は、

前記複数のデータ出力回路のサブセットが各々対応する前記データ入出力ピンに選択的にハイインピーダンスを提供することを特徴とする請求項1に記載のメモリ装置。

【請求項3】

前記データ出力選択回路は、

前記コマンドデコーダによって発生する前記読出し命令にตอบสนองして、前記複数のデータ出力回路の全体にイネーブル信号を印加する第1出力制御回路と、

前記複数のグループ制御信号の一つである第1グループ制御信号を受信し、前記複数のデータ出力回路の第1サブセットのための、前記複数の出力制御信号の一つである第1出力制御信号を発生する第2出力制御回路と、

前記複数のグループ制御信号の他の一つである第2グループ制御信号を受信し、前記複数のデータ出力回路の第2サブセットのための、前記複数の出力制御信号の他の一つである第2出力制御信号を発生する第3出力制御回路と、

を備えることを特徴とする請求項1に記載のメモリ装置。

【請求項4】

前記データ出力制御回路は、

前記コマンドデコーダによって発生する前記テストモードコマンド信号にตอบสนองして、前記複数の書き込み禁止信号入力バッファ回路をイネーブルする書き込み禁止信号入力バッファ制御回路をさらに備えることを特徴とする請求項1に記載のメモリ装置。

【請求項5】

前記書き込み禁止信号入力バッファ制御回路は、

前記コマンドデコーダからのデータ書き込み命令にตอบสนองして、第1書き込み禁止信号入力バッファ制御信号を出力する制御信号発生回路と、

前記第1書き込み禁止信号入力バッファ制御信号及び前記テストモードコマンド信号を論理的に結合し、前記複数の書き込み禁止信号入力バッファ回路に第2書き込み禁止信号入力バッファ制御信号を各々印加する論理回路と、

をさらに備えることを特徴とする請求項4に記載のメモリ装置。

【請求項6】

前記複数の書き込み禁止信号入力バッファ回路の各々は、

第1状態の第2書き込み禁止信号入力バッファ制御信号にตอบสนองして、前記複数の第2外部印加制御信号のうち一つを基準電圧と比較し、前記複数のグループ制御信号のうち一つを出力する電圧比較回路と、

第2状態の前記第2書き込み禁止信号入力バッファ制御信号にตอบสนองして、前記複数のグループ制御信号のうち一つをグラウンド電圧の信号とする出力制御回路と、

を備えることを特徴とする請求項5に記載のメモリ装置。

【請求項7】

前記複数のデータ出力回路の各々は、

前記内部データラインからデータを受信し、前記データ出力制御回路から前記出力制御信号を受信し、それにตอบสนองして外部クロック信号に同期する同期データ信号を発生するDQバッファ回路と、

前記同期データ信号にตอบสนองして前記入出力ピンを駆動するドライバ回路と、

を備えることを特徴とする請求項1に記載のメモリ装置。

【請求項8】

ダブルデータレート同期式ランダムアクセスメモリとして動作される請求項1に記載の

10

20

30

40

50

メモリ装置。

【請求項 9】

内部データラインの各々からデータを受信するよう構成され、かつデータ入出力ピンの各々に連結される複数のデータ出力回路を備えるメモリ装置のテスト方法において、

対応する前記各データ入出力ピンでロードを駆動する前記複数のデータ出力回路のサブセットを選択的にイネーブルするように前記メモリ装置に複数の第 1 および第 2 外部印加制御信号を印加する段階を含み、

前記複数のデータ出力回路の第 1 及び第 2 サブセット各々の第 1 及び第 2 データ出力回路に連結される前記入出力ピンを外部データラインに共通に連結する段階と、

前記複数の第 1 及び第 2 外部印加制御信号にตอบสนองして前記第 1 及び第 2 データ出力回路を択一的にイネーブルし、前記メモリ装置の第 1 及び第 2 の内部データラインのいずれか一方からのデータを有するように前記外部データラインを駆動する段階と、  
をさらに含み、

前記複数の第 1 及び第 2 外部印加制御信号にตอบสนองして前記第 1 及び第 2 データ出力回路を択一的にイネーブルする段階は、

前記複数の第 1 外部印加制御信号にตอบสนองして、前記メモリ装置のコマンドデコードからテストモードコマンド信号を発生する段階と、

前記テストモードコマンド信号にตอบสนองして前記メモリ装置の複数の書込み禁止信号入力バッファ回路をイネーブルする段階と、

前記複数の第 1 外部印加制御信号にตอบสนองして、前記コマンドデコードから第 1 読出し命令を発生させる段階と、

前記複数の書込み禁止信号入力バッファ回路のうち第 1 書込み禁止信号入力バッファ回路に入力される前記複数の第 2 外部印加制御信号のうち第 1 の第 2 外部印加制御信号にตอบสนองして、第 1 グループ制御信号を遷移する段階と、

前記第 1 読出し命令及び前記第 1 グループ制御信号の遷移にตอบสนองして、前記複数のデータ出力回路の第 1 サブセットをイネーブルし、第 1 セットの内部データラインからのデータを有するように前記外部データラインのセットを駆動する段階と、

前記複数の第 1 外部印加制御信号にตอบสนองして、前記コマンドデコードから第 2 読出し命令を発生させる段階と、

前記複数の書込み禁止信号入力バッファ回路のうち第 2 書込み禁止信号入力バッファ回路に入力される前記複数の第 2 外部印加制御信号のうち第 2 の第 2 外部印加制御信号にตอบสนองして、第 2 グループ制御信号を遷移する段階と、

前記第 2 読出し命令及び前記第 2 グループ制御信号の遷移にตอบสนองして、前記複数のデータ出力回路の第 2 サブセットをイネーブルし、第 2 セットの内部データラインからのデータを有するように前記外部データラインのセットを駆動する段階と、  
を含み、

前記複数の第 2 外部印加制御信号の各々は、

ノーマルモードでは、書き込み禁止信号としてメモリセルへのデータ書込みの禁止 / 許可を前記複数のデータ出力回路のサブセット別に制御するために使用され、

読出しテスト時では、前記複数のデータ出力回路のサブセットの各々を順次イネーブルするように制御するために使用されることを特徴とするメモリ装置のテスト方法。

【請求項 10】

前記第 1 データ出力回路は、

前記第 2 データ出力回路がイネーブルされる時、前記外部データラインにハイインピーダンスを提供することを特徴とする請求項 9 に記載のメモリ装置のテスト方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリ装置及びそのテスト方法に係り、特に、テスト効率を向上させるための内部回路を有するメモリ装置及びそのテスト方法に関する。

10

20

30

40

50

## 【背景技術】

## 【0002】

一般的に、半導体メモリ装置は使用者に販売される前に工場テスト装置によってあらかじめその不良の有無が検査される。従来のテスト装置の一例が特許文献1に開示されている。一方、上記テスト装置が半導体メモリ装置を検査するのにかかる時間は製品コストを上昇させる直接的な要因として作用している。したがって、検査時間を短縮させるための多くの努力が行われている。

製品の検査項目を減らすのは難しいので、全体の検査時間を減らすために一般的に複数の製品が並列にテストされる。その結果、一つのテスト装置によって同時にテストできる製品の数に比例してテスト時間が減少する。

10

## 【0003】

半導体メモリ装置には、2進データを入出力するための多数のデータ入出力ピン及び半導体メモリ装置の制御のための多数の制御ピンが備えられている。このような半導体メモリ装置の検査のために、テスト装置の入出力ピンは半導体メモリ装置のデータ入出力ピン及び制御ピンと連結される。ここで、制御ピンに印加される制御信号は、各製品に共通に適用される信号であるので、テスト装置の制御信号出力ピンには多数の製品の制御ピンが共通に連結される。したがって、半導体メモリ装置の制御ピン数は、同時に検査できる製品数には影響を与えない。しかし、半導体メモリ装置のデータ出力信号は、各製品によって違うので、検査される全ての製品のデータ入出力ピンはテスト装置の入出力ピンに1:1に連結されなければならない。したがって、各製品のデータ入出力ピン数によって同時に検査できる製品数が決定される。

20

## 【0004】

半導体メモリ装置は、一回に入出力できる2進データの個数によってX4、X8、X16製品に分類される。X4製品は4個のデータ入出力ピンを備え、一回に4個のデータを処理できる。X8製品は8個のデータ入出力ピンを備え、一回に8個のデータを処理できる。また、X16製品は16個のデータ入出力ピンを備え、一回に16個のデータを処理できる。

ここで、X16製品のデータ入出力ピン数は、X8製品のデータ入出力ピン数の2倍であるので、一つのテスト装置で同時に検査できるX16製品数はX8製品数に比べて半分に減少する。

30

一般的なX16半導体メモリ装置がテスト装置に連結された状態が図1に示されている。

## 【0005】

図1は、従来のDDR SDRAM (Double Data Rate Synchronous DRAM) がテスト装置に連結された状態を示すブロック図である。

図1に示すように、多数のX16 DDR SDRAM 10 各々の制御信号入力ピン11はDRAMテスト装置20の制御信号入力ピン21各々に共通に連結される。また、X16 DDR SDRAM 10 各々のデータ入出力ピン12は、DRAMテスト装置20のデータ入出力ピン22各々に1:1に連結される。X16 DDR SDRAM 10はDRAMテスト装置20から出力される制御信号によってデータ入出力ピン12を通じて当該データをDRAMテスト装置20のデータ入出力ピン22に出力したり、またはデータ入出力ピン22から出力されるデータを入力したりする。

40

## 【0006】

DRAMテスト装置20はデータ入出力ピン22に入力されるデータを検査して、当該DDR SDRAMの不良の有無をチェックする。

図1のように、従来はX16 DDR SDRAMのデータ入出力ピン12の全てがDRAMテスト装置20のデータ入出力ピン22に各々1:1に連結されるので、同時に検査できるX16 DDR SDRAMの数が同時に検査できるX8 DDR SDRAMの数に比べて極めて限定される。

## 【0007】

50

図2は、図1に示すDDR SDRAMの内部回路を示すブロック図である。

図2で、DDR SDRAMの内部回路30は内部回路決定部31、コマンドデコーダ32、制御信号発生部33、第1及び第2入力バッファ34、35、DQ(Data input/output)バッファ制御部36、第1及び第2書込み制御部37、38、複数のDQバッファ39及び複数のドライバ40を備える。内部回路決定部31は、所定の制御信号PINOOUTを出力してDDR SDRAMの入出力データピン数及びそれによる内部回路を決定する。コマンドデコーダ32は、外部から入力される制御信号C0、C1、...、CXにตอบสนองして複数の制御命令を出力する。

【0008】

制御信号発生部33は、コマンドデコーダ32から出力されるデータ書込み命令WRITEにตอบสนองして制御信号PBUFENを活性化させて出力する。制御信号PBUFENは、第1及び第2入力バッファ34、35をターンオンまたはターンオフするための信号である。

10

第1及び第2入力バッファ34、35は、制御信号PBUFENが活性化されるとターンオンされる。第1及び前記第2入力バッファ34、35は外部から入力される書込み禁止信号UDM、LDMにตอบสนองして、各々制御信号UDMT、LDMTを活性化する。制御信号UDMT、LDMTによって第1及び第2書込み制御部37、38が動作する。

【0009】

第1及び第2書込み制御部37、38は、各々8個ずつのデータ入出力ピン12に入力されるデータの書込み動作を制御する。より詳細に説明すると、第1書込み制御部37は、制御信号UDMTが非活性化状態である時、第1書込み制御部37によって制御される8個のデータ入出力ピン12に入力されるデータがメモリセル(図示せず)に書込まれなくする。また、制御信号LDMTが非活性化状態である時、第2書込み制御部38は第2書込み制御部38によって制御される8個のデータ入出力ピン12に入力されるデータのメモリセルへの書込みを防止する。

20

【0010】

ここで、第1及び前記第2入力バッファ34、35、第1及び前記第2書込み制御部37、38及び前記制御信号発生部33はDDR SDRAMのテスト動作では使われず、DDR SDRAMのデータ書込みWRITE動作で使われる。DQバッファ制御部36は、コマンドデコーダ32から出力されるデータ読出しし命令READにตอบสนองして制御信号PTRSTを出力する。制御信号PTRSTはデータ読出しし命令READにตอบสนองしてイネーブルされ、所定時間が過ぎればディセーブルされる。制御信号PTRSTがイネーブルされれば、データ入出力ピン12からデータが出力される。

30

【0011】

複数のDQバッファ39は、複数のドライバ40を介してデータ入出力ピン12に各々連結される。複数のDQバッファ39各々は制御信号PINOOUTによってオン・オフされる。結局、制御信号PINOOUTによってデータの入出力に使われるDQバッファ39の数が決定され、データ入出力ピン12の数が決定される。

また、制御信号PTRSTがイネーブルされれば、複数のDQバッファ39がメモリセルのデータ、すなわち、内部データライン14上に生成されたデータD00、D01、D03、...、D015を外部クロック信号に同期して内部信号を発生する。

40

【0012】

複数のドライバ40各々は内部信号を受信し、データ入出力ピン12を介してデータDQ0、DQ1、DQ3、...、DQ15を出力する。

複数のDQバッファ39及び複数のドライバ40は、制御信号PTRSTがディセーブルされれば、ハイインピーダンス状態に遷移し、データDQ0、DQ1、DQ3、...、DQ15を出力しない。

【0013】

一方、大きな外部ロードキャパシタンスについて高速にデータD00、D01、D03、...、D015を出力するために、複数のドライバ40はデータ入出力ピン12に増加

50

された電流ソーシング/シンキング能力を提供する。複数のドライバ40はデータD00, D01, D03, . . . D015をデータ入出力ピン12を介してデータDQ0, DQ1, DQ3, . . . DQ15に出力する。

【0014】

図3は、テストモードでの図2に示されたDDR SDRAMの信号を示すタイミング図である。テストモードでコマンドデコーダ32がクロック信号CLKに同期してデータ読出し命令READを出力すれば、DQバッファ制御部36はデータ読出し命令READに回答して制御信号PTRSTをイネーブルする。

制御信号PTRSTがイネーブルされると、DQバッファ39がターンオンされてドライバ40を制御し、ドライバ40を介してデータDQ0, DQ1, . . . DQ15が出力される。ここで、制御信号発生部33と第1及び第2入力バッファ34, 35とはDDR SDRAMのテストモードでは使用されないため、制御信号PBUFENは非活性状態である。

【0015】

また、書込み禁止信号UDM, LDMが非活性状態であるため、制御信号UDMT, LDMも非活性状態である。前述したように、従来のDDR SDRAMはデータ入出力ピンをテスト装置のデータ入出力ピンと各々1:1に連結して使用するため、同時に検査できる製品の数が限定される。

したがって、一つのテスト装置で同時に検査できる半導体メモリ装置の数を増加させるためには、半導体メモリ装置のデータ入出力ピン数を減少させる必要がある。

【特許文献1】米国特許第5,157,664号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

本発明が解決しようとする課題は、データ出力ピンのセットがテスト構成で共通に連結されることを許すように、データ出力回路のサブセットが選択的にイネーブルされるDDR SDRAMのようなメモリ装置を提供することである。

【課題を解決するための手段】

【0017】

前記課題を達成するために、本発明の実施例で、メモリ装置は各々の内部データラインからデータを受信する回路と各々のデータ入出力ピンに連結される回路である複数のデータ出力回路とを含む。前記メモリ装置は、外部印加制御信号に回答して、各々に対応するデータ入出力ピンを駆動する複数のデータ出力回路のサブセットを選択的にイネーブルするデータ出力制御回路をさらに含む。前記データ出力制御回路は、選択的に複数のデータ出力回路のサブセットが各々対応するデータ入出力ピンにハイインピーダンスを提供するように動作できる。前記複数のデータ出力回路のサブセットに各々対応する前記データ入出力ピンはテスト構成で共通に連結される。

【0018】

本発明の追加の実施例で、データ出力制御回路は第1外部印加制御信号に回答してテストモードコマンド信号及び読出し命令を発生させるコマンドデコーダと、前記コマンドデコーダに連結され、前記テストモードコマンド信号、前記読出し命令、及び第2外部印加制御信号に回答して前記複数のデータ出力回路のサブセットを選択的にイネーブルするデータ出力選択回路とを含む。前記データ出力選択回路は複数のグループ制御信号を受信し、前記グループ制御信号のうちの一つに各々回答して出力制御信号を各々発生するデータ出力制御回路と、複数の外部印加書込み禁止信号のうちの一つを各々受信し、グループ制御信号のうちの一つを各々発生する複数の書込み禁止信号入力バッファ回路を含む。前記複数のデータ出力回路のサブセットの各々は、前記出力制御信号のうちの一つを各々受信するように構成でき、前記出力制御信号に回答してイネーブルされ、ディセーブルされるよう動作する。追加の実施例によれば、前記データ出力制御回路は前記コマンドデコーダによって発生する読出し命令に回答して、前記複数のデータ出力回路の全体にイネーブル

信号を印加する第1出力制御回路と、第1グループ制御信号を受信し、前記複数のデータ出力回路の第1サブセットのための第1グループイネーブル信号を発生する第2出力制御回路と、第2グループ制御信号を受信し、前記複数のデータ出力回路の第2サブセットのための第2グループイネーブル信号を発生する第3出力制御回路とを含む。

【0019】

本発明の他の実施例で、前記データ出力制御回路は前記コマンドデコーダによって発生するテストモードコマンド信号にตอบสนองして、前記複数の書込み禁止信号入力バッファをイネーブルする書込み禁止信号入力バッファ制御回路をさらに備える。前記書込み禁止信号入力バッファ制御回路は、前記コマンドデコーダからのデータ書込み命令にตอบสนองして、書込み禁止信号入力バッファ制御信号を出力する制御信号発生回路と、前記書込み禁止信号入力バッファ制御信号及び前記テストモードコマンド信号を論理的に結合し、前記複数の書込み禁止信号入力バッファ回路に書込み禁止信号入力バッファ制御信号を各々印加する論理回路とを含む。

10

【0020】

前記複数の書込み禁止信号入力バッファ回路の書込み禁止信号入力バッファ回路は、第1状態の第1書込み禁止信号入力バッファ制御信号にตอบสนองして、書込み禁止信号を基準電圧と比較し、第1グループ制御信号を出力する電圧比較回路を含む。前記書込み禁止信号入力バッファ回路は、第2状態の前記第1書込み禁止信号入力バッファ制御信号にตอบสนองして、前記第1グループ制御信号をグラウンド電圧の信号となるようにする出力制御回路をさらに含む。前記複数のデータ出力回路のデータ出力回路は、内部データラインからデータを受信し、前記データ出力制御回路から出力制御信号を受信し、それにตอบสนองして外部クロック信号に同期される同期データ信号を発生するDQバッファ回路と、前記同期データ信号にตอบสนองして入出力ピンを駆動するドライバ回路とを含む。

20

【0021】

本発明はメモリ装置をテストする方法として実現できる。特に、本発明の実施例で、各々の内部データラインから各々データを受信する回路とメモリ装置の各々の入出力ピンに各々連結される回路である複数のデータ出力回路とを備えるメモリ装置は、前記メモリ装置が各々対応するデータ入出力ピンにロードを駆動する前記複数のデータ出力回路のサブセットを選択的にイネーブルするように制御信号を印加することによってテストされる。複数のデータ出力回路の第1及び第2サブセット各々の第1及び第2データ出力回路に連結される入出力ピンは、一つの外部データラインに共通に連結される。前記第1及び第2データ出力回路は前記制御信号にตอบสนองして択一的にイネーブルし、前記メモリ装置の第1及び第2の他の内部データラインからのデータを有するように前記外部データラインを駆動する。前記第1データ出力回路は、前記第2データ出力回路がイネーブルされる時、前記外部データラインにハイインピーダンスを提供する。

30

【発明の効果】

【0022】

本発明のテスト効率を向上させるための内部回路を有する半導体メモリ装置及びそのテスト方法によれば、テスト装置に連結される半導体メモリ装置のデータ入出力ピン数を減少させることができる。

40

【発明を実施するための最良の形態】

【0023】

以下、添付した図面を参照して、本発明の望ましい実施例を説明することによって、本発明を詳細に説明する。各図面に付された同一参照符号は同一部材を表わす。

【0024】

図4は、本発明の実施例によるDDR SDRAMの一部のブロック図である。図4に示すように、内部回路100はコマンドデコーダ110と、外部の書込み禁止信号DM1、DM2を受信する第1及び第2書込み禁止信号入力バッファ130、140を制御する書込み禁止信号入力バッファ制御部120と、データ出力選択回路150を含むデータ出力制御回路101とを含む。第1及び第2データ出力装置160、170はDQバッファ

50

回路 161, 171 とドライバ 162, 172 とを含むデータ出力回路の第 1 及び第 2 セットを含む。

【0025】

また、内部回路 100 は、内部回路決定部 31 と、第 1 書込み制御部 37 及び第 2 書込み制御部 38 とをさらに備える。メモリセル、センスアンプのようなメモリ装置の他の部分は説明を簡略化するために図示されておらず、当業者に周知の前記他の部分の動作は詳細説明を省略する。ここで、前述の説明は DDR SDRAM に関連するが、本発明はメモリを含むハイブリッド装置を含む他のメモリ装置にも適用されうる。

【0026】

コマンドデコーダ 110 は、外部の制御信号を入力するための複数の制御信号入力ピン 310 を含む。コマンドデコーダ 110 は制御信号入力ピン 310 を介して外部の制御信号 C0, C1, . . . CX の入力にตอบสนองし、複数の内部制御命令を出力する。ここで、外部の制御信号 C0, C1, . . . CX はチップ選択信号 /CS、ローアドレスストロブ信号 /RAS、カラムアドレスストロブ信号 /CAS 及び記録イネーブル信号 /WE を含む。複数の内部制御命令は（前記メモリ装置がテストモードであるかの可否を表わす）MRS 命令 MRS、データ読出し命令 READ、データ書込み命令 WRITE を含む。MRS 命令 MRS は、DDR SDRAM をノーマルモードまたはテストモードに転換させる。書込み禁止信号入力バッファ制御部 120 は、MRS 命令 MRS にตอบสนองして制御信号 PBPUB を活性化する。制御信号 PBPUB は、第 1 書込み禁止信号入力バッファ 130 及び第 2 書込み禁止信号入力バッファ 140 を制御する。第 1 書込み禁止信号入力バッファ 130 及び第 2 書込み禁止信号入力バッファ 140 は、制御信号 PBPUB が活性化される時にターンオンされる。

【0027】

第 1 書込み禁止信号入力バッファ 130 及び第 2 書込み禁止信号入力バッファ 140 は、制御信号入力ピン 320 を介して入力される第 1 及び第 2 書込み禁止信号 DM1, DM2 にตอบสนองして、各々第 1 及び第 2 グループ制御信号 DMT1, DMT2 を生成する。

データ出力選択回路 150 は、第 1 出力制御部 151 と、第 2 出力制御部 152 及び第 3 出力制御部 153 とを含む。第 1 出力制御部 151 は、コマンドデコーダ 110 から出力されるデータ読出し命令 READ にตอบสนองして第 1 出力制御信号 PTRST を生成する。第 1 出力制御信号 PTRST は、データ読出し命令 READ にตอบสนองしてイネーブルされ、所定時間が過ぎればディセーブルされる。第 2 出力制御部 152 に MRS 命令 MRS 及び第 1 グループ制御信号 DMT1 が入力され、第 3 出力制御部 153 には MRS 命令 MRS 及び第 2 グループ制御信号 DMT2 が入力される。

【0028】

第 2 出力制御部 152 は、MRS 命令 MRS が入力され、第 1 グループ制御信号 DMT1 が活性化されることによって第 2 出力制御信号 RDDM1 を活性化する。

第 3 出力制御部 153 は、MRS 命令 MRS が入力され、第 2 グループ制御信号 DMT2 が活性化されることによって第 3 出力制御信号 RDDM2 を活性化する。

第 1 データ出力装置 160 は、第 1 DQ バッファ 161 及び第 1 ドライバ 162 を各々含む第 1 セットのデータ出力回路 163 を含む。第 2 データ出力装置 170 は、第 2 DQ バッファ 171 及び第 2 ドライバ 172 を各々含む第 2 セットのデータ出力回路 173 を含む。

【0029】

また、第 1 データ出力装置 160 に第 1 入出力ピングループ 330 が連結され、第 2 データ出力装置 170 に第 2 入出力ピングループ 340 が連結される。

第 1 入出力ピングループ 330 は、複数個の第 1 データ入出力ピン 331 を含み、第 2 入出力ピングループ 340 は複数個の第 2 データ入出力ピン 341 を含む。

テスト時に、第 1 入出力ピングループ 330 及び第 2 入出力ピングループ 340 の各々のデータ入出力ピン 331, 341 は共通の外部データラインによってテスト装置に連結される。

10

20

30

40

50



したがって、データ読出しテスト時には入出力ピングループ別に分けてデータ読出しテストを反復し、データ書込みテスト時には全体グループを一回でデータ書込みを行う。

【0030】

第1DQバッファ161は、第1及び第2出力制御信号PTRST, RDDM1と、内部データライン165の第1グループ内部データD0D07及び外部クロック信号を論理演算して所定の制御信号DOKP, DOKN(図9参照)を各々出力する。

第1ドライバ162は、制御信号DOKP, DOKNによって第1グループデータDQ0DQ7を出力し、またはハイインピーダンス状態となると、データDQ0DQ7を出力しない。

ドライバがハイインピーダンス状態に変われば、ハイインピーダンス状態のドライバがデータを出力しないので、ドライバはハイインピーダンス状態ではない他のドライバに連結されるデータ入出力ピンから出力されるデータには影響を与えない。

10

【0031】

第2DQバッファ171もやはり、第1及び第3出力制御信号PTRST, RDDM2と、内部データライン175の第2グループ内部データD08D015及び外部クロック信号とを論理演算して所定の制御信号DOKP, DOKN(図9参照)を各々生成する。

第2ドライバ172は、制御信号DOKP, DOKNによって第2グループデータDQ8DQ15を出力し、またはハイインピーダンス状態となると、第2グループデータDQ8DQ15を出力しない。

【0032】

20

ここで、第1DQバッファ161及び前記第1ドライバ162は、第2出力制御信号RDDM1が活性状態である時、第1グループデータDQ0DQ7を出力する。

第2出力制御信号RDDM1が非活性状態となれば、第1出力制御信号PTRSTが活性状態であっても第1DQバッファ161及び前記第1ドライバ162はハイインピーダンス状態となる。

【0033】

第2DQバッファ171及び前記第2ドライバ172もやはり、第3出力制御信号RDDM2が活性状態である時、第2グループデータDQ8DQ15を出力する。

第3出力制御信号RDDM2が非活性状態となれば、第1出力制御信号PTRSTが活性状態であっても第2DQバッファ171及び第2ドライバ172はハイインピーダンス状態となる。

30

第1または第2ドライバ162, 172は、第1または第2グループ内部データD0D07, D08D015が外部の大きなロードキャパシタ(図示せず)に高速に出力させるように、大きな電流駆動能力を有する。

【0034】

ここで、DRAM内部回路は、非常に小さな電流だけにしか耐えられないので、DRAM内部のデータを外部の大きなロードキャパシタに出力するためには、外部に伝送する前にその電流量を増加しなければならない。

したがって、第1及び第2ドライバ162, 172のように大きな電流駆動能力を有した回路によってDRAM内部のデータは電流量が増加し、出力される。

40

内部回路決定部31と、第1及び第2書込み制御部37, 38の構成及び具体的な動作は、前述したものと同一であるので、説明は省略する。

【0035】

図4では第1データ出力部160及び第2データ出力部170だけを例として説明したが、第1データ出力部160は多数の第1サブデータ出力部を含み、第2データ出力部170も、多数の第2サブデータ出力部をさらに含んでもよい。

この時、第2出力制御部152は、多数の第1サブデータ出力部を制御するために多数の第2サブ出力制御部をさらに含んでもよい。

【0036】

また、第3出力制御部153も、多数の第2サブデータ出力部を制御するために多数の

50

第3サブ出力制御部をさらに含んでもよい。

ここで、第1書込み禁止信号入力バッファ130は、多数の第2サブ出力制御部を制御するために多数の第2グループ制御信号を出力する。第2書込み禁止信号入力バッファ140も、多数の第3サブ出力制御部を制御するために多数の第3グループ制御信号を出力する。

【0037】

図5は、図4に示された内部回路の典型的な動作を示すタイミングチャートである。

図5で、テスト装置によって多数の外部入力信号 /CS, /RAS, /CAS, /WE が制御信号入力ピン310に入力されれば、コマンドデコーダ110はDDR SDRAMのテストモード進入のためのMRS命令MRSを出力する。

10

MRS命令MRSが受信されることによって、書込み禁止信号入力バッファ制御部120は制御信号PB PUBを活性化し、制御信号PB PUBが活性化されることによって第1及び第2書込み禁止信号入力バッファ130, 140がターンオンされる。

この後、テスト装置によってデータ読出しのための多数の外部入力信号 /CS, /RAS, /CAS, /WEが入力されれば、コマンドデコーダ110は第1データ読出し命令READを出力する。

【0038】

第1データ読出し命令READによって、第1出力制御部151は第1出力制御信号PTRSTを所定時間イネーブルして出力する。

また、テスト装置によって第1及び第2書込み禁止信号入力バッファ130, 140に第1及び第2書込み禁止信号DM1, DM2が入力される。第1及び第2書込み禁止信号DM1, DM2はDDR SDRAMのデータ入出力ピンから出力されるデータを多数のグループに分類し、各グループ別に順次データを読出すために使われる制御信号である。

20

【0039】

したがって、第1書込み禁止信号DM1が活性化されれば、第1DQバッファ161及び第1ドライバ162によって第1グループデータDQ0~DQ7が出力され、第2書込み禁止信号DM2が活性化されれば、第2DQバッファ171及び第2ドライバ172によって第2グループデータDQ8~DQ15が出力される。図5ではデータDQ0~DQ7が出力された後、データDQ8~DQ15が出力されることが示される。

【0040】

30

テスト装置によって第1書込み禁止信号DM1が活性状態となり、第2書込み禁止信号DM2が非活性状態となれば、第1書込み禁止信号入力バッファ130は第1グループ制御信号DMT1を活性化する。この時、第2書込み禁止信号入力バッファ140は第2書込み禁止信号DM2が非活性状態であるので、第2グループ制御信号DMT2を非活性状態に出力する。

【0041】

また、第1グループ制御信号DMT1が活性化されることによって、第2出力制御部152は第2出力制御信号RDDM1を活性化する。第3出力制御部153は第2グループ制御信号DMT2が非活性状態であるので、第3出力制御信号RDDM2を非活性状態に出力する。第1DQバッファ161及び第1ドライバ162は第2出力制御信号RDDM1が活性化されることによって、データDQ0~DQ7を出力する。

40

【0042】

しかし、図5に示すように、第2DQバッファ171及び第2ドライバ172は第3出力制御信号RDDM2が非活性状態であるので、ハイインピーダンス状態となり、データDQ8~DQ15を出力しない。

この後、コマンドデコーダ110が第2データ読出しし命令READを出力し、テスト装置によって非活性状態の第1書込み禁止信号DM1及び活性状態の第2書込み禁止信号DM2が入力される。

【0043】

第1データ読出し動作と同様に、第2書込み禁止信号DM2が活性化され、第2グルー

50

プ制御信号DMT2及び第3出力制御信号RDDM2が活性化されて、第2DQバッファ171及び第2ドライバ172はデータDQ8～DQ15を出力する。

この時、第1DQバッファ161及び第1ドライバ162は第2出力制御信号RDDM1が非活性状態であるので、ハイインピーダンス状態となり、データDQ0～DQ7を出力しない。

#### 【0044】

図6は、図4に示された書込み禁止信号入力バッファ制御部の詳細なブロック回路図である。

図6のように、書込み禁止信号入力バッファ制御部120は、制御信号発生部121及び論理回路122を含む。制御信号発生部121の構成及び具体的な動作は図2に示す制御信号発生部33と同一であるので、その詳細説明は省略する。

#### 【0045】

論理回路122は、制御信号発生部121から出力される制御信号PBUFEN及びコマンドデコーダ110から出力されるMRS命令MRSを論理演算して制御信号PB PUBを出力する。論理回路122は望ましくNORゲートとするのがいい。

ここで、論理回路122は、制御信号PBUFENが“ハイ”でも“ロー”でも良く、テストモードでMRS命令MRSが“ハイ”であるので、常に“ロー”の制御信号PB PUBを出力する。したがって、MRS命令MRSが入力されれば、第1及び第2書込み禁止信号入力バッファ130, 140がターンオンされる。

#### 【0046】

図7は、図4に示された第1及び第2書込み禁止信号入力バッファの詳細なブロック回路図である。

図7に示すように、第1及び第2書込み禁止信号入力バッファ130, 140は電圧比較回路131及び出力制御回路132を備える。

電圧比較回路131は、制御信号PB PUBにตอบสนองして基準電圧VREFと第1電圧レベルを有する書込み禁止信号DM1またはDM2の電圧レベルとを比較して電位差による第2電圧レベルを有する制御信号DMT1またはDMT2をノードNODE1に出力する。電圧比較回路131は、望ましく差動増幅器でとるのがよい。電圧比較回路131は、第1及び第2PMOS負荷トランジスタP1, P2と、第1及び第2NMOS差動トランジスタN1, N2と、PMOSスイッチングトランジスタP3と、負荷Rとを備える。

#### 【0047】

第1及び第2PMOS負荷トランジスタP1, P2は、電流ミラーを構成する。

第1及び第2NMOS差動トランジスタN1, N2は、所定の基準電圧VREFと、第1電圧レベルを有する書込み禁止信号DM1またはDM2とを各々ゲート入力として受取って電圧レベルを比較してノードNODE1に第2電圧レベルを有する制御信号DMT1またはDMT2を出力する。

#### 【0048】

基準電圧VREFは、別途の基準電圧発生回路(図示せず)から発生する信号であって、一定の電圧レベルを有するPMOSスイッチングトランジスタP3は、制御信号PB PUBにตอบสนองして差動増幅器の動作をオン/オフさせる。PMOSスイッチングトランジスタP3は、第1及び第2PMOS負荷トランジスタP1, P2のソースにドレインが連結され、内部電圧VDDにソースが連結され、制御信号PB PUBをゲート入力する。出力制御回路132は、電圧比較回路131がオフ状態である時、制御信号DMT1またはDMT2をグラウンドレベルで出力させる。

#### 【0049】

出力制御回路132は、望ましくNMOSTランジスタN3とするのがよい。NMOSTランジスタN3は、ノードNODE1にドレインが連結され、グラウンドにソースが連結され、制御信号PB PUBがゲート入力される。ここで、第1書込み禁止信号入力バッファ130と前記第2書込み禁止信号入力バッファ140との差異は、電圧比較回路131に入力される書込み禁止信号と、ノードNODE1に出力される制御信号とが違ふこと

10

20

30

40

50

である。

【 0 0 5 0 】

より詳細に説明すれば、電圧比較回路 1 3 1 に入力される書込み禁止信号が第 1 書込み禁止信号入力バッファ 1 3 0 である場合には、第 1 書込み禁止信号 DM 1 であり、第 2 書込み禁止信号入力バッファ 1 4 0 である場合には、第 2 書込み禁止信号 DM 2 である。また、ノード NODE 1 に出力される信号が第 1 入力バッファ 1 3 0 である場合には、第 1 グループ制御信号 DMT 1 であり、第 2 書込み禁止信号入力バッファ 1 4 0 である場合には、第 2 グループ制御信号 DMT 2 である。

【 0 0 5 1 】

このように構成された第 1 入力バッファ 1 3 0 の動作を以下説明する。

書込み禁止信号入力バッファ制御部 1 2 0 ( 図 4 参照 ) から制御信号 P B P U B が “ ロ ” に出力されれば、 P M O S スイッチングトランジスタ P 3 がターンオンされて電圧比較回路 1 3 1 がターンオンされる。電圧比較回路 1 3 1 は基準電圧 V R E F と第 1 電圧レベルを有する第 1 書込み禁止信号 DM 1 の電圧レベルとを比較してノード NODE 1 に第 2 電圧レベルを有する第 1 グループ制御信号 DMT 1 を出力する。

この時、出力制御回路 1 3 2 は、制御信号 P B P U B が “ ロ ” であるので、ターンオフされる。一方、制御信号 P B P U B が “ ハイ ” であれば、電圧比較回路 1 3 1 がターンオフされ、出力制御回路 1 3 2 がターンオンされてノード NODE 1 はグラウンド電圧レベルに接近する。

【 0 0 5 2 】

図 8 は、図 4 に示す第 2 及び第 3 出力制御部の詳細図である。

図 8 のように、第 2 及び第 3 出力制御部 1 5 2 , 1 5 3 は N A N D ゲート 5 1 及びインバータ 5 2 , 5 3 を備える。 N A N D ゲート 5 1 は書込み禁止信号入力バッファ 1 3 0 または 1 4 0 ( 図 4 参照 ) から出力される制御信号 DMT 1 または DMT 2 と M R S 命令 M R S とを論理演算し、インバータ 5 2 , 5 3 は N A N D ゲート 5 1 の出力信号を論理演算して制御信号 R D D M 1 または R D D M 2 を出力する。

【 0 0 5 3 】

ここで、第 2 出力制御部 1 5 2 と前記第 3 出力制御部 1 5 3 との差異点は、 N A N D ゲート 5 1 に入力される信号と、インバータ 5 3 から出力される信号とが違ふということである。より詳細に説明すれば、 N A N D ゲート 5 1 に入力される信号が、第 2 出力制御部 1 5 2 である場合には、第 1 グループ制御信号 DMT 1 であり、第 3 出力制御部 1 5 3 である場合には、第 2 グループ制御信号 DMT 2 である。

また、インバータ 5 3 から出力される信号が、第 2 出力制御部 1 5 2 である場合には、第 2 出力制御信号 R D D M 1 であり、第 3 出力制御部 1 5 3 である場合には、第 3 出力制御信号 R D D M 2 である。

【 0 0 5 4 】

図 9 は、図 4 に示す第 1 及び第 2 D Q バッファと第 1 及び第 2 ドライバの詳細回路図である。

図 9 で、第 1 及び第 2 D Q バッファ 1 6 1 , 1 7 1 は第 1 論理回路 6 0 、第 2 論理回路 7 0 、第 3 論理回路 8 0 を備える。

第 1 論理回路 6 0 は、制御信号 R D D M 1 または R D D M 2 と第 1 出力制御信号 P T R S T とを外部クロック信号 C L K D Q と共に論理演算し、一対の内部制御信号 T R S T B , T R S T を出力する。第 1 論理回路 6 0 は N A N D ゲート 6 1 、伝送ゲート 6 2 及びインバータ 6 3 , 6 4 , 6 5 を含む。 N A N D ゲート 6 1 は制御信号 R D D M 1 または R D D M 2 と第 1 出力制御信号 P T R S T とを論理演算する。

【 0 0 5 5 】

伝送ゲート 6 2 のゲート各々には外部クロック信号 C L K D Q と外部クロックバー信号 C L K D Q B とがそれぞれ入力される。外部クロックバー信号 C L K D Q B は、外部クロック信号 C L K D Q がインバータ 6 3 を介して反転された信号である。伝送ゲート 6 2 は外部クロック信号 C L K D Q 及び外部クロックバー信号 C L K D Q B によってターンオン

10

20

30

40

50

される。

【 0 0 5 6 】

インバータ 6 4 は、伝送ゲート 6 2 を介して N A N D ゲート 6 1 から受信される信号を反転させて第 1 内部制御信号 T R S T を出力する。また、インバータ 6 5 は、第 1 内部制御信号 T R S T を反転させて第 2 内部制御信号 T R S T B を出力する。

第 2 論理回路 7 0 は、データ D O が外部クロック信号に同期するように、データ D O を外部クロック信号 C L K D Q と論理演算して内部データ D O 1 を出力する。

第 2 論理回路 7 0 は、インバータ 7 1 , 7 3 , 7 4 及び伝送ゲート 7 2 を含む。インバータ 7 1 はデータ D O を反転させる。

【 0 0 5 7 】

伝送ゲート 7 2 のゲート各々には外部クロック信号 C L K D Q と外部クロックバー信号 C L K D Q B とがそれぞれ入力される。外部クロックバー信号 C L K D Q B は外部クロック信号 C L K D Q がインバータ 6 3 を介して反転された信号である。

伝送ゲート 7 2 は、外部クロック信号 C L K D Q 及び外部クロックバー信号 C L K D Q B によってターンオンされる。

【 0 0 5 8 】

インバータ 7 3 は、伝送ゲート 7 2 を介してインバータ 7 1 から出力される信号を反転させて内部データ D O 1 を出力する。また、インバータ 7 4 は内部データ D O 1 を反転させてインバータ 7 3 に入力させる。第 3 論理回路 8 0 は第 1 及び 2 内部制御信号 T R S T , T R S T B 各々と内部データ D O 1 とを論理演算して制御信号 D O K N , D O K P を出力する。第 3 論理回路 8 0 は N O R ゲート 8 1 、 N A N D ゲート 8 3 及びインバータ 8 2 , 8 4 を含む。

【 0 0 5 9 】

N O R ゲート 8 1 は第 2 内部制御信号 T R S T B と前記内部データ D O 1 とを論理演算し、インバータ 8 2 は N O R ゲート 8 1 の出力信号を反転させて、制御信号 D O K P を出力する。また、N A N D ゲート 8 3 は、第 1 内部制御信号 T R S T と内部データ D O 1 とを論理演算し、インバータ 8 4 は N A N D ゲート 8 3 の出力信号を反転させて、制御信号 D O K N を出力する。

ここで、第 1 D Q バッファ 1 6 1 と前記第 2 D Q バッファ 1 7 1 との差異点は、N A N D ゲート 6 1 とインバータ 7 1 とに入力される信号が違うということである。

【 0 0 6 0 】

より詳細に説明すれば、N A N D ゲート 6 1 に入力される信号が、第 1 D Q バッファ 1 6 1 である場合には、第 1 出力制御信号 R D D M 1 であり、第 2 D Q バッファ 1 7 1 である場合には、第 2 出力制御信号 R D D M 2 である。

また、インバータ 7 1 に入力される信号が、第 1 D Q バッファ 1 6 1 である場合には、第 1 グループ内部データ D O 0 D O 7 であり、第 2 D Q バッファ 1 7 1 である場合には、第 2 グループ内部データ D O 8 D O 1 5 である。第 1 及び第 2 ドライバ 1 6 2 , 1 7 2 は各々 P M O S トランジスタ 9 1 及び N M O S トランジスタ 9 2 を含む。P M O S トランジスタ 9 1 は、制御信号 D O K P をゲート入力し、内部電圧 V D D にソースが連結され、出力ノード N O U T にドレインが連結される。

【 0 0 6 1 】

N M O S トランジスタ 9 2 は、制御信号 D O K N をゲート入力し、グラウンドにソースが連結され、出力ノード N O U T にドレインが連結される。制御信号 D O K P , D O K N によって P M O S トランジスタ 9 1 及び前記 N M O S トランジスタ 9 2 が各々制御され、出力ノード N O U T にデータ D Q が出力される。

制御信号 D O K P , D O K N によるデータ D Q の状態を表で示せば、次のようになる。

【 0 0 6 2 】

10

20

30

40

【表 1】

&lt;表 1 &gt;

DQ	DOKN	DOKP
HIGH (ハイ)	LOW (ロー)	LOW (ロー)
HI IMPEDANCE (HI-Z) (ハイ インピーダンス)	LOW (ロー)	HIGH (ハイ)
Forbidden (禁止)	HIGH (ハイ)	LOW (ロー)
LOW (ロー)	HIGH (ハイ)	HIGH (ハイ)

10

## 【0063】

<表 1> に示したように、制御信号 DOKN が “ロー” であり、制御信号 DOKP が “ハイ” である場合、出力ノード NOUT はハイインピーダンス状態となってデータ DQ は出力されない。

ここで、第 1 と第 2 ドライバ 162, 172 との差異点は、出力ノード NOUT に出力される信号が違ふということである。

出力ノード NOUT に出力される信号が、第 1 ドライバ 162 である場合には、第 1 グループデータ DQ0 ~ DQ7 であり、第 2 ドライバ 172 である場合には、第 2 グループデータ DQ8 ~ DQ15 である。

20

## 【0064】

図 10 は、本発明によるテスト効率を向上させるための内部回路を有する DDR SDRAM がテスト装置に連結される状態を示すブロック図である。

図 10 に示すように、テスト装置 200 には多数の制御信号出力ピン 210, 220 及び多数のデータ入出力ピン 230 が備えられる。

DDR SDRAM 300 には多数の制御信号入力ピン 310, 320 及び多数の入出力ピングループ 330, 340 が備えられる。入出力ピングループ 330, 340 各々は多数のデータ入出力ピン 331, 341 を含む。テストのために、入出力ピングループ 330 のデータ入出力ピン 331 及び入出力ピングループ 340 のデータ入出力ピン 341 は相互に導線によって連結される。

30

## 【0065】

多数の制御信号出力ピン 210 には多数の DDR SDRAM 300 の制御信号入力ピン 310 が共通に連結され、制御信号出力ピン 220 には制御信号入力ピン 320 が共通に連結される。

多数のデータ入出力ピン 230 には多数の DDR SDRAM 300 各々の一つのグループ 330 または 340 の該当するデータ入出力ピン 331 または 341 だけが 1:1 に各々連結される。

## 【0066】

前述したように、本発明によれば、データ入出力ピンの各グループ別にデータが出力されるので、DDR SDRAM の多数の入出力ピングループのうち、一つのグループのデータ入出力ピンだけがテスト装置の入出力ピンに連結される。したがって、テスト装置に連結される DDR SDRAM のデータ入出力ピン数が減少するので、一つのテスト装置で同時にテストできる DDR SDRAM の数が増加する。

40

## 【0067】

図 11 は、本発明によるテスト効率を向上させるための内部回路を有する DDR SDRAM のテスト過程を示すフローチャートである。

フローチャート (1000) は、次のような過程で実行される。多数の入出力ピンを、第 1 及び第 2 入出力ピングループを含む入出力ピングループに区分する (1001)。そして、第 1 入出力ピングループの各入出力ピンを残りの入出力ピングループの各入出力ピン及び導線によって 1:1 に電氣的に連結する (1002)。

50

## 【 0 0 6 8 】

この後、第 1 入出力ピングループに対応する第 1 データ出力部を介してデータを読み出す ( 1 0 0 3 )。ここで、第 1 データ出力部グループからデータが出力される時、残りのグループのデータ出力部はハイインピーダンス状態となってデータが出力されない。

また、第 2 入出力ピングループに対応する第 2 データ出力部を介してデータを読み出す ( 1 0 0 4 )。ここでも、段階 1 0 0 3 と同様に、残りのグループのデータ出力部はハイインピーダンス状態となる。

## 【 0 0 6 9 】

ついで、追加入出力ピングループ、すなわち、追加のデータ出力部グループが存在しているか否かがチェックされる ( 1 0 0 5 )。追加入出力ピングループが存在する場合、当該入出力ピングループに対応するデータ出力部を介してデータを読み出すテストが行われて段階 1 0 0 5 にリターンされる。

また、追加のデータ出力部グループが存在しない場合には、テストを終了する。

## 【 0 0 7 0 】

図 1 2 は、図 1 1 に示されたフローチャートのテスト過程をより詳細に示すフローチャートである。

フローチャート ( 1 1 0 0 ) は、次のような過程で実行される。

テスト装置によって DDR SDRAM の制御信号入力ピン 3 1 0 にテストモードの進入のための制御信号 C 0 , C 1 , . . . C X が入力される ( 1 1 0 1 )。コマンドデコーダ 1 1 0 はテストモード進入のための MRS 命令 MRS を出力する ( 1 1 0 2 )。MRS 命令 MRS に応答して、入力バッファ制御部 1 2 0 から出力された制御信号 P B P U B によって第 1 及び第 2 書き込み禁止信号入力バッファ 1 3 0 , 1 4 0 がターンオンされる ( 1 1 0 3 )。

## 【 0 0 7 1 】

ついで、テスト装置によってデータ読み出しのための制御信号がコマンドデコーダ 1 1 0 に入力される ( 1 1 0 4 )。コマンドデコーダ 1 1 0 は第 1 データ読み出し命令 R E A D を出力する ( 1 1 0 5 )。テスト装置によって第 1 及び第 2 書き込み禁止信号入力バッファ 1 3 0 , 1 4 0 に第 1 及び第 2 書き込み禁止信号 D M 1 , D M 2 が各々入力される ( 1 1 0 6 )。

## 【 0 0 7 2 】

第 1 及び第 2 書き込み禁止信号入力バッファ 1 3 0 , 1 4 0 は第 1 及び第 2 記入制御信号 D M 1 , D M 2 に応答して、第 1 及び第 2 グループ制御信号 D M T 1 , D M T 2 を出力する。第 2 出力制御部 1 5 2 は、第 1 グループ制御信号 D M T 1 に応答して、第 2 出力制御信号 R D D M 1 を出力し、第 3 出力制御部 1 5 3 は、第 2 グループ制御信号 D M T 2 に応答して、第 3 出力制御信号 R D D M 2 を出力する。

## 【 0 0 7 3 】

第 2 及び第 3 出力制御信号 R D D M 1 , R D D M 2 によって、データが出力されるデータ出力部グループを除外した残りのデータ出力部グループが、ハイインピーダンス状態となる ( 1 1 0 7 )。

データが出力される当該データ出力部グループからデータが出力される ( 1 1 0 8 )。

この後、追加のデータ読み出しのための制御信号のコマンドデコーダ 1 1 0 への入力有無をチェックして入力される場合、段階 1 1 0 5 にリターンして前記過程を反復して行う ( 1 1 0 9 )。

追加データ読み出しのための制御信号が入力されない場合、データ読み出しテストを終了する。

## 【 0 0 7 4 】

本発明は、図面に示された実施例を参考として説明されたが、これは例示的なものに過ぎず、当業者ならば、これから多様な変形及び均等な他の実施例が可能である。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決めなければならない。

10

20

30

40

50

## 【産業上の利用可能性】

## 【0075】

本発明のテスト効率を向上させるための内部回路を有する半導体メモリ装置及びそのテスト方法によれば、一つのテスト装置で同時にテストできる半導体メモリ装置の数を増加させてテスト時間を短縮させることができる。

## 【図面の簡単な説明】

## 【0076】

【図1】従来のDDR SDRAMがテスト装備に連結される状態を示すブロック図である。

【図2】図1に示されたDDR SDRAMの内部回路を示すブロック図である。

10

【図3】図2に示されたDDR SDRAMの内部回路の主要入出力信号についてのタイミングチャートである。

【図4】本発明の実施例によるDDR SDRAMの内部回路を示すブロック図である。

【図5】図4に示された内部回路の典型的な動作を示すタイミングチャートである。

【図6】本発明の実施例による図4の回路についての典型的な書込み禁止信号入力バッファ制御部のブロック図である。

【図7】本発明の実施例による図4の回路についての典型的な第1及び第2書込み禁止信号入力バッファのブロック図である。

【図8】本発明の実施例による図4の回路についての典型的な第2及び第3出力制御部のブロック図である。

20

【図9】本発明の実施例による図4の回路についての典型的な第1及び第2DQバッファ及び典型的な第1及び第2ドライバのブロック図である。

【図10】本発明の実施例によるDDR SDRAM及びテスト装置の連結を示すブロック図である。

【図11】本発明の実施例によるDDR SDRAMについての典型的なテスト動作を示すフローチャートである。

【図12】本発明の追加の実施例によるDDR SDRAMについての典型的なテスト動作を示すフローチャートである。

## 【符号の説明】

## 【0077】

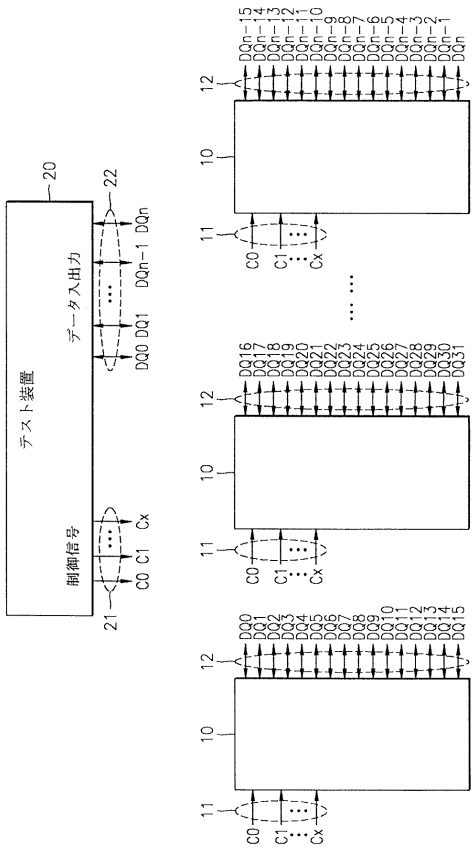
- 31 内部回路決定部
- 37, 38 第1、第2書込み制御部
- 100 内部回路
- 101 データ出力制御回路
- 110 コマンドデコーダ
- 120 書込み禁止信号入力バッファ制御部
- 130, 140 第1、第2書込み禁止信号入力バッファ
- 150 データ出力選択回路
- 151, 152, 153 第1、第2、第3出力制御部
- 160, 170 第1、第2データ出力装置
- 161, 171 第1、第2DQバッファ
- 162, 172 第1、第2ドライバ
- 163, 173 第1セット、第2セットのデータ出力回路
- 165, 175 内部データライン
- 310, 320 制御信号入力ピン
- 330, 340 第1、第2入出力ピングループ
- 331, 341 第1、第2データ入出力ピン

30

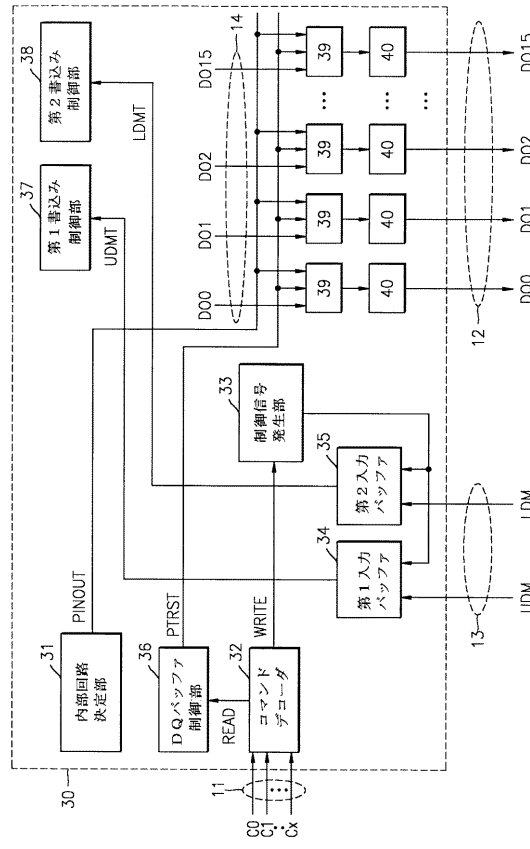
40



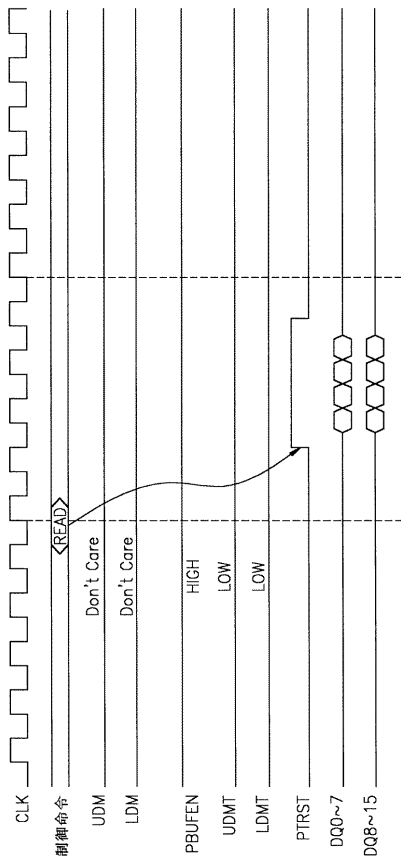
【図 1】



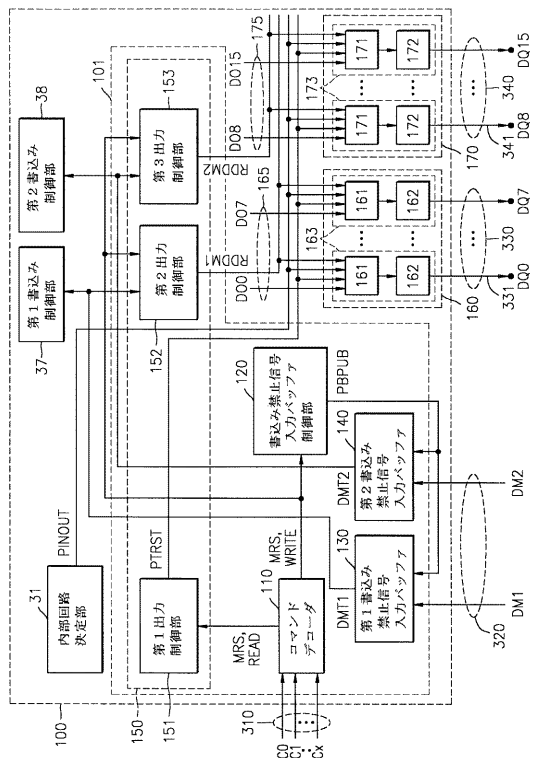
【図 2】



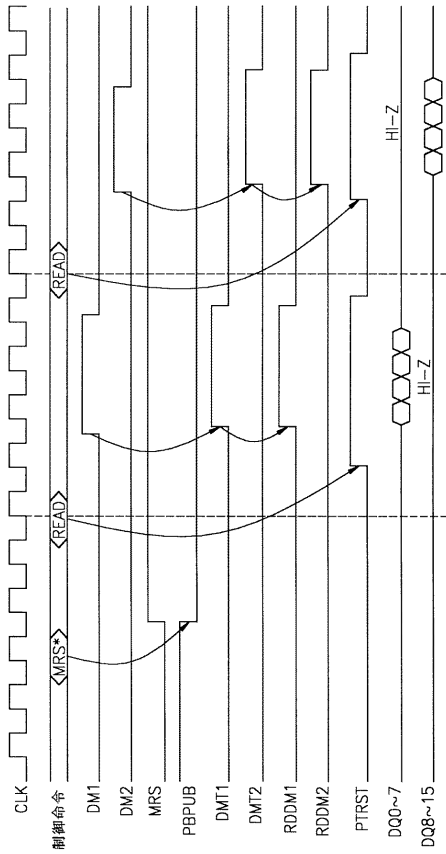
【図 3】



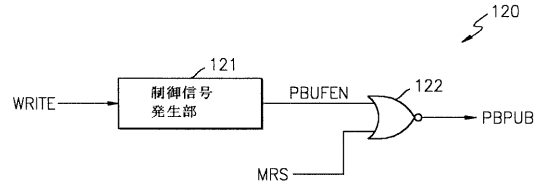
【図 4】



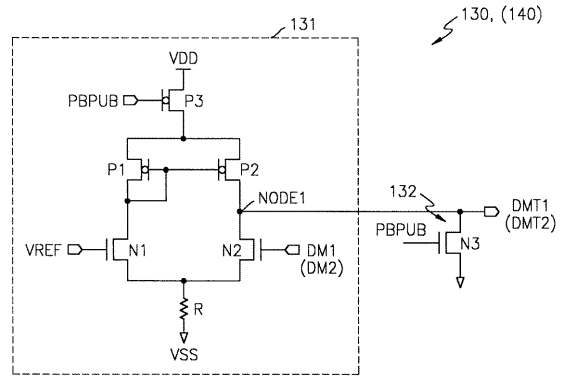
【図5】



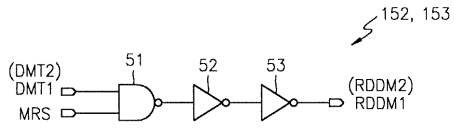
【図6】



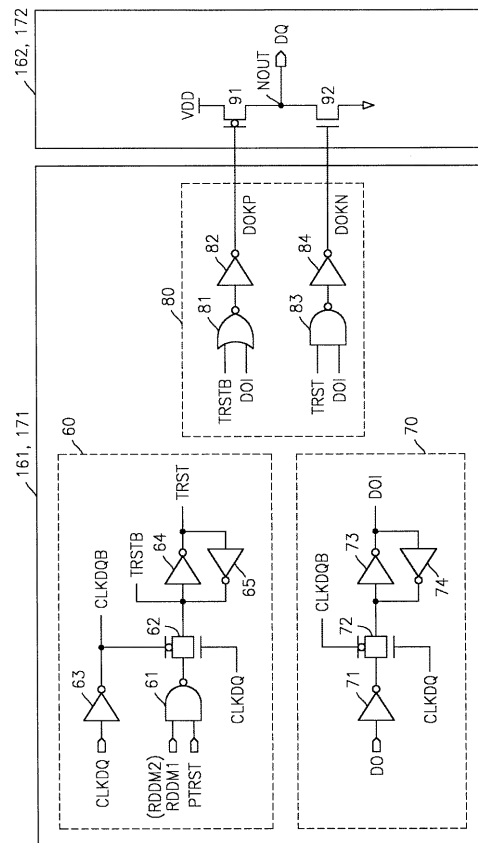
【図7】



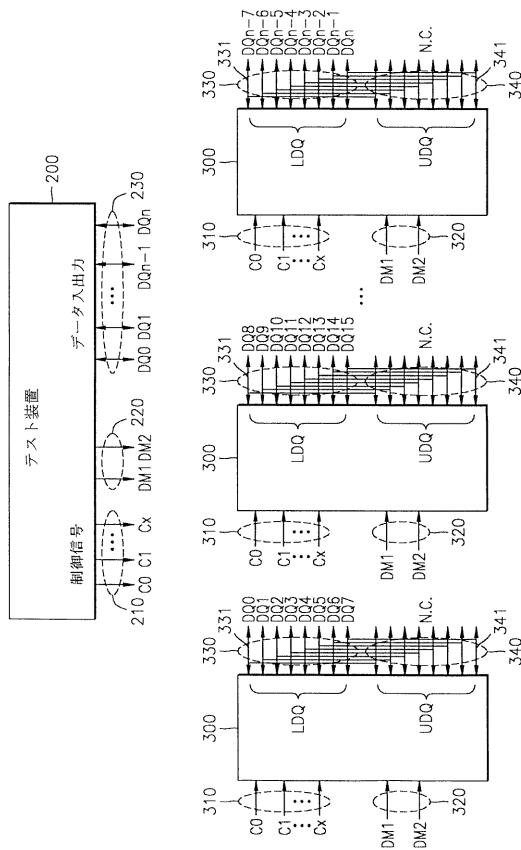
【図8】



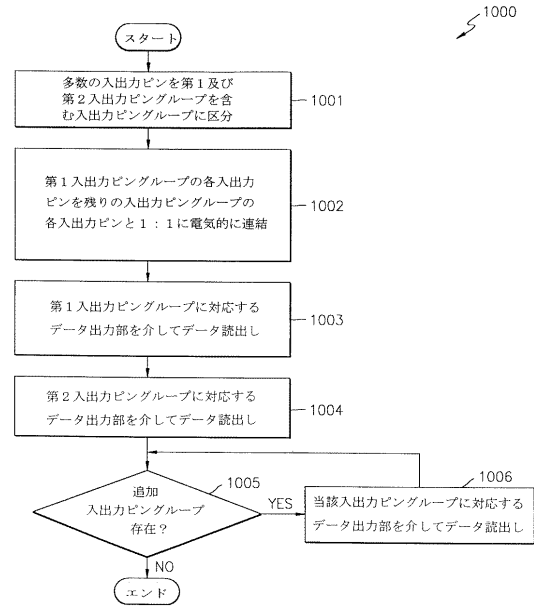
【図9】



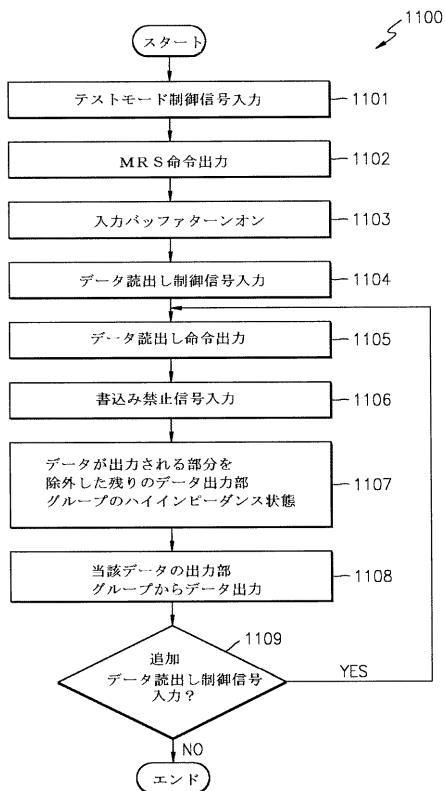
【図10】



【図11】



【図12】



---

フロントページの続き

(72)発明者 楚 鍾 福

大韓民国京畿道龍仁市駒城面宝亭里鎮山マウル3 6 1 番地 三星5次アパート5 1 1 棟1 0 4号

(72)発明者 鄭 又 燮

大韓民国京畿道龍仁市器興邑農書里7 1 9 - 5 2 番地

審査官 酒井 恭信

(56)参考文献 特開平1 0 - 1 0 6 2 9 0 ( J P , A )

特開平0 8 - 2 3 5 8 9 8 ( J P , A )

特開2 0 0 0 - 2 3 1 7 9 9 ( J P , A )

特開平0 7 - 0 2 9 3 7 8 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

G 1 1 C 2 9 / 0 0 - 2 9 / 5 6

G 0 1 R 3 1 / 2 8