

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-183923
(P2005-183923A)

(43) 公開日 平成17年7月7日(2005.7.7)

(51) Int. Cl.⁷

H01L 25/065
H01L 25/07
H01L 25/18

F I

H01L 25/08

Z

テーマコード (参考)

審査請求 有 請求項の数 18 O L (全 24 頁)

(21) 出願番号 特願2004-197483 (P2004-197483)
(22) 出願日 平成16年7月5日(2004.7.5)
(31) 優先権主張番号 特願2003-398288 (P2003-398288)
(32) 優先日 平成15年11月28日(2003.11.28)
(33) 優先権主張国 日本国(JP)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100113859
弁理士 板垣 孝夫
(74) 代理人 100068087
弁理士 森本 義弘
(74) 代理人 100096437
弁理士 笹原 敏司
(74) 代理人 100100000
弁理士 原田 洋平
(72) 発明者 藤谷 尚樹
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

最終頁に続く

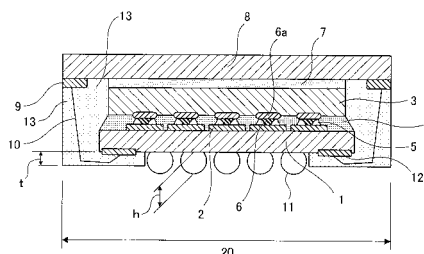
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 積層型の半導体装置の小型化を図る。

【解決手段】 第1の半導体素子3と第2の半導体素子8をダイボンド材7を介して接着し、一方の面に第1接着層2と他方の面の周辺部に第2接着層12を有する半導体キャリア1に、フリップチップボンディングにより第1の半導体素子3の電極6aと前記第1接着層2を接合し、ワイヤボンディングにより第2の半導体素子8のボンディングパッド9と半導体キャリア1の第2接着層12とを金属細線10により接続し、半導体キャリア1と第2半導体素子8の間の第1の半導体素子の周囲とワイヤボンディング部に絶縁性の封止樹脂13を充填し、その封止充填領域20を第2の半導体素子8の外形寸法と略同一に形成する。

【選択図】 図1



- 1 半導体キャリア
- 2 第1接着層
- 3 第1の半導体素子
- 6 パンブ
- 7 ダイボンド材
- 8 第2の半導体素子
- 9 ボンディングパッド
- 10 金属細線
- 11 外部端子電極
- 12 第2接着層
- 13 封止樹脂

【特許請求の範囲】

【請求項 1】

他方の面に第 1 の電極を有する第 1 の半導体素子と、
外径寸法が前記第 1 の半導体素子より大きく形成され前記第 1 の半導体素子の一方の面に接着されるとともにその外周部に第 2 の電極を有する第 2 半導体素子と、
前記第 1 の半導体素子の前記第 1 の電極にフリップチップボンディングされる第 3 の電極が一方の面に形成された配線基板と、
前記配線基板の他方の面の外周部に設けられた第 4 の電極と前記第 2 の半導体素子の第 2 の電極との間にワイヤボンディングされた金属細線と、
前記第 2 の半導体素子と前記配線基板との間で前記第 1 の半導体素子および前記金属細線を封止する絶縁性の封止樹脂とが具備され、
前記封止樹脂の封止充填領域が第 2 の半導体素子の外形寸法と略同一になるように形成された半導体装置。

10

【請求項 2】

一方の面に第 5 の電極を有する第 1 の半導体素子と、
前記第 5 の電極にフリップチップボンディングされる第 6 の電極を有するとともに、外径寸法が前記第 1 の半導体素子より大きく形成されて外周部に第 2 の電極が設けられた第 2 半導体素子と、
一方の面が前記第 1 の半導体素子に接着されて積層され、他方の面の外周部に第 4 の電極が形成された配線基板と、
前記配線基板の前記第 4 の電極と、前記第 2 の半導体素子の第 2 の電極とがワイヤボンディングされる金属細線と、
前記第 2 の半導体素子と前記配線基板との間で前記第 1 の半導体素子および前記金属細線を封止する絶縁性の封止樹脂とが具備され、
前記封止樹脂の封止充填領域が第 2 の半導体素子の外形寸法と略同一になるように形成された半導体装置。

20

【請求項 3】

前記配線基板の他方の面に外部電極端子を突設し、
前記外部電極端子の高さを、前記第 4 の電極を覆う前記封止樹脂の厚みより大きく形成した請求項 1 または 2 記載の半導体装置。

30

【請求項 4】

前記配線基板の他方の面に、前記外部端子電極が形成された突出面と、前記突出面の外周部に形成されて前記突出面より厚みが薄くかつ前記第 4 の電極が設けられ前記封止樹脂が被覆される後退面とを設け、
前記突出面の高さにより、前記第 4 の電極を覆う前記封止樹脂の厚みを吸収するように構成した請求項 1 または 3 記載の半導体装置。

【請求項 5】

他方の面に第 1 の電極を有する第 1 の半導体素子と、
外径寸法が前記第 1 の半導体素子より大きく形成され前記第 1 の半導体素子の一方の面に接着されるとともにその接着面の外周部に第 2 の電極を有する第 2 半導体素子と、
前記第 1 の半導体素子の第 1 の電極とフリップチップボンディングされる第 3 の電極を有するテープキャリアと、
前記テープキャリアに設けられて前記第 2 半導体素子の第 2 の電極と接続されるインナーリードと、
前記第 2 の半導体素子とインナーリードの間で第 1 の半導体素子の周囲およびインナーリードの配線部を封止する絶縁性の封止樹脂とが具備され、
前記封止樹脂の封止充填領域が第 2 の半導体素子の外形寸法と略同一になるように形成された半導体装置。

40

【請求項 6】

一方の面に第 5 の電極を有する第 1 の半導体素子と、

50

前記第 5 の電極にフリップチップボンディングされる第 6 の電極を有し第 1 の半導体素子の一方の面に積層されるとともに、外径寸法が前記第 1 の半導体素子より大きく形成されて前記フリップチップボンディングされた面の外周部に第 2 の電極が設けられた第 2 半導体素子と、

前記第 1 の半導体素子の他方の面に接着されるテープキャリアと、

前記テープキャリアに設けられて前記第 2 半導体素子の第 2 の電極と接続されるインナーリードと、

前記第 2 の半導体素子とインナーリードの間で第 1 の半導体素子の周囲およびインナーリードの配線部を封止する絶縁性の封止樹脂とが具備され、

前記封止樹脂の封止充填領域が第 2 の半導体素子の外形寸法と略同一になるように形成された半導体装置。 10

【請求項 7】

前記第 1 の半導体素子を複数個とした請求項 1 乃至 6 の何れかに記載の半導体装置。

【請求項 8】

第 2 の半導体素子を高発熱性の半導体素子とした請求項 1 乃至 7 の何れかに記載の半導体装置。

【請求項 9】

請求項 1 に記載の半導体装置を製造するに際し、

第 1 の半導体素子に第 2 の半導体素子を接着する工程 A と、

前記第 1 の半導体素子と配線基板との間にアンダーフィル材を注入して硬化させる工程 C と、 20

ワイヤボンディングにより前記第 2 の半導体素子の第 2 の電極と、前記配線基板の第 4 の電極とを金属細線により接続する工程 D と、

前記第 2 の半導体素子と前記配線基板の間に絶縁性の封止樹脂を充填して封止する工程 E とを順次に行う半導体装置の製造方法。

【請求項 10】

請求項 1 に記載の半導体装置を製造するに際し、

フリップチップボンディングにより前記第 1 の電極に形成された突起電極と配線基板の第 3 の電極とを接合し、前記配線基板に第 1 の半導体素子を積層する工程 B と、

前記第 1 の半導体素子と配線基板との間にアンダーフィル材を注入して硬化させ樹脂封止する工程 C と、 30

前記第 1 の半導体素子に第 2 の半導体素子を接着する工程 A と、

ワイヤボンディングにより、前記第 2 の半導体素子の第 2 の電極と前記配線基板の第 4 の電極とを金属細線を介して接続する工程 D と、

前記第 2 の半導体素子と前記配線基板の間に絶縁性の封止樹脂を充填して封止する工程 E とを順次に行う半導体装置の製造方法。

【請求項 11】

請求項 9 または 10 に記載の半導体装置の製造方法において、

前記工程 A における第 2 の半導体素子は、複数個が一体形成されたウェハー基板状態のものを使用し、 40

前記工程 E の後に、ダイシングにより第 2 の半導体素子を互いに分離する工程 F を行う半導体装置の製造方法。

【請求項 12】

請求項 5 に記載の半導体装置を製造するに際し、

フリップチップボンディングにより第 1 の半導体素子の第 1 の電極と第 2 の半導体素子の第 6 の電極を接合する工程 H と、

前記第 1 の半導体素子と前記第 2 の半導体素子との隙間と周辺部にアンダーフィル材を注入して硬化させる工程 I と、

前記第 1 の半導体素子と配線基板とを接着する工程 J と、

ワイヤボンディングにより、前記第 2 の半導体素子の第 2 の電極と前記配線基板の第 4 50

の電極とを金属細線を介して接続する工程 K と、

前記第 2 の半導体素子と前記配線基板の間で第 1 の半導体素子の周囲と前記金属細線の配線部とに絶縁性の封止樹脂を充填して封止する工程 L とを順次に行う半導体装置の製造方法。

【請求項 13】

請求項 5 記載の半導体装置を製造するに際し、

第 1 の半導体素子と配線基板とを接着する工程 J と、

フリップチップボンディングにより第 1 の半導体素子の第 5 の電極と第 2 の半導体素子の第 6 の電極を接合する工程 H と、

前記第 1 の半導体素子と前記第 2 の半導体素子との隙間と周辺部にアンダーフィル材を注入して硬化させる工程 I と、

ワイヤボンディングにより、前記第 2 の半導体素子の第 2 の電極と前記配線基板の第 4 の電極とを金属細線を介して接続する工程 K と、

前記第 2 の半導体素子と前記配線基板の間に絶縁性の封止樹脂を充填して封止する工程 L とを順次に行う半導体装置の製造方法。

【請求項 14】

請求項 12 または 13 記載の半導体装置の製造方法において、

前記工程 H における第 2 の半導体素子は、複数個が一体形成されたウェーハ基板状態のものを使用し、

前記工程 L の後に、ダイシングにより第 2 の半導体素子を互いに分離する工程 N を行う半導体装置の製造方法。

【請求項 15】

請求項 5 記載の半導体装置を製造するに際し、

第 1 の半導体素子と第 2 の半導体素子と接着する工程 O と、

フリップチップボンディングにより第 1 の半導体素子の第 1 の電極とテープキャリアの第 7 の電極とを接合する工程 P と、

前記第 1 の半導体素子と前記テープキャリアとの隙間と周辺部にアンダーフィル材を注入して硬化させる工程 Q と

前記テープキャリアのインナーリードを前記第 2 の半導体素子の第 2 の電極に接続する工程 R と、

前記第 2 の半導体素子と前記テープキャリアの間に絶縁性の封止樹脂を充填して封止する工程 S とを順次に行う半導体装置の製造方法。

【請求項 16】

請求項 5 記載の半導体装置を製造するに際し、

フリップチップボンディングにより第 1 の半導体素子の第 1 の電極とテープキャリアの第 7 の電極を接合する工程 P と、

前記第 1 の半導体素子と前記テープキャリアとの隙間と周辺部にアンダーフィル材を注入して硬化させる工程 Q と、

複数個が一体形成されたウェーハ基板状態の第 2 の半導体素子に前記第 1 の半導体素子を接着する工程 O と、

前記テープキャリアのインナーリードを前記第 2 の半導体素子の第 2 の電極に接続する工程 R と、

前記第 2 の半導体素子と前記テープキャリアの間に絶縁性の封止樹脂を充填して封止する工程 P と、

ダイシングにより前記ウェーハ基板状態の第 2 の半導体素子を互いに分離する工程 T とを順次に行う半導体装置の製造方法。

【請求項 17】

請求項 6 記載の半導体装置を製造するに際し、

フリップチップボンディングにより第 1 の半導体素子の第 5 の電極と第 2 の半導体素子の第 5 の電極とを接合する工程 U と、

10

20

30

40

50

前記第1の半導体素子と前記第2の半導体素子との隙間と周辺部にアンダーフィル材を注入して硬化させる工程Vと、

第1の半導体素子とテープキャリアと接着する工程Wと、

前記テープキャリアのインナーリードを前記第2の半導体素子の第2の電極に接続する工程Xと、

前記第2の半導体素子と前記テープキャリアの間に絶縁性の封止樹脂を充填して封止する工程Yとを順次に行う半導体装置の製造方法。

【請求項18】

請求項6記載の半導体装置を製造するに際し、

第1の半導体素子とテープキャリアと接着する工程Wと、

フリップチップボンディングにより第1の半導体素子の第5の電極と、複数個が一体形成されたウェーハ基板状態の第2の半導体素子の第5の電極とを接合する工程Uと、

前記第1の半導体素子と前記第2の半導体素子との隙間と周辺部にアンダーフィル材を注入して硬化させる工程Vと、

前記テープキャリアのインナーリードを前記第2の半導体素子の第2の電極に接続する工程Xと、

前記第2の半導体素子と前記テープキャリアの間に絶縁性の封止樹脂を充填して封止する工程Yと、

ダイシングにより前記ウェーハ基板状態の第2の半導体素子を互いに分離する工程Zとを順次に行う半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体素子が積層された積層型の半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

小型・軽量の携帯情報機器等の機能拡大に伴い、半導体メモリーを複数個搭載した半導体装置を始めとして、複数の半導体素子を積層しかつ小型、薄型な積層型半導体装置への要望が増している。

【0003】

まず、半導体キャリアの電極と上位の半導体素子の電極とが金属細線により接続された従来半導体装置(特許文献1)を図23を参照して説明する。

従来の第1の半導体装置は、表面の電極にバンプ56が形成された第1の半導体素子53がその表面側を下にして、多層回路用の配線基板である半導体キャリア51に接合されている。前記半導体キャリア51の上面には、第1の半導体素子53との導通させるための複数の第1の電極62と、第2の半導体素子58との導通のための第2の複数の電極52とが形成されている。そしてこれら複数の第1の電極62と第1の半導体素子53上に形成されたバンプ56とが導通性接着剤65により接合されている。この導通性接着剤65はバンプ56にあらかじめ供給されている。そして、互いに接合された第1の半導体素子53と半導体キャリア51との隙間は、アンダーフィル材54により充填被膜されている。さらに、第1の半導体素子53の裏面上に、ダイボンド材57を介して第2の半導体素子58が実装されており、第2の半導体素子58上のボンディングパッド59と半導体キャリア51の上面の複数の第2の電極52とが、ワイヤボンディング法により金属細線60を介して互いに電氣的に接続されている。さらにまた、第2の半導体素子58と半導体キャリア51の間で第1の半導体素子53の周囲と金属細線60の配線部が絶縁性樹脂63により封止されている。最後に半導体キャリア51の下面(外面)に外部端子電極61が搭載されて半導体装置が完成する。

【0004】

次に、先の従来例の金属細線に替えてインナーリードにより接続された第2の従来半

10

20

30

40

50

導体素子（特許文献２）を図２４を参照して説明する。

第２の従来半導体装置は、第１の半導体素子７３と第２の半導体素子７８とテープキャリア７１が同一パッケージ内に積層配置され、テープキャリア７１のインナーリード７５によって、テープキャリア７１と前記半導体素子７３，７８が電氣的に接続されている。すなわち、テープキャリア７１の表面側に設けられたアレイ上に複数の前記ランド７２が形成され、これらランド７２に外部端子電極８１が搭載されている。前記ランド７２から延出されたインナーリード７５は、第１の半導体素子７３の電極パッド７４および／または第２の半導体素子７８の上面周縁部に設けられた電極パッド７９にそれぞれボンディングされている。さらに第１，第２の半導体素子６８の上面からテープキャリア７１の外周部にわたって封止樹脂８３が充填され、インナーリード７５とボンディングパッド７４，

10

【特許文献１】特開２００２－２７０７６３

【特許文献２】特開２００３－３４７５０５

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、上記第１の従来半導体装置は小型化を阻害する要因を含んでいる。すなわち、従来半導体装置は、第２の半導体素子５８のボンディングパッド５９を半導体キャリア５１の第２の電極５２とを接続するためワイヤボンディング法を用いている。このようにワイヤボンディング法を用いて接続する場合、図２３（ｂ）に示すように第２の半導体素子５８の外縁よりも金属細線６０がはみ出すために、絶縁性の封止樹脂６３により充填された封止充填領域（ボンディングエリア）７０を少なくとも第２の半導体素子５８の外側まで設ける必要があり、第２の半導体素子５８よりも実装面積が大きくなってしまい、これが半導体装置の小型化を阻害している。

20

【０００６】

また、第１の半導体素子５３及び第２の半導体素子５８ともに素子全体を樹脂で封止されているため、放熱性に優れていないという問題もある。

また上記第２の従来半導体装置は、多ピン化（外部端子電極８１の多数化）を阻害する要因を含んでいる。すなわち、上記従来半導体装置は、同一パッケージ内に積層配置した半導体素子７３，７８をインナーリード７５によってランド７２と電氣的接続するので、インナーリード７５の配線がある分、配置できるランド７２の数に制限がでてしまう。また、実装部分が半導体素子よりも必ず小さくならなければならない。従ってこれらが半導体装置の多ピン化を阻害している。

30

【０００７】

本発明は、上記の課題を解決し、かつ小型化を促進できるとともに放熱性にも優れた半導体素子装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【０００８】

請求項１記載の発明は、他方の面に第１の電極を有する第１の半導体素子と、外径寸法が前記第１の半導体素子より大きく形成され前記第１の半導体素子の一方の面に接着されるとともにその外周部に第２の電極を有する第２半導体素子と、前記第１の半導体素子の前記第１の電極にフリップチップボンディングされる第３の電極が一方の面に形成された配線基板と、前記配線基板の他方の面の外周部に設けられた第４の電極と前記第２の半導体素子の第２の電極との間にワイヤボンディングされた金属細線と、前記第２の半導体素子と前記配線基板との間で前記第１の半導体素子および前記金属細線を封止する絶縁性の封止樹脂とが具備され、前記封止樹脂の封止充填領域が第２の半導体素子の外形寸法と略同一になるように形成されたものである。

40

【０００９】

また請求項９記載の発明は、請求項１に記載の半導体装置を製造するに際し、第１の半導体素子に第２の半導体素子を接着する工程Ａと、前記第１の半導体素子と配線基板との

50

間にアンダーフィル材を注入して硬化させる工程Cと、ワイヤボンディングにより前記第2の半導体素子の第2の電極と、前記配線基板の第4の電極とを金属細線により接続する工程Dと、前記第2の半導体素子と前記配線基板の間に絶縁性の封止樹脂を充填して封止する工程Eとを順次に行うものである。

【0010】

さらに請求項5記載の発明は、他方の面に第1の電極を有する第1の半導体素子と、外径寸法が前記第1の半導体素子より大きく形成され前記第1の半導体素子の一方の面に接着されるとともにその接着面の外周部に第2の電極を有する第2半導体素子と、前記第1の半導体素子の第1の電極とフリップチップボンディングされる第3の電極を有するテープキャリアと、前記テープキャリアに設けられて前記第2半導体素子の第2の電極と接続されるインナーリードと、前記第2の半導体素子とインナーリードの間で第1の半導体素子の周囲およびインナーリードの配線部を封止する絶縁性の封止樹脂とが具備され、前記封止樹脂の封止充填領域が第2の半導体素子の外形寸法と略同一になるように形成されたものである。

10

また請求項12記載の発明は、請求項5記載の半導体装置を製造するに際し、フリップチップボンディングにより第1の半導体素子の第1の電極と第2の半導体素子の第6の電極を接合する工程Hと、前記第1の半導体素子と前記第2の半導体素子との隙間と周辺部にアンダーフィル材を注入して硬化させる工程Iと、前記第1の半導体素子と配線基板とを接着する工程Jと、ワイヤボンディングにより、前記第2の半導体素子の第2の電極と前記配線基板の第4の電極とを金属細線を介して接続する工程Kと、前記第2の半導体素子と前記配線基板の間で第1の半導体素子の周囲と前記金属細線の配線部とに絶縁性の封止樹脂を充填して封止する工程Lとを順次に行うものである。

20

【発明の効果】

【0011】

請求項1または9記載の半導体装置及びその製造方法によると、従来においてワイヤボンディングによる接続のため、配線基板の外側周囲に存在した封止樹脂領域を削除して、封止樹脂による封止充填領域を、第2の半導体素子の外形寸法と略同一の範囲とすることで、実装面積を大幅に減少させて積層型半導体装置の小型化を促進することができる。

【0012】

また請求項5または12記載の半導体装置及びその製造方法によると、テープキャリアから一体に延伸されたインナーリードを第2の半導体素子8のボンディングパッド9に接続することにより、テープキャリア41の他方の面(外面)に突起物がなくなり、より薄型の半導体装置を提供することができる。

30

【発明を実施するための最良の形態】

【0013】

[第1の実施の形態]

以下、本発明に係る半導体装置およびその製造方法の第1の実施の形態を図1～図3を参照して説明する。

【0014】

図1に示すように、この半導体装置は、他方の面の電極(第1電極)6a上に複数のバンプ(突起電極)6が形成された第1の半導体素子3と、外径寸法が第1の半導体素子3より大きく形成され、かつ他方の面で第1の半導体素子3の外径寸法より外側の外周部にボンディングパッド(第2の電極)9が形成された第2の半導体素子8と、前記複数のバンプ6に対応して一方の面に複数の第1接着層(第3の電極)2が形成されるとともに、他方の面の外周部に複数の第2接着層(第4の電極)12が形成された半導体キャリア(多層回路用の配線基板)1とを具備している。ここで使用する半導体キャリア1の材料として、ガラエポ基板や有機基板、セラミック基板といったものが使用可能であり、ここではガラエポ基板を使用している。

40

【0015】

そして前記半導体キャリア1は、他方の面の外周部に所定の第1接着層2に導通された

50

複数の外部端子電極 11 が形成される。前記半導体キャリア 1 の外形寸法は、第 1 半導体素子 3 と同じか幾分大きく形成されており、第 2 の半導体素子 8 と電氣的な接続を行う必要があるために第 2 の半導体素子 8 に対して少なくとも 1 mm 以上小さいサイズが採用される。そして、第 1 の半導体素子 3 の一方の面にダイボンド材 7 を介して第 2 半導体素子 8 がその他方の面を接着されている。また前記第 1 の半導体素子 3 は、バンプ 6 が導電性接着剤 5 を介して第 1 の接着層 2 にフリップチップボンディングされて半導体キャリア 1 の一方の面に積層されている。また第 1 の半導体素子 3 と半導体キャリア 1 との間に形成された隙間と周辺部にアンダーフィル材 4 が注入されており、これによりバンプ 6 が保護されている。

【0016】

さらに前記第 2 の半導体素子 8 のボンディングパッド 9 から半導体キャリア 1 の他方の面の周辺部に形成された第 1 の接着層 2 に金属細線 10 でワイヤボンディングされている。さらにまた、第 1 の半導体素子 3 と第 2 の半導体素子 8 とが金属細線 10 を保護するために、絶縁性の封止樹脂 13 が充填されて封止され、この封止樹脂 13 による封止充填領域 20 が第 2 の半導体素子 8 の外形寸法と略同一範囲に形成されている。

【0017】

(第 1 の製造方法)

次に、上記半導体装置の第 1 の製造方法を図 2 を参照して説明する。

図 2 (a) に示すように、第 2 の半導体素子 8 の一方の面に第 1 の半導体素子 3 の裏面をダイボンド材 7 を介して接着する (工程 A)。このダイボンド材 7 として絶縁性ペーストや絶縁性シートを使用することができ、ここでは絶縁性シートを使用している。

【0018】

図 2 (b) に示すように、第 1 の半導体素子 3 の電極 6a 上にバンプ (突起電極) 6 を形成する。バンプとしてはめっきバンプや金線を利用したスタッドバンプを使用できるが、ここではスタッドバンプを使用している。次いで図 2 (c) に示すように、バンプ 6 に導電性接着剤 5 を供給した後、第 2 の半導体素子 8 が上になるように反転して半導体キャリア 1 上に配置し、フリップチップボンディングによりバンプ 6 と第 1 接着層 2 とを接合して、第 1 の半導体素子 3 を半導体キャリア 1 に積層する (工程 B)。さらに第 1 の半導体素子 3 と半導体キャリア 1 との間の隙間と周辺部にアンダーフィル材 4 を注入してバンプ 6 を保護する (工程 C)。

【0019】

図 2 (d) に示すように、第 2 の半導体素子 8 が下になるように反転にする。ここで半導体キャリア 1 の他方の面の周辺部に第 2 の接着層 12 が形成されており、ワイヤボンディングにより第 2 の半導体素子 8 のボンディングパッド 9 と前記第 2 の接着層 12 とが金属細線 10 によって電氣的に接続される (工程 D)。

【0020】

図 2 (e) に示すように、第 1 の半導体素子 3、第 2 の半導体素子 8、金属細線 10 を保護するために、第 2 の半導体素子 8 と半導体キャリア 1 の間で第 1 の半導体素子 3 の周囲と金属細線 10 の配線部とに封止樹脂 13 を充填して封止し保護する (工程 E)。ここで、封止樹脂 13 が充填された封止充填領域 (ボンディングエリア) 20 は、第 2 の半導体素子 8 の外形寸法とほぼ同じ範囲に形成される。次いで、外部端子電極 11 を取り付けることにより半導体装置の製造が完了する。

【0021】

なお、上記第 1 の製造方法の変形例として、先にフリップチップボンディングにより半導体キャリア 1 の一方の面に第 1 の半導体素子 3 を接合し (工程 B)、アンダーフィル材 4 の注入 (工程 C) 後、第 1 の半導体素子 3 の裏面にダイボンド材 7 を介して第 2 の半導体素子 8 を接着する (工程 A) 順序、すなわち工程 B、工程 C、工程 A、工程 D、工程 E の順であってもよい。

【0022】

ここで、図 1 に示すように、外部端子電極 11 と外部との接続を良好に行うために、金

10

20

30

40

50

属細線 10 と第 2 の接着層 12 とを保護している封止樹脂 13 の厚み t が、外部端子電極 11 の取り付け高さ h よりも薄くなるように形成されている。これは、封止樹脂 13 の厚み t が外部端子電極 11 の高さ h より厚くなると、実装をする際に封止樹脂 13 の厚み t が障害となり、外部端子電極 11 への接続に支障をきたすからである。すなわち、たとえば外部端子電極 11 の取り付け高さ h は約 $250\ \mu\text{m}$ 、封止樹脂 13 の厚み t は約 $200\ \mu\text{m}$ であり、半導体キャリア 1 の他方の面から金属細線 10 の高さは約 $150\ \mu\text{m}$ に形成されている。ここで示した各厚みは、外部端子電極 11 の高さに応じて任意に変更し実施することが可能であるが、一般的な半導体装置では、外部端子電極 11 の取り付け高さ h と封止樹脂 13 の厚み t の差は、少なくとも $50\ \mu\text{m}$ 以上が必要である。

【0023】

(第 2 の製造方法、ウェハーパッケージダイシング)

次に、ウェハー基板上に積層して半導体装置を製造する第 2 の製造方法を図 3、図 4 を参照して説明をする。

【0024】

まず、図 3 (a) に示すように、第 1 の半導体素子 3 の他方の面に電極 6a が設けられている。次いで図 3 (b) に示すように、前記第 1 の半導体素子 3 の電極 6a 上にバンプ (突起電極) 6 が形成される。

【0025】

さらに図 3 (c) に示すように、バンプ 6 に導電性接着剤 5 が供給された後、電極 6a が下になるように第 1 の半導体素子 3 が反転されて半導体キャリア 1 上に配置される。そしてフリップチップボンディングにより、バンプ 6 と半導体キャリア 1 の第 1 接着層 2 とが接合されて、第 1 の半導体素子 3 が半導体キャリア 1 の一方の面に積層される (工程 B)。さらに第 1 の半導体素子 3 と半導体キャリア 1 の隙間と周辺部にアンダーフィル材 4 が注入されてバンプ 6 が保護される (工程 C)。

次に、図 3 (d) に示すように、複数個が一体に成形されたウェハー基板 15 状態の第 2 の半導体素子 8 の他方の面に、ダイボンド材 7 を介して前記第 1 の半導体素子 3 が接着される (工程 A)。そして、図 3 (e) に示すように、ワイヤボンディングにより、複数個が一体成形されたウェハー基板 15 の状態の第 2 の半導体素子 8 のボンディングパッド 9 と、半導体キャリア 1 の第 2 接着層 12 とが金属細線 10 によって電氣的に接続される (工程 D)。このダイボンド材 7 として、絶縁性ペーストや絶縁性シートを使用することができ、ここでは絶縁性シートが使用される。

【0026】

さらに、図 4 (f)、(g) に示すように、第 1 の半導体素子 3、第 2 の半導体素子 8、金属細線 10 を保護するために、第 2 の半導体素子 8 と半導体キャリア 1 の間で第 1 の半導体素子 3 の周囲と金属細線 10 の配線部とに封止樹脂 13 が充填されて封止される (工程 E)。

【0027】

最後に、図 4 (h)、(i) に示すように、樹脂封止されたウェハー基板 15 がブレード 16 を用いてダイシングされる (工程 F)。この結果、図 4 (i) に示すように半導体装置が個片化される。

【0028】

さらに、図 4 (j) に示すように、半導体キャリア 1 に外部端子電極 11 が取り付けられる (工程 G)。これにより半導体装置の製造が完了する。

この第 2 の製造方法は、ダイボンド工程 (工程 A)、ワイヤボンディング工程 (工程 D)、樹脂封止工程 (工程 E)、ダイシング工程 (工程 F) を一括して複数の半導体装置を製造することができ、効率良い製造が可能となる。

【0029】

以上のように、第 1 の実施の形態によれば、第 2 の半導体素子 8 の外形よりも内側で、第 2 の半導体素子 8 のボンディングパッド 9 と半導体キャリア 1 の他方の面 (下面) に形成された第 2 の接着層 12 とが金属細線 10 により接続されるので、絶縁性の封止樹脂 1

10

20

30

40

50

3により封止される封止充填領域20を第2の半導体素子8の外形寸法と略同一に形成することができる。したがって、上記第1の実施の形態では、従来の半導体装置のようにワイヤボンディングする金属細線を搭載半導体素子の外側に拡張して配置する必要がないため、現状のパッケージ形態における最短ワイヤ長 = 0.4 mm、ボンディングエリアパットの長さ200 μm = 0.2 mmとなり、パッケージ一辺当り1.2 mm [= (0.4 + 0.2) × 2]の領域が必要でなくなるため、その封止充填領域20を1 mm以上小さく形成することができ、より小型の積層型半導体装置を提供することができる。

【0030】

なお、図5に示すように、第1の半導体素子3a, 3bを半導体キャリア1の一方の面に複数個配置するものでもよい。この場合、製造方法において、フリップチップボンディングにより第1の半導体素子3a, 3bを半導体キャリア1の一方の面に積層する(工程B)時には、第1の半導体素子3a, 第1の半導体素子3bごとに半導体キャリア1に接合される。

10

【0031】

[第2の実施の形態]

本発明に係る半導体装置およびその製造方法の第2の実施の形態を図6を参照して説明する。なお、第1の実施の形態と同一部材には同一符号を付して説明を省略する。

【0032】

上記第1の実施の形態では、外部端子電極11の外部との接続を良好にするために、金属細線10および第2の接着層12を保護している封止樹脂13の厚みtを外部端子電極11の取り付け高さhよりも薄くするという条件が発生する。この封止樹脂13の厚みtをたとえば200 μmとすると、外部端子電極11の取り付け高さhを250 μm以上にする必要があり、このため、外部端子電極11が例えば半田ボールである場合、半田ボールを250 μm以上の大きさ以上に形成することが必要となり、これにより外部への端子数に制限が生じて、多ピンの半導体装置に適用できないという問題が発生してしまう。

20

【0033】

そこで第2の実施の形態は、多層回路用の配線基板である半導体キャリア21において他方の面(図では下面)が、中央部分で厚みが大きく外部端子電極11を有する突出面21aと、この突出面21aの外周部で段部21cを介して厚みが薄く形成されかつ第2の接着層12を有する後退面21bとで構成されている。そして突出面21aと後退面21bとの間の段部21cの高さHが、金属細線10および第2の接着層12を覆う封止樹脂13の厚みtと略同一に形成されている。この段部21cの高さHにより封止樹脂13の厚みtを吸収して、封止樹脂13の表面と突出面21aとを略同一平面に形成できるので、外部端子電極11の取り付け高さhに制限が生じることがない。もちろん封止樹脂13の厚みt 段部21cの高さHであっても問題は無く、さらに封止樹脂13の厚みt > 段部21cの高さHでも、その差がわずかな場合は、外部端子電極11の取り付け高さhの制限が極めて小さくなる。したがって、外部端子電極11がはんだボールやはんだめっきの場合、外部端子電極11の高さを自由に変更できる。また半導体キャリア21の外部端子電極11がはんだ無しであるLGA(ランドグリッドアレイ)でも充分適応可能である。また、外部端子電極11の数も制限されることがなく、多ピンの積層型半導体装置にも適用することができる。

30

40

【0034】

なお、第2の実施の形態の半導体装置の製造方法には、第1の実施の形態と同一の製造方法により製造することができる。

上記第2の実施の形態によれば、半導体キャリア21の他方の面に外部端子電極11を有する突出面21aと、その外周部で厚みが薄くかつ第2の接着層12を有する後退面21bとを設け、その高さHにより封止樹脂13の厚みtを吸収できるので、外部端子電極11の取り付け高さhに制限が生じることがない。

【0035】

なお、第2の実施の形態の半導体装置において、図7に示すように、第1の半導体素子

50

3 a , 3 b を半導体キャリア 2 1 の一方の面に複数個配置するものでもよい。この場合、製造方法において、フリップチップボンディングにより第 1 の半導体素子 3 a , 3 b を半導体キャリア 1 の一方の面に積層する (工程 B) 時には、第 1 の半導体素子 3 a , 第 1 の半導体素子 3 b の順に順次半導体キャリア 1 に接合される。

【 0 0 3 6 】

[第 3 の実施の形態]

本発明に係る半導体装置およびその製造方法の第 3 の実施の形態を図 8 ~ 1 1 を参照して説明する。なお、先の実施の形態と同一部材には同一符号を付して説明を省略する。

【 0 0 3 7 】

図 8 に示すように、第 1 の半導体素子 3 は、一方の面に電極面 (第 5 の電極) 3 1 を有している。また第 2 の半導体素子 8 は、他方の面の中央部分に電極面 (第 6 の電極) 3 2 が設けられるとともに、外周部にボンディングパット (第 2 の電極) 9 が形成されている。

【 0 0 3 8 】

前記第 1 の半導体素子 3 の電極面 3 1 にはバンプ (突出電極) 3 3 が形成されており、バンプ 3 3 が導電性接着剤 5 を介して前記第 2 の半導体素子 8 の電極面 3 2 にフリップチップボンディングされ、第 2 の半導体素子 8 の他方の面に第 1 の半導体素子 3 が積層されている。そして第 1 の半導体素子 3 と第 2 の半導体素子 8 との間に形成された隙間と周辺部にアンダーフィル材 4 が注入されてバンプ 3 3 が保護されている。

【 0 0 3 9 】

上記の第 1 の半導体素子 3 と第 2 の半導体素子 8 の接続方法は、COC (チップオンチップ) 構造と呼称されるもので、これにより第 1 の半導体素子 3 と第 2 の半導体素子 8 とが短い距離で電気接続されるため、半導体素子 3 , 8 間での高速動作が可能となる。

【 0 0 4 0 】

そして、第 1 の半導体素子 3 の他方の面と半導体キャリア 1 の一方の面とがダイボンド材 7 により接合されて積層されている。さらに第 2 の半導体素子 8 のボンディングパット 9 と、半導体キャリア 1 の他方の面に設けられた第 2 の接着層 (第 4 の電極) 1 2 とが金属細線 1 0 によりワイヤボンディングされて接続されている。またこれら金属細線 1 0 を保護するために、第 2 の半導体素子 8 の他方の面側から第 1 の半導体素子 3 を含み、半導体キャリア 1 の第 2 の接着層 1 2 および金属細線 1 0 が樹脂封止されている。封止樹脂 1 3 による封止樹脂領域 2 0 は、第 2 の半導体素子 8 の外径寸法と略同一に形成される。

【 0 0 4 1 】

(第 1 の製造方法)

次に、上記半導体装置の製造方法を図 9 を参照して説明する。

図 9 (a) に示すように第 1 の半導体素子 3 の一方の面に電極面 3 1 が設けられている。図 9 (b) に示すように、第 1 の半導体素子 3 の電極面 3 1 上にバンプ (突起電極) 3 3 が形成される。バンプ 3 3 としてはめっきバンプや金線を利用したスタッドバンプが用いられるが、ここではスタッドバンプである。

【 0 0 4 2 】

次に図 9 (c) に示すように、第 2 の半導体素子 8 の他方の面の電極面 3 2 にバンプ台が設けられ、バンプ 3 3 に供給された導電性接着剤 5 により、第 1 の半導体素子 3 と第 2 の半導体素子 8 の電極面 3 2 とがフリップチップボンディングされて接合される (工程 H) 。さらに第 1 の半導体素子 3 と第 2 の半導体素子 8 との間の隙間と周辺部にアンダーフィル材 4 が注入されてバンプ 3 3 が保護される (工程 I) 。

【 0 0 4 3 】

次に図 9 (d) に示すように、第 1 の半導体素子 3 を半導体キャリア 1 の一方の面にダイボンド材 7 を介して接着する (工程 J) 。ここでダイボンド材 7 として絶縁性ペーストや絶縁性シートを使用することができ、ここでは絶縁性シートを用いている。

【 0 0 4 4 】

次に図 9 (e) に示すように、半導体キャリア 1 4 の他方の面の外周部に第 2 の接着層

12が形成されており、ワイヤボンディングにより前記第2の接着層12と第2の半導体素子8のボンディングパッド9とが金属細線10を介して電氣的に接続される(工程K)。さらに第1の半導体素子3、第2の半導体素子8、金属細線10を保護するために、第2の半導体素子8と半導体キャリア1の間で第1の半導体素子3の周囲と金属細線10の配線部とに封止樹脂13が充填されて封止される(工程L)。ここで、封止樹脂13が充填された封止充填領域(ボンディングエリア)20は、第2の半導体素子8の外形寸法とほぼ同じ範囲に形成されている。

【0045】

次に図9(f)に示すように、半導体キャリア21の他方の面に外部端子電極11を取り付けることにより半導体装置が製造される。

10

なお、上記第1の製造方法の変形例として、先に第1の半導体素子3を半導体キャリア1に接着した(工程J)後、フリップチップボンディングにより半導体キャリア1の一方の面に第1の半導体素子3を接合し(工程H)、アンダーフィル材4の注入(工程I)する順序、すなわち工程J、工程H、工程I、工程K、工程Lの順であってもよい。

【0046】

(第2の製造方法、ウェハーパッケージダイシング)

上記半導体装置の第2の製造方法を図10および図11を参照して説明する。

図10(a)に示すように、第1の半導体素子3の一方の面に電極面(第5の電極)31が設けられている。図9(b)に示すように、電極面31上にバンブ(突起電極)33が形成される。

20

【0047】

図10(c)に示すように、複数個が一体成形されたウェハー基板15状態の第2の半導体素子8の電極面(第6の電極面)32に、フリップチップボンディングにより、バンブ33を介して第1の半導体素子3の電極面31が接合され、第2の半導体素子8に第1の半導体素子3が積層される(工程H)。さらに第1の半導体素子3と第2の半導体素子8との隙間と周辺部にアンダーフィル材が注入されてバンブ33が保護される(工程I)。

【0048】

図10(d)に示すように、第1の半導体素子3の他方の面と半導体キャリア1の一方の面がダイボンド材7を介して接着され、半導体キャリア1と第1の半導体素子3および第2の半導体素子8が積層される(工程J)。

30

【0049】

図11(e)に示すように、ワイヤボンディングにより半導体キャリア1の接着層12と第2の半導体素子8のボンディングパッド9とが金属細線10を介して電氣的に接続される(工程K)。

【0050】

図11(f)に示すように、第1の半導体素子3、第2の半導体素子8、金属細線10を保護するために、第2の半導体素子8と半導体キャリア1の間で第1の半導体素子3の周囲と金属細線10の配線部とに封止樹脂13が充填されて封止される(工程L)。次いで、外部端子電極11が取り付けられる。

40

【0051】

最後に、樹脂封止されたウェハー基板15をブレードを用いてダイシングし(工程N)、図11(g)に示すように、個片化された半導体装置が製造される。

第2の製造方法によれば、フリップチップボンディング(工程H)、アンダーフィル材注入工程(工程I)、ダイボンド工程(工程J)、ワイヤボンド工程(工程K)、樹脂封止工程(工程L)、ダイシング工程(工程N)を一括して行うことができ、効率良く製造することができる。

【0052】

ここで、図8に示すように、外部端子電極11と外部との接続を良好に行うために、金属細線10と第2の接着層12とを保護している封止樹脂13の厚みtが、外部端子電極

50

11の取り付け高さhよりも薄くなるように形成されている。これは、封止樹脂13の厚みtが外部端子電極11の高さhより厚くなると、実装をする際に封止樹脂13の厚みtが障害となり、外部端子電極11の接続に支障をきたすからである。

【0053】

上記第3の実施の形態によれば、第1の実施の形態と同様の作用効果を奏するとともに、さらに第1の半導体素子3と第2の半導体素子8とをフリップチップボンディングにより接続し積層したので、半導体素子3, 8間での高速動作が可能となる。また上記製造方法によれば、第1の実施の形態と同様の作用効果を奏する積層体形の半導体装置を製造することができる。また第1の半導体素子3と第2の半導体素子8とがフリップチップボンディングにより接続されるので、半導体素子3, 8間で高速動作が可能となる半導体装置を提供できる。

10

【0054】

なお、図12に示すように、第1の半導体素子3a, 3bを半導体キャリア1の一方の面に複数個配置するものでもよい。

[第4の実施の形態]

本発明に係る半導体装置およびその製造方法の第4の実施の形態を図13を参照して説明する。なお、先の実施の形態と同一部材には同一符号を付して説明を省略する。

【0055】

この実施の形態4は、第2の実施の形態の半導体キャリア21、すなわち、他方の面に、外部端子電極11を有する突出面21aと、この突出面21aに段部21cを介して形成され第2の接着層12を有する後退面21bとを形成した半導体キャリア21を使用している。この半導体装置は第3の実施の形態と同一の方法で製造することができる。

20

【0056】

これにより、第3の実施の形態の半導体装置の効果に加えて、さらに第2の実施の形態と同様の効果を奏することができる。

なお、図14に示すように、複数個の第1の半導体素子3a, 3bを半導体キャリア21の一方の面に配置するものでもよい。

【0057】

[第5の実施の形態]

本発明に係る半導体装置およびその製造方法の第5の実施の形態を図15~17を参照して説明する。この第5の実施の形態は、先の実施の形態の半導体キャリア1に替えてテープキャリア41を用いたものである。なお、先の実施の形態と同一部材には同一符号を付して説明を省略する。

30

【0058】

図15に示すように、第1の半導体3の他方の面に設けられた電極(第1の電極)6aにはバンプ6が形成されている。第1の半導体3の前記バンプ6は、テープキャリア41の一方の面に設けられた接着層(第7の電極)42にフリップチップボンディングにより導電性接着剤5を介して接合され、テープキャリア41上に第1の半導体素子3が積層されている。さらに第1の半導体素子3の一方の面と、第2の半導体素子8の他方の面とがダイボンド材7により接着され積層されている。さらにまたテープキャリア41に一体形成されたインナーリード43が第2の半導体素子8の表面のボンディングパット(第2の電極)9に電氣的に接続されている。そして、第2の半導体素子8とテープキャリア41の間で第1の半導体3の周囲に封止樹脂13が充填され、第1の半導体素子3、第2の半導体素子8、インナーリード43が保護されている。封止樹脂13が充填された封止充填領域(ボンディングエリア)20は、第2の半導体素子8の外形寸法とほぼ同じ範囲に形成されている。テープキャリア41の他方の面には、接着層42またはインナーリード43に導通された外部端子電極11が形成されている。

40

【0059】

(第1の製造方法)

上記半導体装置の第1の製造方法を図16を参照して説明する。

50

図16(a)に示すように、第1の半導体素子3の他方の面に電極6aが設けられている。図16(b)に示すように、前記電極6a上にバンプ(突起電極)6が形成される。バンプ6としてはめっきバンプや金線を利用したスタッドバンプを用いるが、ここではスタッドバンプが用いられている。

【0060】

図16(c)に示すように、第1の半導体素子3の一方の面と第2の半導体素子8の他方の面とがダイボンド材7を介して接着され積層される(工程O)。ここでダイボンド材7として絶縁性ペーストや絶縁性シートが使用されるが、ここでは絶縁性シートが用いられている。

【0061】

図16(d)に示すように、フリップチップボンディングにより、第1の半導体素子3の電極6aのバンプ6とテープキャリア41の接着層42が接合されて、テープキャリア41上に第1の半導体素子3および第2の半導体素子8が積層される(工程P)。そして第1の半導体素子3とテープキャリア41との隙間と周辺部にアンダーフィル材4が注入されてバンプ6が保護される(工程Q)。さらにテープキャリア41のインナーリード43が第2の半導体素子8のボンディングパット9に接続され、第2の半導体素子8とテープキャリア41とが電氣的に接続される(工程R)。

【0062】

図16(e)に示すように、第1の半導体素子3、第2の半導体素子8、インナーリード43を保護するために、第2の半導体素子8とテープキャリア41の間で第1の半導体素子3の周囲とインナーリード43の配線部に封止樹脂13が充填されて封止される(工程S)。ここで封止樹脂13による封止充填領域20は、第2の半導体素子8の外形寸法とほぼ同じ範囲に形成される。

【0063】

最後に図16(f)に示すように、テープキャリア41の他方の面に外部端子電極11を取り付けることにより半導体装置が製造される。

(第2の製造方法、ウェハーパッケージダイシング)

上記半導体装置の第2の製造方法を図17を参照して説明する。

【0064】

図17(a)に示すように、第1の半導体素子3の他方の面に電極6aが設けられている。図17(b)に示すように、前記電極6a上にバンプ(突起電極)6が形成される。図17(c)に示すように、フリップチップボンディングにより第1の半導体素子3の電極6aのバンプ6とテープキャリア41の一方の面の接着層42とが接合され、第1の半導体素子3とテープキャリア41とが積層される(工程P)。さらに第1の半導体素子3とテープキャリア41との隙間と周辺部にアンダーフィル材4が注入されてバンプ6が保護される(工程Q)。

【0065】

図17(d)に示すように、複数個が一体に成形されたウェハー基板状態の第2の半導体素子8の他方の面に、ダイボンド材7を介して第1の半導体素子3の一方の面が接着される(工程O)。そしてテープキャリア41のインナーリード43が第2の半導体素子8のボンディングパット9に接続され、テープキャリア41と第2の半導体素子8とが電氣的に接続される(工程R)。

【0066】

図17(e)に示すように、第2の半導体素子8とテープキャリア41との間に樹脂封止が行われ(工程S)、外部端子電極11が取り付けられる。

図17(f)に示すように、樹脂封止されたウェハー基板がブレードを用いてダイシングされる(工程T)。その結果、個片化された半導体装置が形成され製造が完了される。

【0067】

この製造工程を用いることで、ボンディング工程、樹脂封止する工程、ダイシングする工程を一括して行うことができ、効率よく製造することができる。

10

20

30

40

50

上記構成によれば、第 1、第 2 の実施例と比較して、半導体キャリア 1 をテープキャリア 4 1 に変更することと、金属細線 1 0 の代えてインナーリード 4 3 を用いることで、より薄型の半導体装置を提供することが可能となる。特にインナーリード 4 3 は、テープキャリア 4 1 から一体に延伸されて第 2 の半導体素子 8 のボンディングパット 9 に接続されることで、テープキャリア 4 1 の他方の面に突起物がなくなる。すなわち、従来の半導体装置では、第 1 の半導体素子上の金属細線および金属細線を保護する封止樹脂の厚さが必要となるのに比較して、本発明の半導体装置では、半導体装置の表面上に金属細線 1 0 と封止樹脂の厚みが無くなるため、より薄型化が可能となる。たとえば半導体装置の金属細線の高さをたとえば 1 0 0 μm とすると、それを保護する封止樹脂の厚みが 2 0 0 μm 必要となる。したがって、本発明の半導体装置は、従来の半導体装置に比較して 2 0 0 μm の厚さ分を薄型化することができる。

【 0 0 6 8 】

また、図 1 8 に示すように、第 1 の半導体素子 3 がテープキャリア 8 1 の平面上に複数個、配置される構成でも構わない。

[第 6 の実施の形態]

本発明に係る半導体装置およびその製造方法の第 6 の実施の形態を図 1 9 ~ 2 1 を参照して説明する。なお、先の実施の形態と同一部材には同一符号を付して説明を省略する。

【 0 0 6 9 】

図 1 9 に示すように、第 1 の半導体 3 の一方の面に設けられた電極面 (第 5 の電極) 3 1 には bumps (突出電極) 3 3 が形成されている。また第 2 の半導体素子 8 の他方の面には、中央部分に電極面 (第 6 の電極) 3 2 が設けられ、外周部にボンディングパット (第 2 の電極) 9 が形成されている。

【 0 0 7 0 】

第 1 の半導体素子 3 の電極面 3 1 には bumps (突出電極) 3 3 が形成されており、前記 bumps が flip-chip bonding により導電性接着剤 5 を介して第 2 の半導体素子 8 の電極面 3 2 に接続され、第 2 の半導体素子 8 に第 1 の半導体素子 3 が積層されている。そして第 1 の半導体素子 3 と第 2 の半導体素子 8 との間に形成された隙間と周辺部にアンダーフィル材 4 が注入されて bumps 3 3 が保護されている。

【 0 0 7 1 】

上記の第 1 の半導体素子 3 と第 2 の半導体素子 8 の接続方法は、前述のごとく COC (チップオンチップ) 構造と呼称され、これにより半導体素子 3 , 8 間での高速動作が可能となる。

【 0 0 7 2 】

そしてテープキャリア 4 1 の一方の面と第 1 の半導体素子 3 の他方の面とがダイボンド材 7 により接合され積層されている。さらにテープキャリア 4 1 に一体形成されたインナーリード 4 3 が第 2 の半導体素子 8 のボンディングパット 9 に電氣的に接続されている。そして、第 2 の半導体素子 8 とテープキャリア 4 1 の間で第 1 の半導体 3 の周囲に封止樹脂 1 3 が充填され、第 1 の半導体素子 3、第 2 の半導体素子 8、インナーリード 4 3 が保護されている。封止樹脂 1 3 が充填された封止充填領域 (ボンディングエリア) 2 0 は、第 2 の半導体素子 8 の外形寸法とほぼ同じ範囲に形成されている。

【 0 0 7 3 】

(第 1 の製造方法)

上記半導体装置の第 1 の製造方法を図 2 0 を参照して説明する。

図 2 0 (a) に示すように、第 1 の半導体素子 3 の一方の面に電極 3 1 が設けられている。図 2 0 (b) に示すように、前記電極 3 1 上に bumps 3 3 が形成される。 bumps 3 3 としてはめっき bumps や金線を利用したスタッド bumps を用いるが、ここではスタッド bumps が用いられている。

【 0 0 7 4 】

図 2 0 (c) に示すように、第 2 の半導体素子 8 の電極面 3 2 に bumps 台が設けられ、 bumps 3 3 に供給された導電性接着剤 5 により、第 1 の半導体素子 3 の電極面 3 1 と第 2

の半導体素子 8 の電極面 3 2 とがフリップチップボンディングにより接合される (工程 U)。さらに第 1 の半導体素子 3 と第 2 の半導体素子 8 との間隙と周辺部にアンダーフィル材 4 が注入されてパンプ 3 3 が保護される (工程 V)。

【0075】

図 20 (d) に示すように、第 1 の半導体素子 3 の他方の面にテープキャリア 4 1 がダイボンド材 7 を介して接着される (工程 W)。ここでダイボンド材 7 として絶縁性ペーストや絶縁性シートが使用されるが、ここでは絶縁性シートが用いられる。そしてテープキャリア 4 1 のインナーリード 4 3 が第 2 の半導体素子 8 のボンディングパット 9 に接続され、第 2 の半導体素子 8 とテープキャリア 4 1 とが電氣的に接続される (工程 X)。

【0076】

図 20 (e) に示すように、第 1 の半導体素子 3、第 2 の半導体素子 8、インナーリード 4 3 を保護するために、第 2 の半導体素子 8 とテープキャリア 4 1 の間で第 1 の半導体素子 3 の周囲とインナーリード 4 3 の配線部に封止樹脂 1 3 が充填されて封止される。ここで封止樹脂 1 3 による封止充填領域 2 0 は第 2 の半導体素子 8 の外形寸法とほぼ同じ範囲に形成される (工程 Y)。

【0077】

最後に図 16 (f) に示すように、テープキャリア 4 1 の他方の面に外部端子電極 1 1 を取り付けることにより半導体装置が製造される。

(第 2 の製造方法、ウェハーパッケージダイシング)

上記半導体装置の第 2 の製造方法を図 2 1 を参照して説明する。

【0078】

図 2 1 (a) に示すように、第 1 の半導体素子 3 の一方の面に電極面 3 1 が設けられている。図 2 1 (b) に示すように、前記電極面 3 1 上にパンプ (突起電極) 3 3 が形成される。図 2 1 (c) に示すように、第 1 の半導体素子 3 の他方の面にダイボンド材 7 を介してテープキャリア 4 1 が接着される (工程 W)。

【0079】

図 2 1 (d) に示すように、複数個が一体成形されたウェハー基板 1 5 上の各第 2 の半導体素子 8 の電極面 3 2 と、第 1 の半導体素子 3 の電極面 3 1 のパンプ 3 3 が導電性接着剤 5 によりフリップチップボンディングされて積層される (工程 U)。そして第 1 の半導体素子 3 と第 2 の半導体 8 の間にアンダーフィル材 4 が注入されてパンプ 3 3 が保護される (工程 V)。そしてテープキャリア 4 1 のインナーリード 4 3 が第 2 の半導体素子 8 のボンディングパット 9 に接続され、テープキャリア 4 1 と第 2 の半導体素子 8 とが電氣的に接続される (工程 X)。

【0080】

図 2 1 (e) に示すように、第 2 の半導体素子 8 とテープキャリア 4 1 との間と周辺部に封止樹脂 1 3 が充填されて封止される。さらにテープキャリア 4 1 に外部端子電極 1 1 が取り付けられる (工程 Y)。

【0081】

図 2 1 (f) に示すように、樹脂封止されたウェハー基板がブレードを用いてダイシングされる (工程 Z)。その結果、個片化された半導体装置が製造される。

この製造工程を用いることで、フリップチップボンディング工程 (工程 U)、アンダーフィル材の注入工程 (工程 V)、リード接続工程 (工程 X)、樹脂封止する工程 (工程 Y)、ダイシングする工程 (工程 Z) を一括して行うことができ、効率よく製造することができる。

【0082】

上記構成によれば、第 1、第 2 の実施例と比較して、金属細線 1 0 の代わりにインナーリード 4 3 を用いることと、半導体キャリア 1 をテープキャリア 4 1 に変更することで、より薄型の半導体装置を提供することが可能となる。特にインナーリード 4 3 は、テープキャリア 4 1 から一体に延伸されて第 2 の半導体素子 8 のボンディングパット 9 に接続されることで、テープキャリア 4 1 の他方の面に突起物がなくなり、薄型化はもちろん、外

10

20

30

40

50

形的にも簡便な構成を実現でき、外部端子電極 11 の取り付け高さ h が低くてもよい。また第 1 の半導体素子 3 と第 2 の半導体素子 8 とを C O C (チップオンチップ) 構造としたので、これにより半導体素子 3, 8 間での高速動作が可能となる。

【0083】

また、図 22 に示すように、第 1 の半導体素子 3 a, 3 b がテープキャリア 85 の平面上に複数個、配置される構成でも構わない。

さらに上記各実施の形態において、第 2 の半導体素子 8 に高発熱性のパワー I C を用いることができる。これは第 2 の半導体素子 8 の裏面が樹脂封止されることがなく外部へ露出しているので効率良く放熱することができ、高放熱性が要求される製品であっても、積層型半導体装置として実装が可能となる。

10

【図面の簡単な説明】

【0084】

【図 1】本発明に係る半導体装置の第 1 の実施の形態を示す半導体装置の側面断面図である。

【図 2】(a) ~ (e) はそれぞれ同半導体装置の第 1 の製造手順を示す説明図である。

【図 3】(a) ~ (e) はそれぞれ同半導体装置の第 2 の製造手順を示す説明図である。

【図 4】(f) ~ (j) はそれぞれ同半導体装置の第 2 の製造手順を示す説明図である。

【図 5】同半導体装置の変形例を示し、第 1 の半導体素子が複数個ある半導体装置の側面断面図である。

【図 6】本発明に係る半導体装置の第 2 の実施の形態を示す半導体装置の側面断面図である。

20

【図 7】同半導体装置の変形例を示し、第 1 の半導体素子が複数個ある半導体装置の側面断面図である。

【図 8】本発明に係る半導体装置の第 3 の実施の形態を示す半導体装置の側面断面図である。

【図 9】(a) ~ (f) はそれぞれ同半導体装置の第 1 の製造手順を説明する側面断面図である。

【図 10】(a) ~ (d) はそれぞれ同半導体装置の第 2 の製造手順を説明する側面断面図である。

【図 11】(e) ~ (g) はそれぞれ同半導体装置の第 2 の製造手順を説明する側面断面図である。

30

【図 12】同半導体装置の変形例を示し、第 1 の半導体素子が複数個ある半導体装置の側面断面図である。

【図 13】本発明に係る半導体装置の第 4 の実施の形態を示す半導体装置の側面断面図である。

【図 14】同半導体装置の変形例を示し、第 1 の半導体素子が複数個ある半導体装置の側面断面図である。

【図 15】本発明に係る半導体装置の第 5 の実施の形態を示す半導体装置の側面断面図である。

【図 16】(a) ~ (f) はそれぞれ同半導体装置の第 1 の製造手順を説明する側面断面図である。

40

【図 17】(a) ~ (f) はそれぞれ同半導体装置の第 2 の製造手順を説明する側面断面図である。

【図 18】同半導体装置の変形例を示し、第 1 の半導体素子が複数個ある半導体装置の側面断面図である。

【図 19】本発明に係る半導体装置の第 6 の実施の形態を示す半導体装置の側面断面図である。

【図 20】(a) ~ (f) はそれぞれ同半導体装置の第 1 の製造手順を説明する側面断面図である。

【図 21】(a) ~ (f) はそれぞれ同半導体装置の第 2 の製造手順を説明する側面断面

50

図である。

【図 2 2】同半導体装置の変形例を示し、第 1 の半導体素子が複数個ある半導体装置の側面断面図である。

【図 2 3】(a) 及び (b) はそれぞれ第 1 の従来の半導体装置を示し、(a) は側面断面図、(b) は平面断面図である。

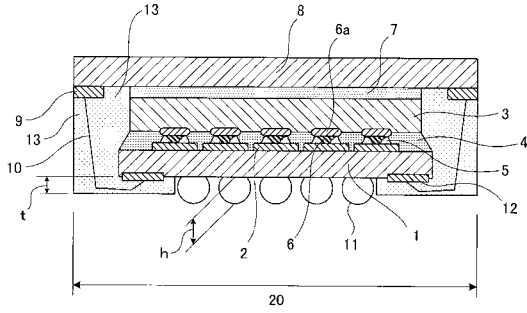
【図 2 4】(a) 及び (b) はそれぞれ第 2 の従来の半導体装置を示し、(a) は側面断面図、(b) は平面断面図である。

【符号の説明】

【 0 0 8 5 】

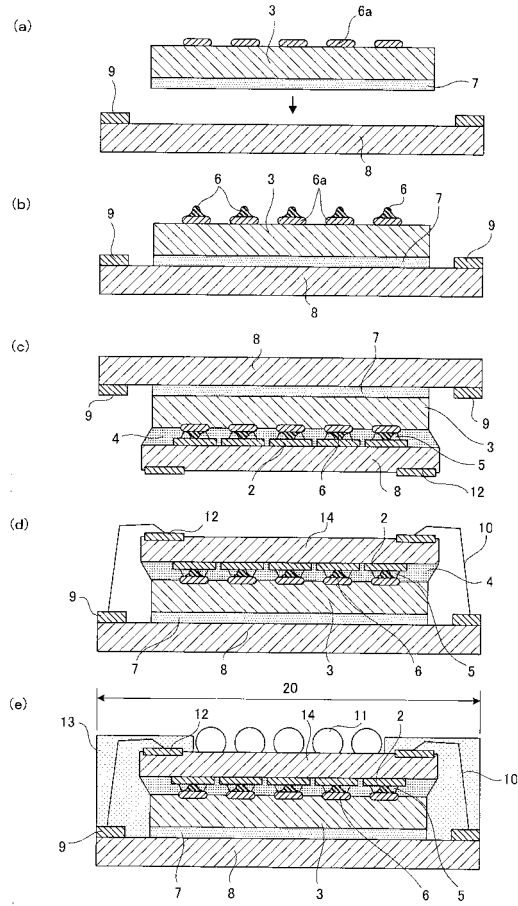
h	外部端子電極の高さ	10
t	封止樹脂の厚み	
H	段部高さ	
1	半導体キャリア(配線基板)	
2	第 1 接着層(第 3 の電極)	
3	第 1 の半導体素子	
4	アンダーフィル材	
5	導電性接着剤	
6	バンプ	
6 a	電極(第 1 の電極)	
7	ダイボンド材	20
8	第 2 の半導体素子	
9	ボンディングパッド(第 2 の電極)	
1 0	金属細線	
1 1	外部端子電極	
1 2	第 2 接着層(第 4 の電極)	
1 3	封止樹脂	
2 0	封止充填領域	
2 1	半導体キャリア(配線基板)	
2 1 a	突出面	
2 1 b	後退面	30
2 1 c	段部	
3 1	電極面(第 5 の電極)	
3 2	電極面(第 6 の電極)	
3 3	バンプ	
4 1	テープキャリア	
4 2	接着層(第 7 の電極)	
4 3	インナーリード	

【図1】

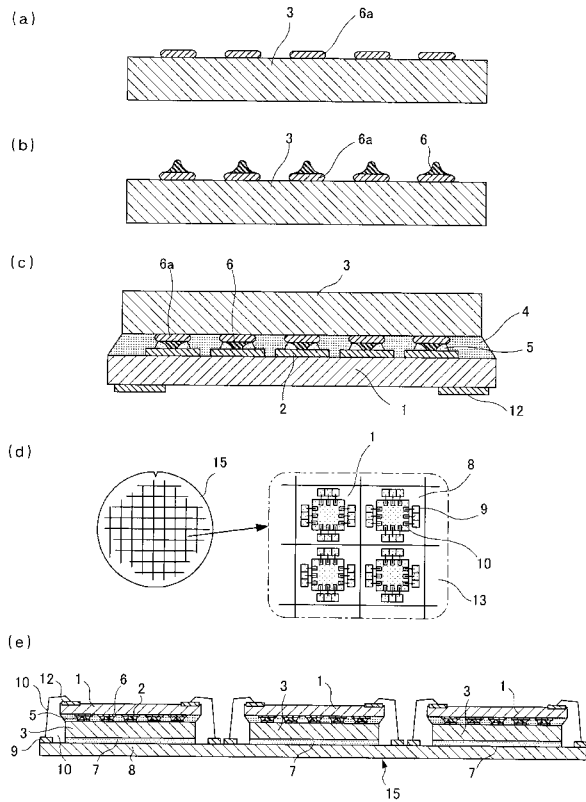


- | | |
|-------------|-----------|
| 1 半導体キャリア | 10 金属細線 |
| 2 第1接着層 | 11 外部端子電極 |
| 3 第1の半導体素子 | 12 第2接着層 |
| 6 パンプ | 13 封止樹脂 |
| 7 ダイボンド材 | |
| 8 第2の半導体素子 | |
| 9 ボンディングパッド | |

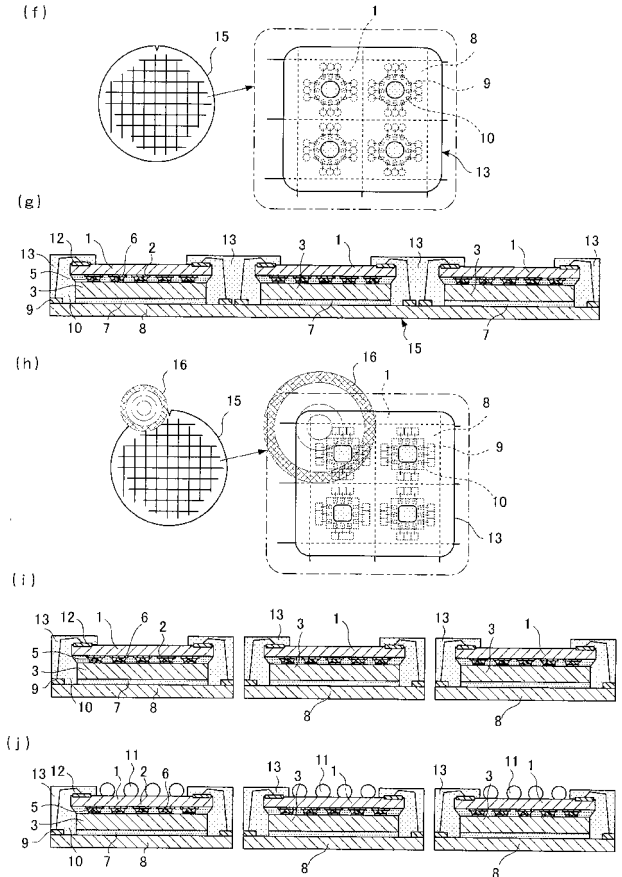
【図2】



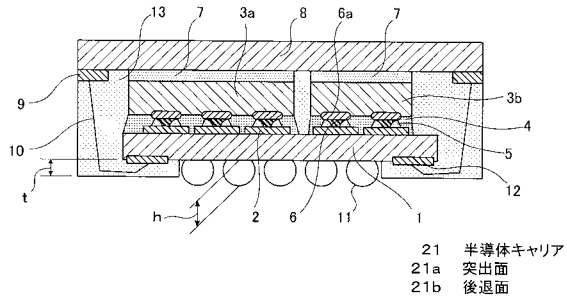
【図3】



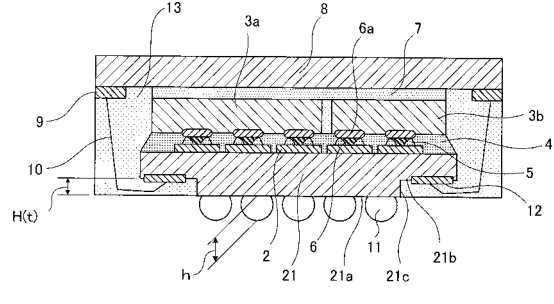
【図4】



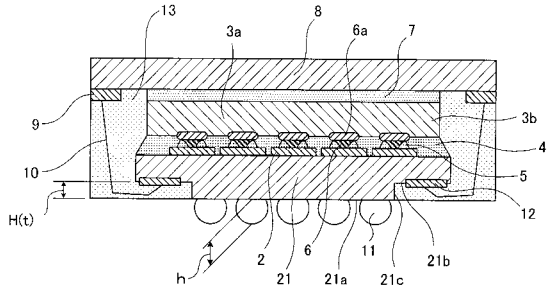
【図5】



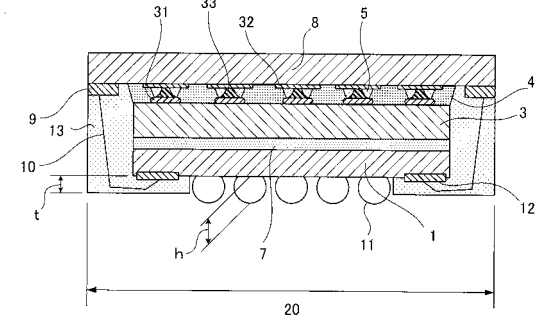
【図7】



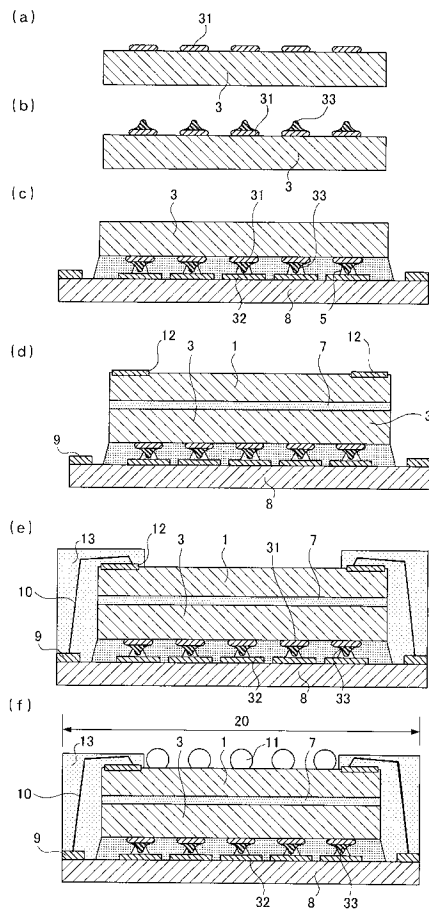
【図6】



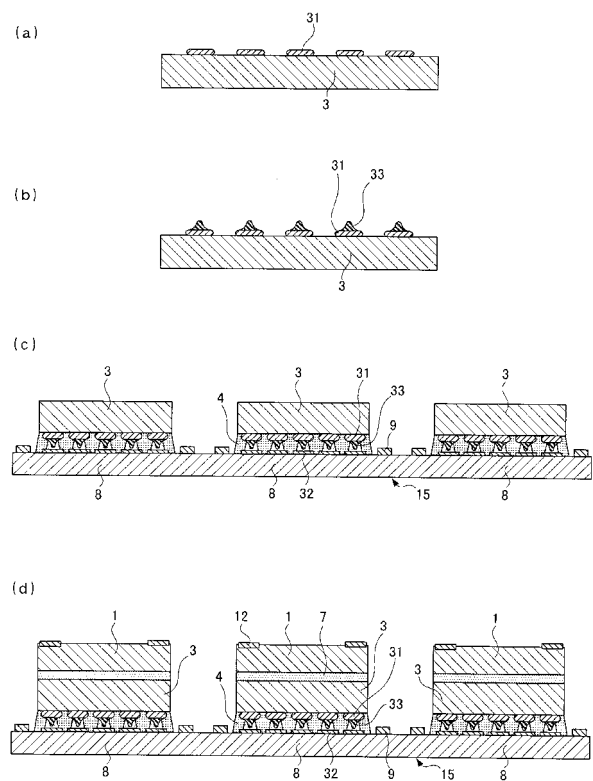
【図8】



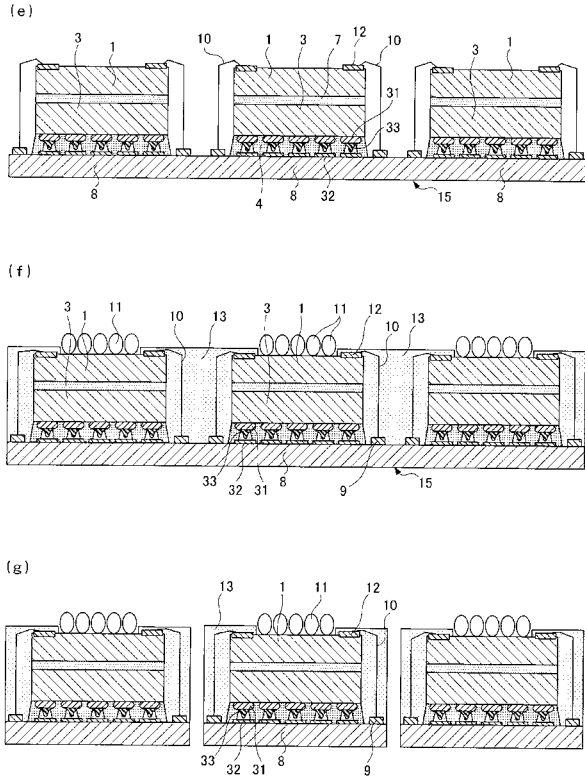
【図9】



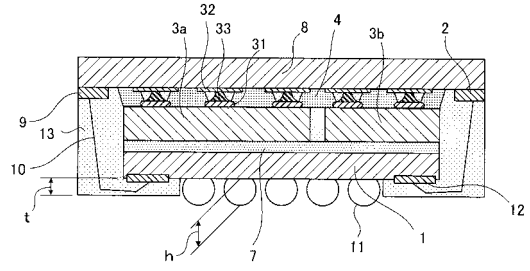
【図10】



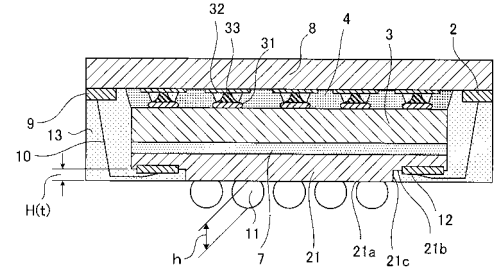
【図 1 1】



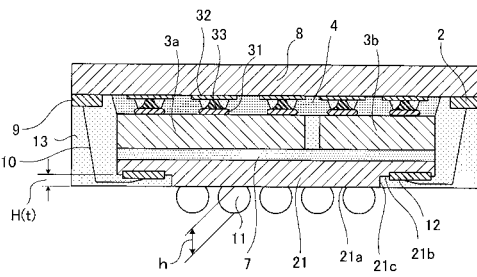
【図 1 2】



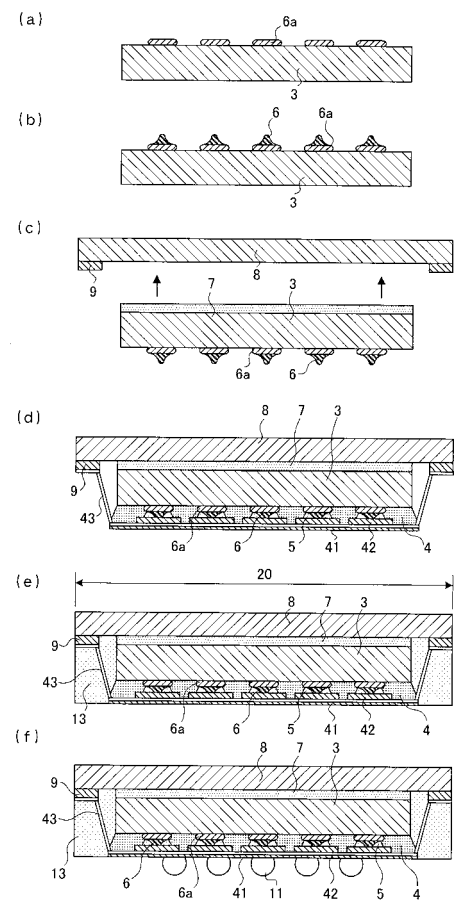
【図 1 3】



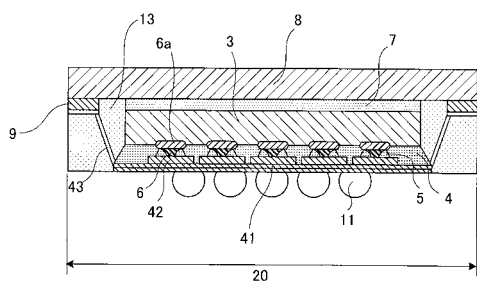
【図 1 4】



【図 1 6】

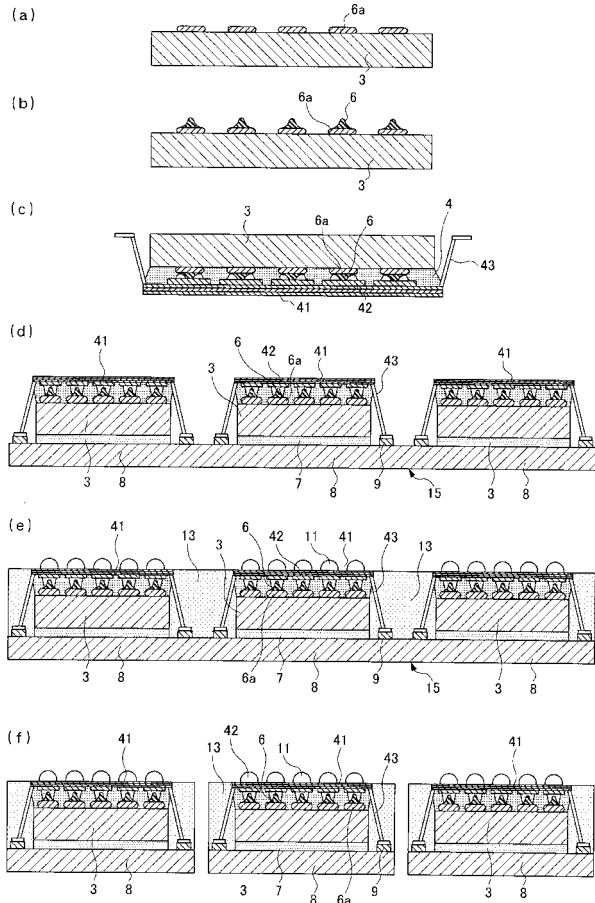


【図 1 5】

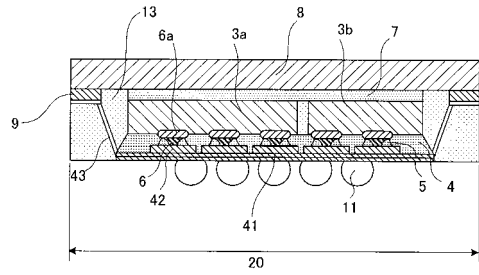


41 テープキャリア
43 インナーリード

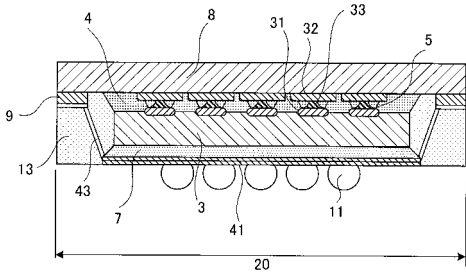
【 図 17 】



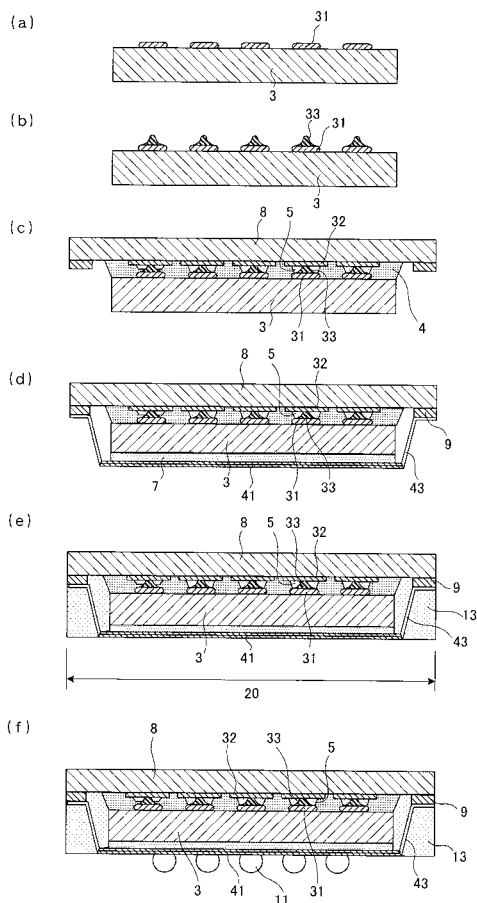
【 図 18 】



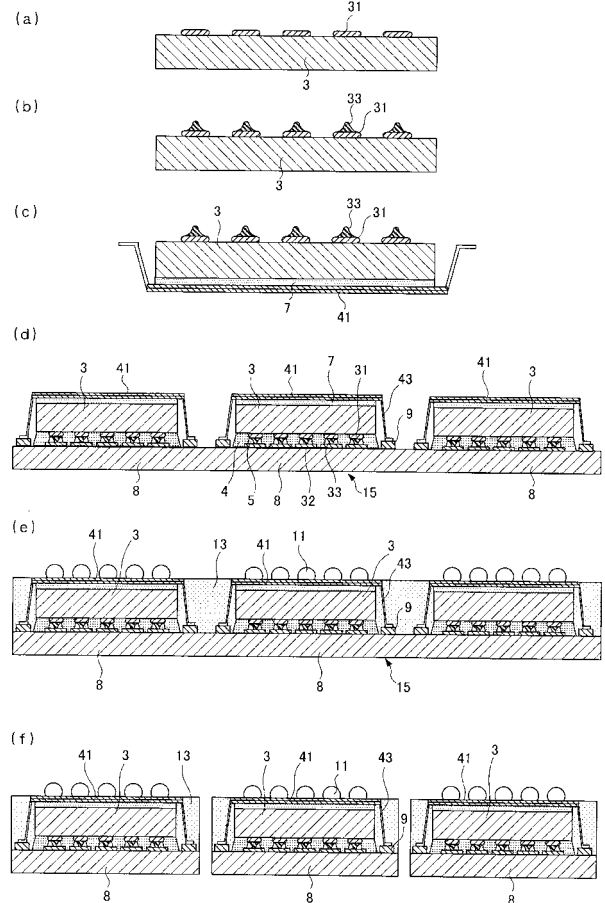
【 図 19 】



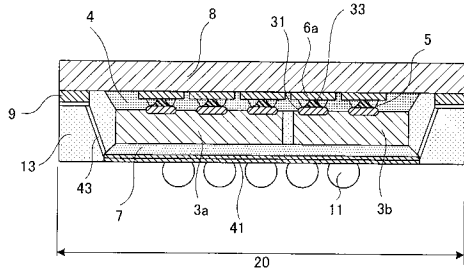
【 図 20 】



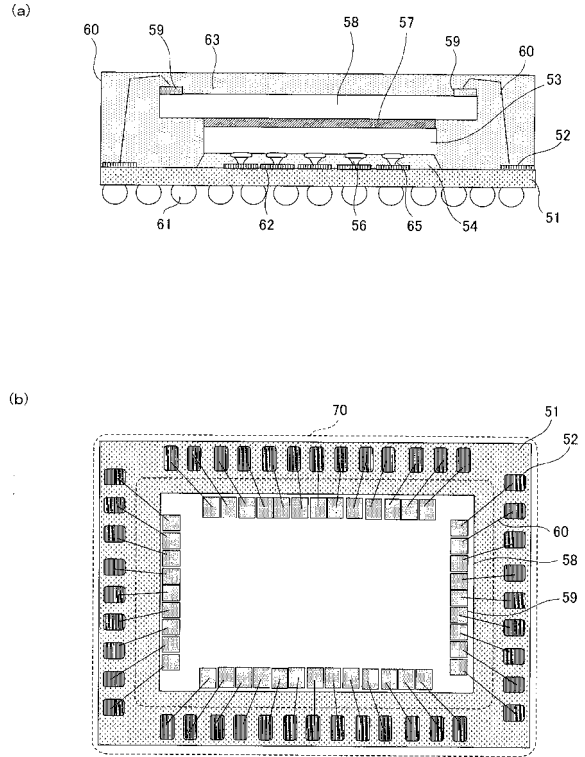
【 図 21 】



【 図 2 2 】

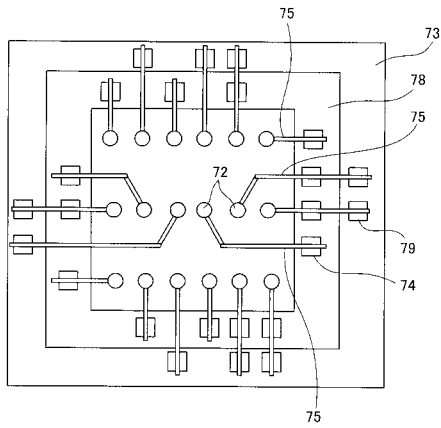


【 図 2 3 】

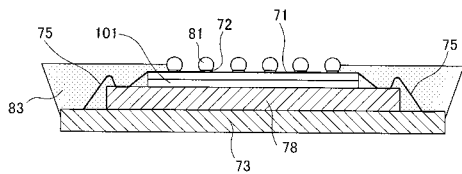


【 図 2 4 】

(a)



(b)



フロントページの続き

- (72)発明者 赤星 年隆
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 伊藤 史人
大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 福田 敏行
大阪府門真市大字門真1006番地 松下電器産業株式会社内