



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월09일
 (11) 등록번호 10-1673920
 (24) 등록일자 2016년11월02일

(51) 국제특허분류(Int. Cl.)
 H01L 21/336 (2006.01) H01L 29/78 (2006.01)
 (21) 출원번호 10-2010-0068207
 (22) 출원일자 2010년07월15일
 심사청구일자 2015년07월07일
 (65) 공개번호 10-2012-0007589
 (43) 공개일자 2012년01월25일
 (56) 선행기술조사문헌
 JP2006059843 A*
 KR1020040102656 A*
 US07585739 B2
 US20070020640 A1
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 이관흠
 경기도 수원시 영통구 영통로 498, 황골마을1단지
 아파트 129동 1103호 (영통동)
 정순욱
 경기도 화성시 동탄반석로 264 103동 1703호 (석
 우동, 예당마을대우푸르지오아파트)
 (뒷면에 계속)
 (74) 대리인
 박영우

전체 청구항 수 : 총 9 항

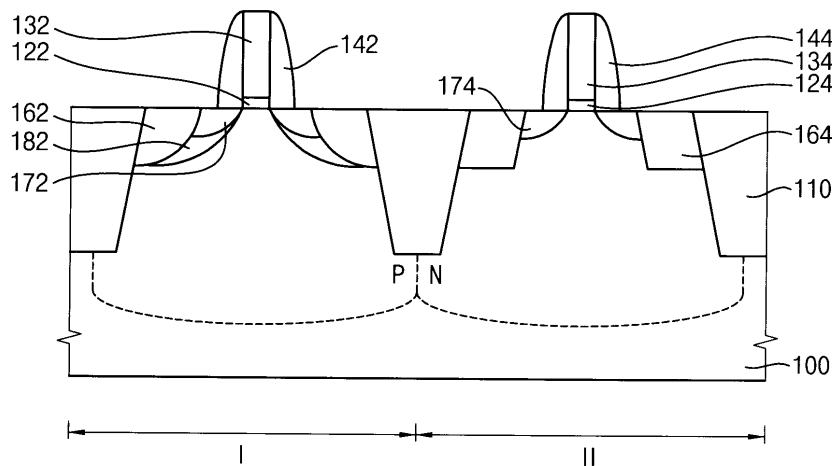
심사관 : 오순영

(54) 발명의 명칭 **반도체 장치의 제조 방법**

(57) 요약

탄소 도핑 영역을 형성한 반도체 장치의 제조 방법이 개시되어 있다. 기판 상에 게이트 구조물을 형성하고, 게이트 구조물 측벽 상에 희생 스페이서를 형성한 후, 제1 이온 주입 공정을 통해 기판 상부에 제1 불순물을 주입하여 소스/드레인 영역을 형성한다. 사용된 희생 스페이서를 제거한다. 게이트 구조물을 이온 주입 마스크로 사용하는 제2 이온 주입 공정을 통해, 기판 상부에 제1 불순물 및 탄소를 주입하여 소스/드레인 확장 영역 및 탄소 도핑 영역을 각각 형성한다. 탄소 도핑 영역을 형성하기 이전에 열처리함에 따라 탄소 도핑 영역에서의 탄소 비활성화를 방지할 수 있고, 희생 스페이서의 사용으로 탄소 도핑 영역들 사이의 간격이 좁아져 채널 영역에 인가되는 인장 스트레스가 증가될 수 있다.

대표도 - 도5



(72) 발명자

박정현

서울특별시 강북구 덕릉로40길 32-6 (변동)

김옥제

경기도 과천시 별양로 111, 504동 1102호 (별양동,
주공아파트)

반증상

경기도 화성시 동탄반석로 71 449동 1302호 (반송
동, 솔빛마을쌍용예가아파트)

명세서

청구범위

청구항 1

기판 상에 게이트 구조물을 형성하는 단계;

상기 게이트 구조물 측벽 상에 희생 스페이서를 형성하는 단계;

상기 게이트 구조물 및 상기 희생 스페이서를 이온 주입 마스크로 사용하는 제1 이온 주입 공정을 통해, 상기 기판의 상부에 제1 불순물을 주입하여 소스/드레인 영역을 형성하는 단계;

상기 희생 스페이서를 제거하는 단계;

상기 소스/드레인 영역을 형성하고 상기 희생 스페이서를 제거한 이후에, 상기 게이트 구조물을 이온 주입 마스크로 사용하는 제2 이온 주입 공정을 통해, 상기 기판의 상부에 제2 불순물을 주입하여 소스/드레인 확장 영역을 형성하는 단계; 및

상기 소스/드레인 확장 영역을 형성한 후, 상기 게이트 구조물을 이온 주입 마스크로 사용하는 제3 이온 주입 공정을 통해, 상기 기판의 상부에 탄소를 주입하여 탄소 도핑 영역을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 제2 이온 주입 공정 이전에, 상기 기판에 대해 제1 열처리 공정을 수행하여 상기 소스/드레인 영역의 상기 제1 불순물을 활성화시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3

제2항에 있어서, 상기 제1 열처리 공정은 800℃ 내지 1,100℃의 온도에서 0.01초 내지 10초 동안 수행되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기 제1 및 제2 불순물들은 N형 불순물을 포함하며,

상기 소스/드레인 영역의 불순물 농도는 상기 소스/드레인 확장 영역의 불순물 농도에 비해 높은 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5

제1항에 있어서, 상기 소스/드레인 확장 영역은 상기 소스/드레인 영역에 인접하도록 형성되며, 상기 소스/드레인 영역에 비해 상기 기판의 표면으로부터 얇은 깊이로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6

삭제

청구항 7

제1항에 있어서, 상기 탄소 도핑 영역을 형성하는 단계 이후에,

상기 기판에 대해 제2 열처리 공정을 수행하여 상기 소스/드레인 확장 영역의 상기 제2 불순물 및 상기 탄소 도핑 영역의 상기 탄소를 활성화시키는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서, 상기 제2 열처리 공정은 수 내지 수십 밀리 초 동안 수행되는 것을 특징으로 하는 반도체 장치

의 제조 방법.

청구항 9

제1항에 있어서, 상기 탄소 도핑 영역은 상기 소스/드레인 영역 및 상기 소스/드레인 확장 영역에 인접하도록 형성되며, 상기 소스/드레인 영역에 비해 상기 기판의 표면으로부터 깊은 깊이로 형성되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

제1항에 있어서, 상기 희생 스페이서를 제거하는 단계 이후에, 상기 소스/드레인 영역 및 상기 기판 상에 에피택시얼 층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 씨모스(Complementary Metal-Oxide Semiconductor: CMOS) 트랜지스터의 제조 방법에 관한 것이다.

배경 기술

[0002] 트랜지스터의 채널 영역에 스트레스를 가하여 캐리어의 이동도를 향상시키는 기술이 개발되고 있다. 즉, 피모스(Positive Metal Oxide Semiconductor: PMOS) 채널 영역에 압축 스트레스(compressive stress)를 인가하여 홀의 이동도를 향상시키거나, 엔모스(Negative Metal Oxide Semiconductor: NMOS) 채널 영역에 인장 스트레스(tensile stress)를 인가하여 전자의 이동도를 향상시킬 수 있다.

[0003] NMOS 트랜지스터의 경우, 예를 들어, 소스/드레인 영역에 탄소를 이온 주입하여 채널 영역에 인장 스트레스(tensile stress)를 인가할 수 있다. 하지만, 후속하여 수행되는 열처리 공정에 의해 탄소가 불활성화 되어, 상기 채널 영역에 인가되는 인장 스트레스가 감소하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 채널 영역의 캐리어 이동도가 향상된 반도체 장치를 제조하는 방법을 제공하는데 있다.

과제의 해결 수단

[0005] 상기한 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 장치의 제조 방법은, 기판 상에 게이트 구조물을 형성한다. 상기 게이트 구조물 측벽 상에 희생 스페이서를 형성한다. 상기 게이트 구조물 및 상기 희생 스페이서를 이온 주입 마스크로 사용하는 제1 이온 주입 공정을 통해, 상기 기판 상부에 제1 불순물을 주입하여 소스/드레인 영역을 형성한다. 상기 희생 스페이서를 제거한 다음, 상기 게이트 구조물을 이온 주입 마스크로 사용하는 제2 이온 주입 공정을 통해, 상기 기판 상부에 제1 불순물 및 탄소를 주입하여 소스/드레인 확장 영역 및 탄소 도핑 영역을 각각 형성한다.

[0006] 예시적인 실시예들에 있어서, 상기 제2 이온 주입 공정 이전에, 상기 기판에 대해 제1 열처리 공정을 수행하여 상기 소스/드레인 영역의 상기 제1 불순물을 활성화시킬 수 있다.

[0007] 예시적인 실시예들에 있어서, 상기 제1 열처리 공정은 800℃ 내지 1,100℃의 온도에서 0.01 초 내지 10초 동안 수행될 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제1 및 제2 불순물들은 N형 불순물을 포함하며, 상기 소스/드레인 영역의 불순물 농도는 상기 소스/드레인 확장 영역의 불순물 농도에 비해 높다.

[0009] 예시적인 실시예들에 있어서, 상기 소스/드레인 확장 영역은 상기 소스/드레인 영역에 인접하도록 형성되며, 상기 소스/드레인 영역에 비해 상기 기판 표면으로부터 얇은 깊이로 형성된다.

- [0010] 예시적인 실시예들에 있어서, 상기 소스/드레인 확장 영역 및 상기 탄소 도핑 영역의 형성은 별도의 이온 주입 공정에 의해 수행될 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 소스/드레인 확장 영역 및 상기 탄소 도핑 영역을 형성하는 단계 이후에, 상기 기판에 대해 제2 열처리 공정을 수행하여 상기 소스/드레인 확장 영역의 상기 제2 불순물 및 상기 탄소 도핑 영역의 상기 탄소를 활성화시킬 수 있다. 이때, 상기 제2 열처리 공정은 수 내지 수십 밀리 초 동안 수행될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 탄소 도핑 영역은 상기 소스/드레인 영역 및 상기 소스/드레인 확장 영역에 인접하도록 형성되며, 상기 소스/드레인 영역에 비해 상기 기판 표면으로부터 깊은 깊이로 형성된다.
- [0013] 예시적인 실시예들에 있어서, 상기 희생 스페이서를 제거한 후에, 상기 소스/드레인 영역 및 상기 기판 상에 에피택시얼 층을 형성할 수도 있다.
- [0014] 또한, 상기 희생 스페이서는 실리콘 산화물을 사용하여 형성할 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 게이트 구조물은 상기 기판 상에 게이트 절연막 패턴 및 게이트 전극을 순차적으로 형성한 후, 상기 게이트 절연막 패턴 및 상기 게이트 전극의 측벽들 상에 스페이서를 형성하여 완성될 수 있다.
- [0016] 상기한 목적을 달성하기 위한 본 발명의 다른 실시예들에 따른 반도체 장치의 제조 방법은, 기판의 NMOS 영역 및 PMOS 영역 상에 각각 제1 및 제2 게이트 구조물들을 형성한다. 상기 제1 및 제2 게이트 구조물들의 측벽들 상에 각각 제1 및 제2 희생 스페이서들을 형성한다. 상기 제1 게이트 구조물 및 상기 제1 희생 스페이서를 이온 주입 마스크로 사용하는 제1 이온 주입 공정을 통해, 상기 기판의 NMOS 영역에 제1 불순물을 주입하여 제1 소스/드레인 영역을 형성한다. 상기 제2 게이트 구조물 및 상기 제2 희생 스페이서를 이온 주입 마스크로 사용하는 제2 이온 주입 공정을 통해, 상기 기판의 PMOS 영역에 제2 불순물을 주입하여 제2 소스/드레인 영역을 형성한다. 상기 제1 및 제2 희생 스페이서들을 제거한 다음, 상기 제2 게이트 구조물을 이온 주입 마스크로 사용하는 제3 이온 주입 공정을 통해, 상기 기판의 PMOS 영역에 제3 불순물을 주입하여 제2 소스/드레인 확장 영역을 형성한다. 상기 제1 게이트 구조물을 이온 주입 마스크로 사용하는 제4 이온 주입 공정을 통해, 상기 기판의 NMOS 영역에 제4 불순물 및 탄소를 주입하여 제2 소스/드레인 확장 영역 및 탄소 도핑 영역을 각각 형성한다.
- [0017] 예시적인 실시예들에 있어서, 상기 제2 소스/드레인 영역은 상기 제2 게이트 구조물 및 상기 제2 희생 스페이서를 식각 마스크로 사용하여 상기 기판의 PMOS 영역을 식각함으로써 리세스를 형성하고, 상기 리세스를 채우는 제1 에피택시얼 층을 형성한 후 상기 제1 에피택시얼 층에 상기 제2 불순물을 주입하여 형성할 수 있다. 이때, 상기 제1 에피택시얼 층은 실리콘-게르마늄을 포함하도록 형성될 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 제4 이온 주입 공정 이전에, 상기 기판에 대해 열처리 공정을 수행하여 상기 제1 및 제2 소스/드레인 영역들의 각 제1 및 제2 불순물들을 활성화시킬 수 있다. 이때, 상기 열처리 공정은 800°C 내지 1,100°C의 온도에서 0.01초 내지 10초 동안 수행될 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 제1 및 제4 불순물들은 N형 불순물을 포함하고 상기 제2 및 제3 불순물들은 P형 불순물을 포함하며, 상기 제1 및 제2 소스/드레인 영역들의 불순물 농도는 상기 제1 및 제2 소스/드레인 확장 영역들의 불순물 농도에 비해 높을 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 탄소 도핑 영역은 상기 제1 소스/드레인 영역 및 상기 제1 소스/드레인 확장 영역에 인접하도록 형성되며, 상기 제1 소스/드레인 영역에 비해 상기 기판 표면으로부터 깊은 깊이로 형성될 수 있다.
- [0021] 예시적인 실시예들에 있어서, 상기 희생 스페이서들을 제거한 이후에, 상기 제1 소스/드레인 영역 및 상기 기판의 NMOS 영역 상에 제2 에피택시얼 층을 더 형성할 수 있다.

발명의 효과

- [0022] 본 발명의 실시예들에 따르면, 소스/드레인 영역들을 형성하고 어닐링 공정을 수행한 후, 탄소 주입 영역을 형성한다. 이에 따라, 상기 어닐링 공정에 의해 상기 탄소 도핑 영역에서의 탄소 비활성화되는 것을 방지할 수 있다. 또한, 희생 스페이서들의 사용으로 인해, 상기 탄소 도핑 영역들 사이의 간격이 좁아짐에 따라, 채널 영역에 인가되는 인장 스트레스가 증가될 수 있다. 이에 따라 트랜지스터의 구동 전류 특성이 향상된다.

도면의 간단한 설명

- [0023] 도 1 내지 도 5는 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- 도 6 내지 도 8은 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- 도 9는 기판에 형성된 탄소 도핑 영역에 추가 열처리를 한 경우, 이에 따른 스트레스 변화를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하고자 한다.
- [0025] 본 발명의 각 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다.
- [0026] 본 발명에서, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0027] 본 발명에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 본 발명에 있어서, 각 층(막), 영역, 전극, 패턴 또는 구조물들이 대상체, 기판, 각 층(막), 영역, 전극 또는 패턴들의 "상에", "상부에" 또는 "하부"에 형성되는 것으로 언급되는 경우에는 각 층(막), 영역, 전극, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 또는 패턴들 위에 형성되거나 아래에 위치하는 것을 의미하거나, 다른 층(막), 다른 영역, 다른 전극, 다른 패턴 또는 다른 구조물들이 대상체나 기판 상에 추가적으로 형성될 수 있다.
- [0029] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안된다.
- [0030] 즉, 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0031] 도 1 내지 도 5는 본 발명의 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0032] 도 1을 참조하면, NMOS 영역(I)과 PMOS 영역(II)을 포함하는 기판(100)을 마련한다. 기판(100)은 단결정 실리콘과 같은 반도체 물질을 포함할 수 있다. 기판(100) 상에 셀로우 트렌치 소자 분리(shallow trench isolation; STI) 공정을 이용하여 소자 분리막(110)을 형성함으로써, 기판(100)에 활성 영역들을 정의할 수 있다.
- [0033] 기판(100)의 NMOS 영역(I)에 P형 불순물을 도핑하여, 기판(100)의 상부에 P형 웰(well)을 형성할 수 있다. 한편, 기판(100)의 PMOS 영역(II)에 N형 불순물을 도핑하여, 기판(100)의 상부에 N형 웰을 형성할 수 있다.
- [0034] 기판(100) 상에 실리콘 산화물 혹은 실리콘 산질화물을 사용하여 게이트 절연막(120)을 형성한다. 일 실시예에 따르면, 기판(100) 상부를 열산화시켜 실리콘 산화물을 포함하는 게이트 절연막(120)을 형성한다. 다른 실시예에 따르면, 화학기상증착 공정에 의해 기판(100) 상에 실리콘 산화물을 증착한 후, 플라즈마 질화 처리 또는 열질화 처리를 수행하여 실리콘 산질화물을 포함하는 게이트 절연막(120)을 형성할 수 있다.
- [0035] 게이트 절연막(120) 상에 게이트 도전막(130)을 형성한다.
- [0036] 예시적인 실시예들에 있어서, 게이트 도전막(130)은 폴리실리콘을 사용하여 화학기상증착 공정에 의해 형성할 수 있다. 상기 화학기상증착 공정은, 실란(SiH₄)을 소스 가스로 사용하여, 약 600℃ 내지 650℃의 온도와 약

25Pa 내지 150Pa의 압력 하에서 수행될 수 있다. 일 실시예에 있어서, 게이트 도전막(130)은 약 1,000Å 이하의 두께를 갖도록 형성된다.

- [0037] 게이트 도전막(130)은 NMOS 영역(I) 및 PMOS 영역(II)에 각각 형성될 NMOS 트랜지스터 및 PMOS 트랜지스터에 적합한 일함수를 갖도록 형성될 수 있다. 이에 따라, 게이트 도전막(130)에 N형 불순물 혹은 P형 불순물을 도핑할 수 있다.
- [0038] 도 2를 참조하면, 게이트 도전막(130) 상에 마스크(도시되지 않음)를 형성한 후, 이를 식각 마스크로 이용하여 게이트 도전막(130) 및 게이트 절연막(120)을 순차적으로 패터닝한다. 이에 따라, 기판(100)의 NMOS 영역(I) 상에 제1 게이트 전극(132) 및 제1 게이트 절연막 패턴(122)이 형성되고, 기판(100)의 PMOS 영역(II) 상에 제2 게이트 전극(134) 및 제2 게이트 절연막 패턴(124)을 형성된다. 이후, 상기 제1 마스크를 제거할 수 있다.
- [0039] 도 3을 참조하면, 제1 게이트 전극(132) 및 제1 게이트 절연막 패턴(122)의 측면들 상에 제1 스페이서(142)를 형성하고, 제2 게이트 전극(134)들 및 제2 게이트 절연막 패턴(124)의 측면들 상에 제2 스페이서(144)를 형성한다. 이에 따라, 기판(100)의 NMOS 영역(I) 상에 제2 게이트 전극(132), 제1 게이트 절연막 패턴(122) 및 제1 스페이서(142)를 구비하는 제1 게이트 구조물이 형성되고, 기판(100)의 PMOS 영역(II) 상에 제2 게이트 전극(134), 제2 게이트 절연막 패턴(124) 및 제2 스페이서(144)를 구비하는 제2 게이트 구조물이 형성된다.
- [0040] 제1 및 제2 스페이서들(142, 144)은 실리콘 질화물을 사용하여 형성할 수 있다. 즉, 게이트 전극들(132, 134) 및 게이트 절연막 패턴들(122, 124) 상에 실리콘 질화물을 사용하여 스페이서막을 형성하고, 상기 스페이서막을 이방성 식각함으로써 스페이서들(142, 144)을 형성할 수 있다. 일 실시예에 따르면, 스페이서들(142, 144)을 형성하기 이전에, 게이트 전극들(132, 134) 및 게이트 절연막 패턴들(122, 124) 상에 스크린 산화막(도시하지 않음)을 더 형성하여, 실리콘 질화물을 포함하는 스페이서들(142, 144)이 게이트 전극들(132, 134) 및 게이트 절연막 패턴들(122, 124)에 응력을 가하는 것을 방지할 수 있다.
- [0041] 일 실시예에 있어서, 각 스페이서들(142, 144)은 질화막/산화막/질화막을 포함하는 다층 구조물로 형성될 수 있다.
- [0042] 도 4를 참조하면, 제1 및 제2 스페이서들(142, 144)의 측면들 상에 각각 제1 및 제2 희생 스페이서들(152, 154)을 형성한다. 제1 및 제2 희생 스페이서들(152, 154)은 실리콘 산화물을 사용하여 형성될 수 있다.
- [0043] 구체적으로, 상기 제1 및 제2 게이트 구조물들을 커버하는 희생 스페이서막을 기판(100) 상으로 형성한 후, 상기 희생 스페이서막을 이방성으로 식각함으로써 희생 스페이서들(152, 154)을 형성할 수 있다.
- [0044] 이후, 기판(100)의 PMOS 영역(II)을 커버하는 제2 마스크(도시하지 않음)를 형성하고, 상기 제2 마스크, 상기 제1 게이트 구조물 및 제1 희생 스페이서(152)를 이온 주입 마스크로 사용하는 제1 이온 주입 공정을 통해, 기판(100) 상부에 제1 불순물을 주입하여 제1 소스/드레인 영역(162)을 형성할 수 있다. 이때, 상기 제1 불순물이 기판(100) 상부에서 확산되어, 제1 소스/드레인 영역(162)은 제1 희생 스페이서(152) 측부 아래에도 형성될 수 있다. 이후, 상기 제2 마스크는 제거된다.
- [0045] 한편, 기판(100)의 NMOS 영역(I)을 커버하는 제3 마스크(도시하지 않음)를 형성하고, 상기 제3 마스크, 상기 제2 게이트 구조물 및 제2 희생 스페이서(154)를 식각 마스크로 사용하여 기판(100) 상부를 제거함으로써 리세스(도시하지 않음)를 형성한다. 상기 리세스는 제2 희생 스페이서(154)의 측부 아래에도 형성될 수 있다.
- [0046] 디클로로실란(SiH_2Cl_2) 가스 및 사수소화 게르마늄(GeH_4) 가스 등을 소스 가스로 사용하여 선택적 에피택시얼 성장(Selective Epitaxial Growth : SEG) 공정을 수행함으로써, 상기 리세스를 채우는 실리콘-게르마늄(SiGe) 층을 형성한다. 이후, 상기 제3 마스크, 상기 제2 게이트 구조물 및 제2 희생 스페이서(154)를 이온 주입 마스크로 사용하는 제2 이온 주입 공정을 통해, 상기 SiGe 층에 제2 불순물을 주입하여 제2 소스/드레인 영역(164)을 형성한다. 이때, 상기 제2 불순물은 상기 SiGe 층이 형성되지 않은 기판(100) 상부에도 일부 주입될 수 있다. 제3 마스크는 제거된다.
- [0047] 상기 제1 불순물은 N형 불순물로서, 예를 들어 인(phosphorus)이나 비소(Arsenic)를 포함할 수 있으며, 상기 제2 불순물은 P형 불순물로서, 예를 들어 붕소(boron)를 포함할 수 있다. 이때, 상기 제1 및 제2 불순물들은 5×10^{15} atoms/cm⁻² 정도의 도즈량으로 30~40keV의 가속 에너지에 의해 주입될 수 있다.
- [0048] 예시적인 실시예들에 있어서, 제1 및 제2 소스/드레인 영역들(162, 164)을 형성한 후, 상기 제1 및 제2 불순물들을 활성화시키고, 결정 결함을 감소시키기 위하여 800°C 내지 1,100°C의 온도에서 0.01초 내지 10초 동안 열

처리할 수 있다.

- [0049] 도 5를 참조하면, 제1 및 제2 희생 스페이서들(152, 154)을 제거한다. 예시적인 실시예들에 있어서, 상기 제거 공정은 산소 플라즈마를 이용하는 건식 식각에 의해 수행할 수 있다.
- [0050] 이후, 기판(100)의 NMOS 영역(I)을 커버하는 제4 마스크(도시하지 않음)를 형성하고, 상기 제4 마스크 및 상기 제2 게이트 구조물을 이온 주입 마스크로 사용하는 제3 이온 주입 공정을 통해, 기판(100) 상부에 제3 불순물을 주입하여 제2 소스/드레인 확장 영역(174)을 형성한다. 이때, 상기 제3 불순물이 기판(100) 상부에 확산되어, 제2 소스/드레인 확장 영역(174)은 제2 스페이서(144) 측부 아래에도 형성될 수 있다. 상기 제3 불순물은 P형 불순물을 포함할 수 있다. 제2 소스/드레인 확장 영역(174)은 제2 소스/드레인 영역(164)에 비해 낮은 불순물 농도를 가질 수 있다.
- [0051] 기판(100)의 PMOS 영역(II)을 커버하는 제5 마스크(도시하지 않음)를 형성하고, 상기 제5 마스크 및 상기 제1 게이트 구조물을 이온 주입 마스크로 사용하는 제4 이온 주입 공정을 통해, 기판(100) 상부에 제4 불순물을 주입하여 제1 소스/드레인 확장 영역(172)을 형성한다. 이때, 상기 제4 불순물이 기판(100) 상부에서 확산되어, 제1 소스/드레인 확장 영역(172)은 제1 스페이서(142) 측부 아래에도 형성될 수 있다. 상기 제4 불순물은 N형 불순물을 포함할 수 있다. 예시적인 실시예들에 있어서, 상기 N형 불순물로는 비소(arsenic) 또는 인(phosphorus)이 사용될 수 있다. 제1 소스/드레인 확장 영역(172)은 제1 소스/드레인 영역(162)에 비해 낮은 불순물 농도를 가질 수 있다.
- [0052] 예시적인 실시예들에 있어서, 제1 및 제2 소스/드레인 확장 영역들(172, 174)은 각각 제1 및 제2 소스/드레인 영역들(162, 164)에 인접하며, 기판(100)의 표면으로부터 얇은 깊이로 형성된다.
- [0053] 한편, 상기 제5 마스크 및 상기 제1 게이트 구조물을 이온 주입 마스크로 사용하는 제5 이온 주입 공정을 통해, 기판(100) 상부에 탄소를 주입하여 탄소 도핑 영역(182)을 형성한다. 예시적인 실시예들에 따르면, 탄소 도핑 영역(182)은 제1 및 제2 소스/드레인 영역들(162, 164) 및 제1 및 제2 소스/드레인 확장 영역들(172, 174)에 인접하며, 기판(100) 표면으로부터 보다 깊은 깊이로 형성된다. 일 실시예에 있어서, 탄소 도핑 영역(182)은 기판(100)의 표면으로부터 10Å 내지 1,000Å의 깊이를 갖도록 형성된다.
- [0054] 상기 탄소의 소스 가스로는 C₅H₈나 C₇H₇이 사용될 수 있으며, 대략 5×10¹⁹ atoms/cm⁻² 내지 5×10²¹ atoms/cm⁻² 정도의 도즈량으로 도핑될 수 있다.
- [0055] 상기 제5 이온 주입 공정은 상기 제4 이온 주입 공정과 동시에 수행되거나, 혹은 먼저 수행될 수도 있다.
- [0056] 이후, 어닐링 공정을 수행하여, 기판(100)의 상기 불순물들 및 탄소를 활성화시킬 수 있다. 일 실시예에 따르면, 상기 어닐링은 Xe 플래쉬 램프나 레이저를 사용하여 수행될 수 있다. 또한, 상기 어닐링 공정은 고온에서 수 밀리초 내지 수백 밀리초의 비교적 짧은 시간 동안 수행되며, 이는 엠에스에이(millisecond Annealing: MSA) 공정으로 불리어질 수 있다. 상기 MSA 공정에 의해 상기 불순물들 및 상기 탄소를 활성화시킬 수 있다. 일 실시예에 따르면, 상기 MSA는 대략 1,000℃ 내지 1,300℃의 온도에서 수행될 수 있다.
- [0057] 상기 어닐링 공정에 의해, 탄소 도핑 영역(182)은 실리콘 탄화물(SiC)의 결합 구조를 가질 수 있다.
- [0058] 전술한 바와 같이, 기판(100)의 NMOS 영역(I)에 상기 제1 게이트 구조물, 제1 소스/드레인 영역(162), 제1 소스/드레인 확장 영역(172) 및 탄소 도핑 영역(182)을 구비하는 NMOS 트랜지스터가 형성되고, 기판(100)의 PMOS 영역(II)에 상기 제2 게이트 구조물, 제2 소스/드레인 영역(164) 및 제2 소스/드레인 확장 영역(174)을 구비하는 PMOS 트랜지스터가 형성될 수 있다.
- [0059] 이후, 소스/드레인 영역들(162, 164) 및 소스/드레인 확장 영역들(172, 174) 상에 금속 실리사이드 막(도시되지 않음)을 더 형성할 수 있다. 예를 들면, 상기 금속 실리사이드 막들은 코발트 실리사이드 또는 티타늄 실리사이드를 사용하여 형성될 수 있다. 상기 금속 실리사이드는 실리콘의 전도도의 증가를 위하여 N형 혹은 P형 불순물로 도핑될 수도 있다.
- [0060] 전술한 반도체 장치의 제조 방법에 따르면, 제1 및 제2 소스/드레인 영역들(162, 164)을 형성하고 어닐링 공정을 수행한 후, 제1 및 제2 소스/드레인 확장 영역(172, 174) 및 탄소 도핑 영역(182)을 형성한다. 이에 따라, 소스/드레인 확장 영역 및 탄소 도핑 영역을 먼저 형성한 이후에 소스/드레인 영역을 형성하고 어닐링하는 경우, 상기 어닐링 공정에 의해 탄소 도핑 영역에서의 탄소가 비활성화되는 것을 방지할 수 있다. 따라서, NMOS 트랜지스터의 채널 영역에 충분한 인장 스트레스를 인가하여 동작 전류 특성이 향상될 수 있다.

- [0061] 또한, 희생 스페이서들(152, 154)의 사용으로 인해, 탄소 도핑 영역들(182) 사이의 간격이 좁아짐에 따라, 채널 영역에 인가되는 인장 스트레스가 증가될 수 있다.
- [0062] 도 6 내지 도 8은 본 발명의 다른 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0063] 도 6을 참조하면, 도 1 내지 도 3을 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.
- [0064] 이에 따라, 기판(200) 상에 소자 분리막(210)이 형성되며, 기판(200)의 NMOS 영역(I)에 P형 웰이 형성되고, 기판(200)의 PMOS 영역(II)에 N형 웰이 형성된다. 또한, 기판(200)의 NMOS 영역(I) 상에 제1 게이트 절연막 패턴(222), 제1 게이트 전극(232), 제1 스페이서(242) 및 제1 희생 스페이서(252)가 형성되고, 기판(200)의 PMOS 영역(II) 상에 제2 게이트 절연막 패턴(224), 제2 게이트 전극(234), 제2 스페이서(244) 및 제2 희생 스페이서(254)가 형성된다. 제1 게이트 전극(232), 제1 게이트 절연막 패턴(222) 및 제1 스페이서(242)는 제1 게이트 구조물을 형성하고, 제2 게이트 전극(234), 제2 게이트 절연막 패턴(224) 및 제2 스페이서(244)는 제2 게이트 구조물을 형성한다.
- [0065] 도 7을 참조하면, 도 4를 참조로 설명한 공정과 실질적으로 동일하거나 유사한 공정을 수행한다. 이에 따라, 기판(200)의 NMOS 영역(I)에 제1 소스/드레인 영역(262)이 형성되고, 기판(200)의 PMOS 영역(II)에 제2 소스/드레인 영역(264)이 형성된다. 제1 및 제2 소스/드레인 영역들(262, 264)을 형성한 후, 800°C 내지 1,100°C의 온도에서 0.01초 내지 10초 동안 열처리를 더 수행할 수 있다.
- [0066] 이후, 제1 및 제2 희생 스페이서(252, 254)들을 제거한다.
- [0067] 기판(200)의 PMOS 영역(II)을 커버하는 제1 마스크(도시되지 않음)를 형성한 후, SEG 공정에 의해 제1 소스/드레인 영역(262) 및 기판(200) 상에 에피택시얼(epitaxial) 층(260)을 형성한다. 상기 SEG 공정은 예를 들어, 디클로로실란(SiH_2Cl_2) 가스를 사용하여 CVD 공정을 통해 수행될 수 있으며, 이에 따라 단결정 실리콘막이 형성될 수 있다.
- [0068] 상기 SEG 공정 이전에, 약 900°C의 온도에서 약 1분 이상 동안 어닐링 공정을 수행할 수 있다. 상기 어닐링 공정은 소스/드레인 확장 영역들(272, 274, 도 8 참조)이 형성되지 이전에 수행되므로, 채널 영역 특성의 열화를 발생시키지 않을 수 있다.
- [0069] 예시적인 실시예들에 따르면, 에피택시얼 층(260)은 실리콘 소스 가스 이외에 불순물을 포함하는 가스를 사용하여 불순물이 도핑된 단결정 실리콘을 포함하도록 형성될 수 있다. 상기 불순물은 인(phosphorus), 비소(arsenic) 등을 포함할 수 있다. 에피택시얼 층(260)은 제1 희생 스페이서(252)가 제거된 기판(200) 상에도 형성되며, 이후 제1 소스/드레인 영역(262)과 접촉하도록 형성되는 콘택 플러그(도시하지 않음)가 제1 소스/드레인 영역(262)을 벗어나 형성되는 경우에, 상기 콘택 플러그를 통한 누설 전류를 방지할 수 있다. 일 실시예에 따르면, 에피택시얼 층(260)은 10Å 내지 500Å의 두께로 형성될 수 있다.
- [0070] 도 8을 참조하면, 도 5를 참조로 설명한 공정들과 실질적으로 동일하거나 유사한 공정들을 수행한다.
- [0071] 즉, 기판(200)의 NMOS 영역(I)을 커버하는 제2 마스크(도시되지 않음)를 형성하고, 상기 제2 마스크 및 상기 제2 게이트 구조물을 이온 주입 마스크로 사용하는 제1 이온 주입 공정을 통해, 기판(200) 상부에 제1 불순물을 주입하여 제2 소스/드레인 확장 영역(274)을 형성한다. 상기 제1 불순물은 P형 불순물을 포함할 수 있다. 제2 소스/드레인 확장 영역(274)은 제2 소스/드레인 영역(264)에 비해 낮은 불순물 농도를 가질 수 있다.
- [0072] 기판(200)의 PMOS 영역(II)을 커버하는 제3 마스크(도시되지 않음)를 형성하고, 상기 제3 마스크 및 상기 제1 게이트 구조물을 이온 주입 마스크로 사용하는 제2 이온 주입 공정을 통해, 기판(200) 상부에 제2 불순물을 주입하여 제1 소스/드레인 확장 영역(272)을 형성한다. 상기 제2 불순물은 N형 불순물을 포함할 수 있다. 제1 소스/드레인 확장 영역(272)은 제1 소스/드레인 영역(262)에 비해 낮은 불순물 농도를 가질 수 있다.
- [0073] 한편, 상기 제3 마스크 및 상기 제1 게이트 구조물을 이온 주입 마스크로 사용하는 제3 이온 주입 공정을 통해, 기판(200) 상부에 탄소를 주입하여 탄소 도핑 영역(282)을 형성한다. 예시적인 실시예들에 따르면, 탄소 도핑 영역(282)은 제1 소스/드레인 영역(262) 및 제1 소스/드레인 확장 영역(272)에 인접하며, 기판(200) 표면으로부터 보다 깊은 깊이로 형성된다.
- [0074] 상기 제3 이온 주입 공정은 상기 제2 이온 주입 공정과 동시에 수행되거나, 혹은 먼저 수행될 수도 있다.
- [0075] 이후, MSA 공정을 수행하여, 기판(200)의 상기 불순물들 및 탄소를 활성화시킬 수 있다. 한편, 소스/드레인 영

역들(262, 264) 및 소스/드레인 확장 영역들(272, 274) 상에 금속 실리사이드 막(도시되지 않음)을 더 형성할 수도 있다.

[0076] 전술한 반도체 장치의 제조 방법에 따르면, 제1 및 제2 소스/드레인 영역들(262, 264)을 형성하고 어닐링 공정을 수행한 후, 제1 소스/드레인 확장 영역들(272, 274) 및 탄소 도핑 영역(282)을 형성한다. 이에 따라, 상기 어닐링 공정에 의해 탄소 도핑 영역(282)에서의 탄소가 비활성화되는 것을 방지할 수 있다. 또한, 희생 스페이서들(252, 254)의 사용으로 인해, 탄소 도핑 영역들(282) 사이의 간격이 좁아짐에 따라, 채널 영역에 인가되는 인장 스트레스가 증가될 수 있다. 이에 더하여, 에피택시얼 층(260)이 탄소 도핑 영역(282) 상에 형성됨에 따라, 금속 실리사이드 막 형성시, 탄소 도핑 영역(282)으로부터 탄소 소모를 방지할 수 있다.

[0077] 한편, 전술한 반도체 장치의 제조 방법은 플레너(planar) 타입의 트랜지스터 뿐만 아니라, 핀펫(FinFET)에도 적용이 가능하다.

[0078] 도 9는 기판에 형성된 탄소 도핑 영역에 추가 열처리를 한 경우, 이에 따른 스트레스 변화를 나타내는 그래프이다. 도 9에 있어서, 상기 탄소 도핑 영역에 주입되는 탄소의 주입량은 약 4×10^{15} atoms/cm²이며, 상기 탄소 주입 영역은 기판으로부터 45nm의 깊이를 갖도록 형성된다. 또한, "I"는 상기 탄소 주입 영역의 형성 후 열처리 공정으로서 약 1,250°C에서의 MSA(millisecond anneal)만을 수행한 경우에서의 스트레스 값을 나타내고, "II", "III", "IV" 및 "V"은 각기 상기 MSA과 함께 850°C, 950°C, 1,000°C, 1,045°C의 추가 열처리가 수행된 경우에서의 스트레스 값을 나타낸다.

[0079] 도 9를 참조하면, 탄소 주입 영역을 형성한 후에 열처리 공정으로서 MSA만 수행하는 경우(I)에는 약 0.75Gpa의 스트레스가 발생되었다. 그러나, 상기 MSA와 함께 추가 열처리 공정을 수행하는 경우(II, III, IV, V)에는 스트레스가 추가 열처리 온도에 따라 크게 감소되었으며, 1,045°C의 추가 열처리에서는 약 0.32Gpa까지 감소된 것으로 나타났다.

[0080] 따라서 탄소 도핑 영역을 형성한 이후 소스/드레인 영역을 형성하는 경우, 상기 소스/드레인 영역에 대한 열처리 공정에 의해 상기 탄소 도핑 영역의 스트레스가 감소될 수 있다. 하지만, 본 발명의 실시예들에 따르면, 소스/드레인 영역 형성 및 열처리 이후에 탄소 도핑 영역이 형성되므로, 상기 탄소 도핑 영역의 스트레스가 감소되지 않을 수 있다.

산업상 이용가능성

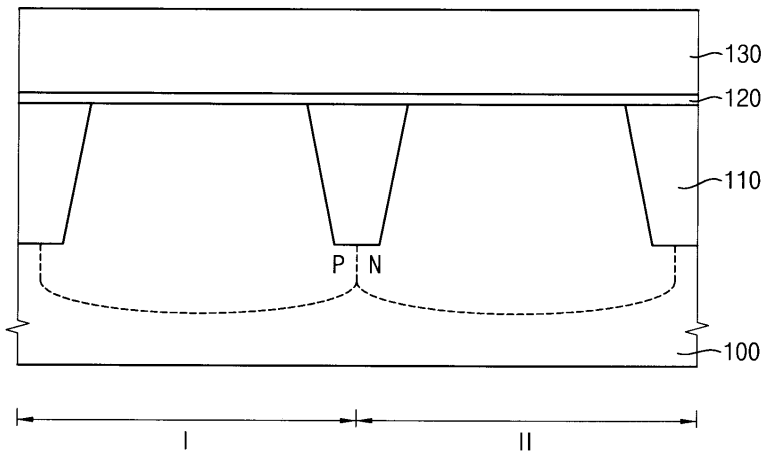
[0081] 본 발명의 실시예들에 따르면, 소스/드레인 영역들을 형성하고 어닐링 공정을 수행한 후, 탄소 도핑 영역을 형성한다. 이에 따라, 상기 어닐링 공정에 의해 탄소 도핑 영역에서의 탄소가 비활성화되는 것을 방지할 수 있다. 또한, 희생 스페이서들의 사용으로 인해, 탄소 도핑 영역들 사이의 간격이 좁아짐에 따라, 채널 영역에 인가되는 인장 스트레스가 증가될 수 있다.

부호의 설명

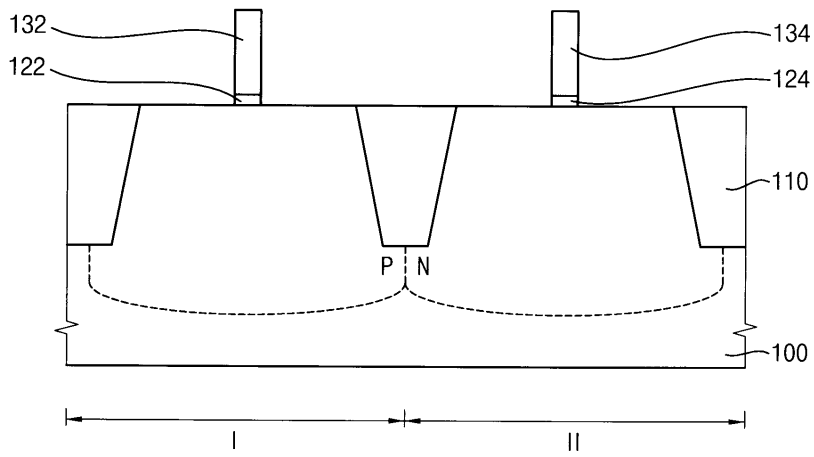
[0082] 100, 200 : 기판 110: 소자 분리막
 122, 124 : 제1, 제2 게이트 절연막 패턴
 132, 134 : 제1, 제2 게이트 전극
 142, 144 : 제1, 제2 스페이서
 152, 154 : 제1, 제2 희생 스페이서
 162, 164 : 제1, 제2 소스/드레인 영역
 172, 174 : 제1, 제2 소스/드레인 확장 영역
 182 : 탄소 도핑 영역 260 : 에피택시얼 층

도면

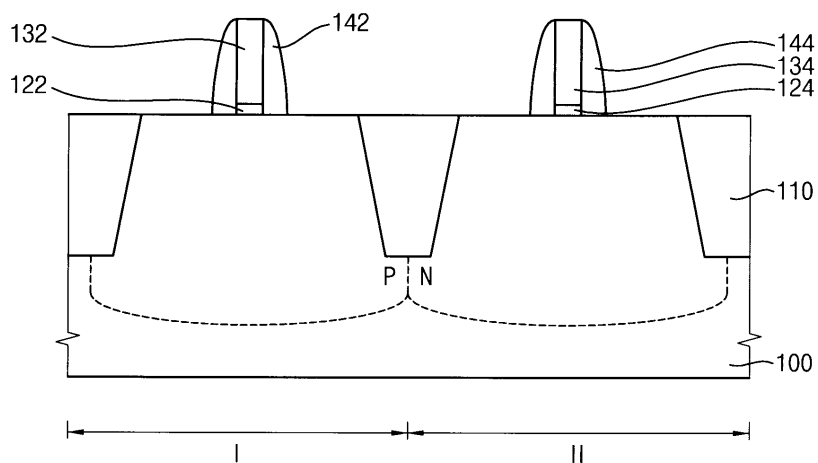
도면1



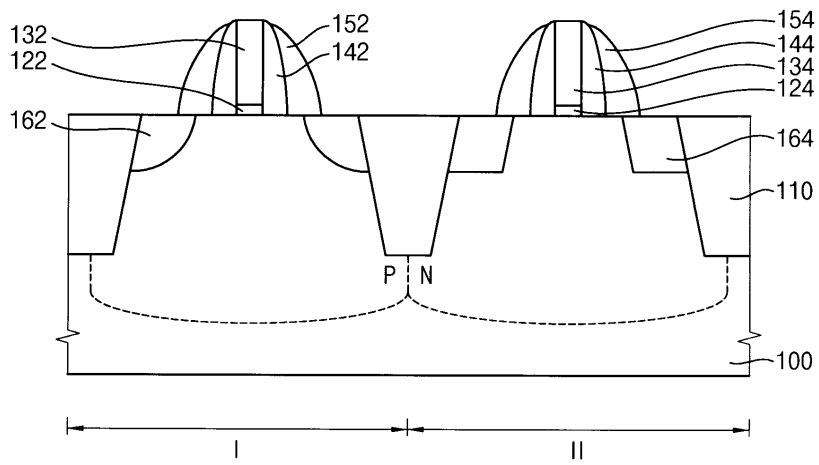
도면2



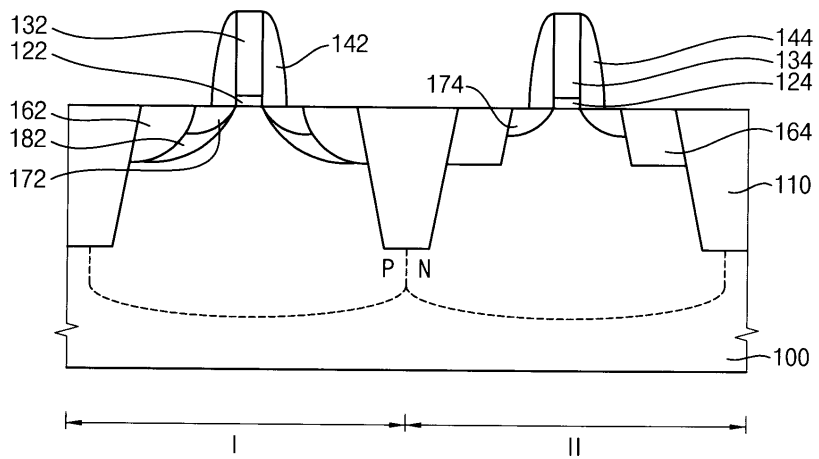
도면3



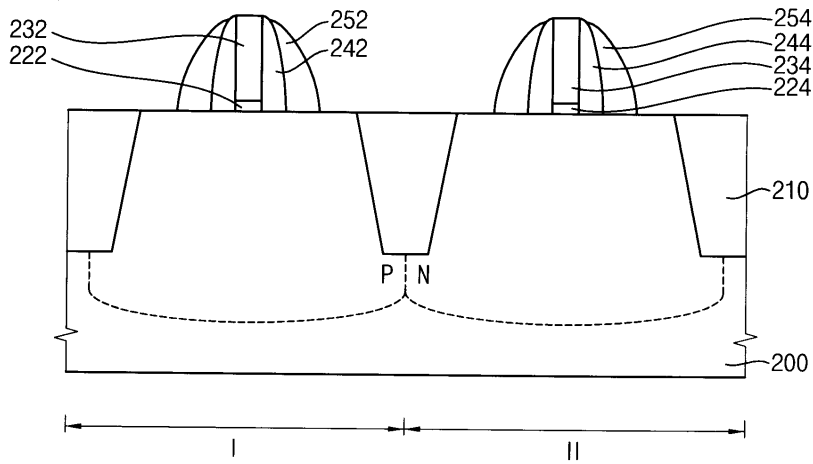
도면4



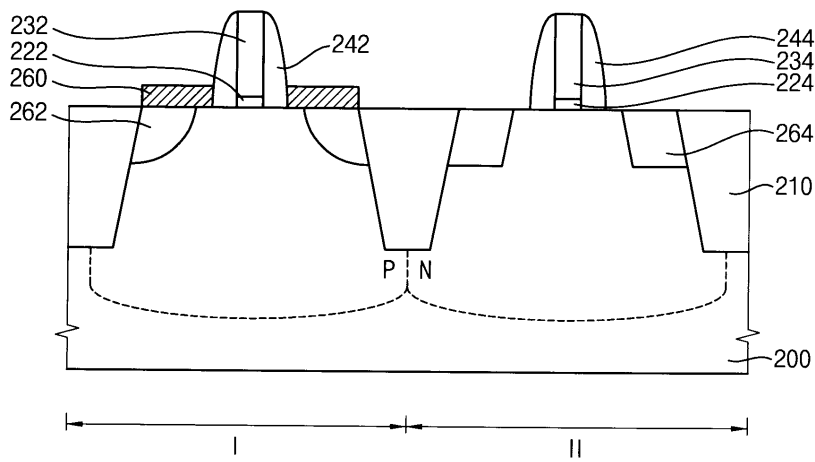
도면5



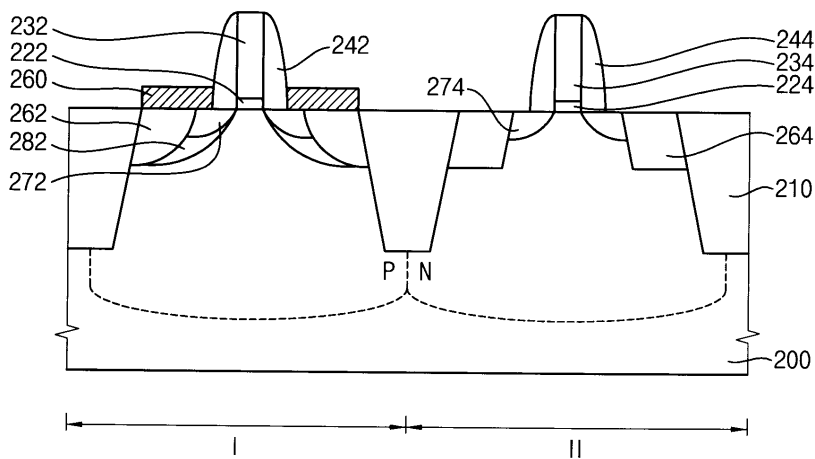
도면6



도면7



도면8



도면9

