



(12) 发明专利

(10) 授权公告号 CN 111580215 B

(45) 授权公告日 2023. 07. 21

(21) 申请号 202010091835.8

(22) 申请日 2020.02.13

(65) 同一申请的已公布的文献号
申请公布号 CN 111580215 A

(43) 申请公布日 2020.08.25

(30) 优先权数据
19157480.5 2019.02.15 EP

(73) 专利权人 效能光子私人有限责任公司
地址 荷兰埃因霍温

(72) 发明人 K·彼得 爱德斯 D·鲍德韦因

(74) 专利代理机构 北京英创嘉友知识产权代理
事务所(普通合伙) 11447
专利代理师 南毅宁

(51) Int.Cl.

G02B 6/12 (2006.01)

H01S 5/026 (2006.01)

(56) 对比文件

JP S61191090 A, 1986.08.25

US 2002031297 A1, 2002.03.14

US 2014153859 A1, 2014.06.05

US 4956682 A, 1990.09.11

US 5949112 A, 1999.09.07

US 9450124 B1, 2016.09.20

审查员 李彦双

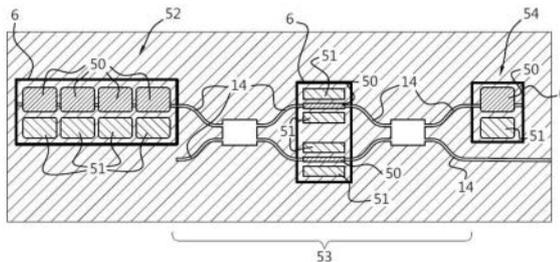
权利要求书4页 说明书19页 附图9页

(54) 发明名称

在N型接触之间具有改进的电气隔离的光子集成电路

(57) 摘要

本公开涉及一种光子集成电路(1),包括装配在具有外延层堆叠(2)的半导体晶圆上的第一光电器件(10)和第二光电器件(12),外延层堆叠(2)包括设置有至少一个选择性p型掺杂管状区域(6)的n型基于磷化铟的接触层(3),区域(6)用于在第一光电器件和第二光电器件的各自的n型接触区域之间提供电气屏障,第一光电器件和第二光电器件通过装配在包含磷化砷铟镓的非故意掺杂波导层(9)中的无源光波导(14)光学互连,非故意掺杂波导层被布置在n型掺杂接触层的顶部上,至少一个选择性p型掺杂管状区域的第一部分(15)布置在第一光电器件与第二光电器件之间的无源光波导的下方。本公开还涉及一种包括该光子集成电路的光电系统(33)。



1. 一种光子集成电路(1),包括:

半导体晶圆,具有外延层堆叠(2),所述外延层堆叠(2)包括:

包含磷化铟的n型掺杂接触层(3)或包含磷化铟的非故意掺杂层(4),所述非故意掺杂层包括至少两个选择性n型掺杂接触区域(5a,5b),其中,位于所述至少两个选择性n型掺杂接触区域(5a,5b)之外的所述n型掺杂接触层(3)或所述非故意掺杂层(4)包括第一选择性p型掺杂管状区域(6),该第一选择性p型掺杂管状区域(6)被配置和布置成在被所述第一选择性p型掺杂管状区域(6)包围的所述n型掺杂接触层(3)的第一区域(7)与被布置在所述第一选择性p型掺杂管状区域(6)的外部的所述n型掺杂接触层(3)的第二区域(8)之间提供第一电气屏障,或者在被所述第一选择性p型掺杂管状区域(6)包围的所述非故意掺杂层(4)的第一选择性n型掺杂接触区域(5a)与被布置在所述第一选择性p型掺杂管状区域(6)的外部的所述非故意掺杂层(4)的第二选择性n型掺杂接触区域(5b)之间提供第一电气屏障;以及

包含磷化砷铟镓的非故意掺杂波导层(9),所述非故意掺杂波导层(9)被布置在所述n型掺杂接触层(3)或所述非故意掺杂层(4)的顶部之上;

第一光电器件(10),被布置在被所述第一选择性p型掺杂管状区域(6)包围的所述n型掺杂接触层(3)的所述第一区域(7)中,或者被布置在被所述第一选择性p型掺杂管状区域(6)包围的所述非故意掺杂层(4)的所述第一选择性n型掺杂接触区域(5a)中,所述第一光电器件(10)包括第一n型欧姆金属接触(11),所述第一n型欧姆金属接触(11)被布置在所述n型掺杂接触层(3)上所述第一区域(7)内的第一位置,或者被布置在所述第一选择性n型掺杂接触区域(5a)上的第一位置;

第二光电器件(12),被布置在位于所述第一选择性p型掺杂管状区域(6)的外部的所述n型掺杂接触层(3)的所述第二区域(8)中,或者被布置在位于所述第一选择性p型掺杂管状区域(6)的外部的所述非故意掺杂层(4)的所述第二选择性n型掺杂接触区域(5b)中,所述第二光电器件(12)包括第二n型欧姆金属接触(13),所述第二n型欧姆金属接触(13)被布置在所述n型掺杂接触层(3)上所述第二区域(8)内的第二位置,或者被布置在所述第二选择性n型掺杂接触区域(5b)上的第二位置;以及

无源光波导(14),包括所述非故意掺杂波导层(9),所述无源光波导(14)被布置成将所述第一光电器件(10)与所述第二光电器件(12)光学互连,其中,所述第一选择性p型掺杂管状区域(6)的第一部分(15)被布置在所述第一光电器件(10)与所述第二光电器件(12)之间的所述无源光波导(14)的下方。

2. 根据权利要求1所述的光子集成电路(1),其中,被布置在所述无源光波导(14)的所述非故意掺杂波导层(9)的下方的所述第一选择性p型掺杂管状区域(6)的至少所述第一部分(15)在其径向上的厚度在 $1\mu\text{m}$ - $100\mu\text{m}$ 之间。

3. 根据权利要求1所述的光子集成电路(1),其中,被布置在所述无源光波导(14)的所述非故意掺杂波导层(9)的下方的所述第一选择性p型掺杂管状区域(6)的至少所述第一部分(15)在其径向上的厚度在 $2\mu\text{m}$ - $10\mu\text{m}$ 之间。

4. 根据权利要求1-3中任一所述的光子集成电路(1),其中,所述第一选择性p型掺杂管状区域(6)包含作为p型掺杂物的锌。

5. 根据权利要求1所述的光子集成电路(1),其中,所述第一选择性p型掺杂管状区域

(6) 包含的活化p型掺杂浓度在 $1 \times 10^{16} \text{ cm}^{-3}$ - $2 \times 10^{18} \text{ cm}^{-3}$ 之间。

6. 根据权利要求5所述的光子集成电路(1), 其中, 所述第一选择性p型掺杂管状区域(6)包含的活化p型掺杂浓度小于或等于 $1 \times 10^{17} \text{ cm}^{-3}$ 。

7. 根据权利要求1所述的光子集成电路(1), 所述光子集成电路(1)包括衬底(16), 在所述衬底(16)的顶部上布置有所述外延层堆叠(2)的所述n型掺杂接触层(3)或所述非故意掺杂层(4), 所述衬底(16)包含半绝缘磷化铟、p型掺杂磷化铟和n型掺杂磷化铟中的一者, 所述衬底(16)使用铁原子进行补偿, 以至少提供半绝缘表面层, 在所述半绝缘表面层的顶部上布置有所述n型掺杂接触层(3)或所述非故意掺杂层(4), 其中, 所述第一选择性p型掺杂管状区域(6)被布置成至少从所述衬底(16)与所述n型掺杂接触层(3)或所述非故意掺杂层(4)之间的第一边界(17)沿其轴向延伸至所述n型掺杂接触层(3)或所述非故意掺杂层(4)与所述非故意掺杂波导层(9)之间的第二边界(18)。

8. 根据权利要求1所述的光子集成电路(1), 其中, 所述第一选择性p型掺杂管状区域(6)设置有第一p型欧姆金属接触(19)。

9. 根据权利要求8所述的光子集成电路(1), 其中, 在所述第一光电器件(10)的所述第一n型欧姆金属接触(11)和所述第二光电器件(12)的所述第二n型欧姆金属接触(13)中的一者与所述第一p型欧姆金属接触(19)之间布置短路。

10. 根据权利要求1所述的光子集成电路(1), 其中, 位于所述至少两个选择性n型掺杂接触区域(5a, 5b)之外的所述n型掺杂接触层(3)或所述非故意掺杂层(4)包括第二选择性p型掺杂管状区域(20), 所述第二选择性p型掺杂管状区域(20)被布置在与所述第一选择性p型掺杂管状区域(6)相距预设距离的位置, 并且被配置成包围所述第一选择性p型掺杂管状区域(6), 以在被所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)两者包围的所述n型掺杂接触层(3)的所述第一区域(7)与被布置在所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)两者的外部的所述n型掺杂接触层(3)的所述第二区域(8)之间提供第二电气屏障, 或者在被所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)两者包围的所述非故意掺杂层(4)的所述第一选择性n型掺杂接触区域(5a)与被布置在所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)两者的外部的所述非故意掺杂层(4)的所述第二选择性n型掺杂接触区域(5b)之间提供第二电气屏障;

其中, 所述第二选择性p型掺杂管状区域(20)的第二部分(21)被布置在所述第一光电器件(10)与所述第二光电器件(12)之间的所述无源光波导(14)的下方, 其中, 所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)中的至少一者包含作为p型掺杂物的锌, 以及其中, 所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)中的每一者包含的活化p型掺杂浓度在 $1 \times 10^{16} \text{ cm}^{-3}$ - $2 \times 10^{18} \text{ cm}^{-3}$ 之间。

11. 根据权利要求10所述的光子集成电路(1), 其中所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)中的每一者包含的活化p型掺杂浓度小于或等于 $1 \times 10^{17} \text{ cm}^{-3}$ 。

12. 根据权利要求10或11所述的光子集成电路(1), 其中, 所述第一选择性p型掺杂管状区域(6)的至少所述第一部分(15)和所述第二选择性p型掺杂管状区域(20)的至少第二部分(21)被布置在所述无源光波导(14)的所述非故意掺杂波导层(9)的下方, 所述第一

部分(15)和所述第二部分(21)中的每一者在其径向上的厚度在 $1\mu\text{m}$ - $100\mu\text{m}$ 之间。

13. 根据权利要求12所述的光子集成电路(1),所述第一部分(15)和所述第二部分(21)中的每一者在其径向上的厚度在 $2\mu\text{m}$ - $10\mu\text{m}$ 之间。

14. 根据权利要求10-13中任一所述的光子集成电路(1),所述光子集成电路(1)包括衬底(16),在所述衬底(16)的顶部上布置有所述外延层堆叠(2)的所述n型掺杂接触层(3)或所述非故意掺杂层(4),所述衬底(16)包含半绝缘磷化铟、p型掺杂磷化铟和n型掺杂磷化铟中的一者,所述衬底(16)使用铁原子进行补偿,以至少提供半绝缘表面层,在所述半绝缘表面层的顶部上布置有所述n型掺杂接触层(3)或所述非故意掺杂层(4),其中,所述第一选择性p型掺杂管状区域(6)和所述第二选择性p型掺杂管状区域(20)中的至少一者被布置成至少从所述衬底(16)与所述n型掺杂接触层(3)或所述非故意掺杂层(4)之间的第一边界(17)沿其轴向延伸至所述n型掺杂接触层(3)或所述非故意掺杂层(4)与所述非故意掺杂波导层(9)之间的第二边界(18)。

15. 根据权利要求10或11所述的光子集成电路(1),其中,所述第一选择性p型掺杂管状区域(6)设置有第一p型欧姆金属接触(19),和/或,所述第二选择性p型掺杂管状区域(20)设置有第二p型欧姆金属接触(22)。

16. 根据权利要求15所述的光子集成电路(1),其中,被布置在所述第一选择性p型掺杂管状区域(6)与所述第二选择性p型掺杂管状区域(20)之间的所述n型掺杂接触层(3)的第三区域(23),或者,被布置在所述第一选择性p型掺杂管状区域(6)与所述第二选择性p型掺杂管状区域(20)之间的所述非故意掺杂层(4)的第三选择性n型掺杂接触区域设置有第三n型欧姆金属接触(25),其中,在所述第一光电器件(10)的所述第一n型欧姆金属接触(11)、所述第二光电器件(12)的所述第二n型欧姆金属接触(13)、以及所述第三n型欧姆金属接触(25)中的一者与所述第一p型欧姆金属接触(19)之间布置短路;和/或,在所述第一光电器件(10)的所述第一n型欧姆金属接触(11)、所述第二光电器件(12)的所述第二n型欧姆金属接触(13)、以及所述第三n型欧姆金属接触(25)中的一者与所述第二p型欧姆金属接触(22)之间布置短路。

17. 根据权利要求1所述的光子集成电路(1),其中,所述外延层堆叠(2)还包括:

包含磷化铟的p型掺杂包覆层(26),所述p型掺杂包覆层(26)被布置在所述非故意掺杂波导层(9)的顶部之上;以及

包含砷化铟镓的p型掺杂接触层(27),所述p型掺杂接触层(27)被布置在所述p型掺杂包覆层(26)的顶部之上,与所述p型掺杂包覆层(26)相比,所述p型掺杂接触层(27)具有更高的活化p型掺杂浓度;以及

其中,所述p型掺杂接触层(27)设置有凹槽(28),该凹槽(28)被配置和布置以使所述p型掺杂接触层(27)被中断,并且所述p型掺杂接触层(27)设置有第一p型掺杂接触区域(29)和第二p型掺杂接触区域(30),在平行于所述p型掺杂接触层(27)与所述p型掺杂包覆层(26)之间的第三边界(31)的方向上看,所述凹槽(28)的宽度在 $5\mu\text{m}$ 至 $200\mu\text{m}$ 的范围内。

18. 根据权利要求17所述的光子集成电路(1),其中,在平行于所述p型掺杂接触层(27)与所述p型掺杂包覆层(26)之间的第三边界(31)的方向上看,所述凹槽(28)的宽度为 $30\mu\text{m}$ 。

19. 根据权利要求17或18所述的光子集成电路,其中,所述凹槽(28)被配置和布置成延伸到所述p型掺杂包覆层(26)中,直到与所述p型掺杂包覆层(26)与所述非故意掺杂波导层

(9)之间的第四边界(32)相距预定距离为止,与所述第四边界相距的所述预定距离在 $0.5\mu\text{m}$ 至 $5\mu\text{m}$ 的范围内。

20.根据权利要求19所述的光子集成电路,其中,与所述第四边界相距的所述预定距离在 $1\mu\text{m}$ 至 $2\mu\text{m}$ 的范围内。

21.一种光电系统(33),包括根据权利要求1所述的光子集成电路(1)。

在N型接触之间具有改进的电气隔离的光子集成电路

技术领域

[0001] 本公开涉及一种光子集成电路,该光子集成电路在该光子集成电路的第一光电器件的n型接触与第二光电器件的n型接触之间具有改进的电气隔离。本公开还涉及一种包括所述光子集成电路的光电系统。

背景技术

[0002] 由于集成在单个光子芯片上的光电功能的数量越来越多,现代光子集成电路(PIC)变得越来越复杂。PIC最通用的技术平台使用含有基于磷化铟(InP)的材料的半导体晶圆。基于磷化铟的技术提供了将所有有源元件(例如,发光光电器件和/或吸光光电器件)以及无源元件(例如,导光光电器件和/或光转换光电器件)集成到单个光子芯片上的一个PIC中的可能性。

[0003] 本领域现有的示例性PIC包括例如通过无源光波导光学互连的发光元件、吸光元件和光转换元件。发光元件、吸光元件和光转换元件中的每个都需要针对它们各自的n型掺杂接触区域或p型掺杂接触区域的n型欧姆金属接触和/或p型欧姆金属接触。本领域中这种现有的PIC的缺点在于,由于在不同的发光元件、吸光元件和光转换元件被布置得彼此过近时,这些元件的n型掺杂接触区域之间的电气隔离不足,因此,PIC占用空间(footprint)的减少受到限制。这是由于以下事实造成的:尽管有可能蚀刻掉各个光电器件之间多余的n型掺杂基于InP的半导体材料,以增加它们各自的n型掺杂接触区域之间的电气隔离,但是,无法去除掉位于无源光波导下方的n型掺杂基于InP的半导体材料,其中,该无源光波导被布置成将各个光电器件光学互连。本领域中这种现有的PIC的另一个缺点在于,为了增加各个光电器件的各自的n型掺杂接触区域之间的电气隔离,蚀刻掉了各个光电器件之间的多余的n型掺杂基于InP的半导体材料,但上述蚀刻步骤会在包括PIC的光子芯片的表面增加额外的拓扑结构。该额外的表面拓扑会对例如光子芯片加工期间的后续光刻步骤产生负面影响。

[0004] 基于上述内容,需要提供一种在PIC的不同光电器件的n型掺杂接触区域之间具有改进的电气隔离的PIC,以使得光子芯片的占用空间能够进一步降低,其中,该不同光电器件通过无源光波导进行光学互连,而不会干扰由无源光波导提供的光学光路。

发明内容

[0005] 本公开的目的是提供一种光子集成电路(PIC),其可以预先制止或至少减少与本领域现有的PIC相关联的上述缺点和/或其他缺点中的至少一者。

[0006] 本公开的另一个目的是提供一种包括所述PIC的光电系统。

[0007] 在所附的独立方案和从属方案中阐述了本公开的方面。从属方案中的特征可以适当地与独立方案中的特征组合,而不仅仅如明确阐述的那样。此外,所有特征都可以用其他技术上等效的特征替换。

[0008] 通过一种光子集成电路(PIC)实现上述目的中的至少一个,该光子集成电路(PIC)

包括：

[0009] 半导体晶圆，具有外延层堆叠，所述外延层堆叠包括：

[0010] 包含磷化铟的n型掺杂接触层或包含磷化铟的非故意掺杂层，所述非故意掺杂层包括至少两个选择性n型掺杂接触区域，其中，位于所述至少两个选择性n型掺杂接触区域之外的所述n型掺杂接触层或所述非故意掺杂层包括第一选择性p型掺杂管状区域，该第一选择性p型掺杂管状区域被配置和布置成在被所述第一选择性p型掺杂管状区域包围的所述n型掺杂接触层的第一区域与被布置在所述第一选择性p型掺杂管状区域的外部的所述n型掺杂接触层的第二区域之间提供第一电气屏障，或者在被所述第一选择性p型掺杂管状区域包围的所述非故意掺杂层的第一选择性n型掺杂接触区与被布置在所述第一选择性p型掺杂管状区域的外部的所述非故意掺杂层的第二选择性n型掺杂接触区域之间提供第一电气屏障；以及

[0011] 包含磷化砷铟镓的非故意掺杂波导层，所述非故意掺杂波导层被布置在所述n型掺杂接触层或所述非故意掺杂层的顶部之上；

[0012] 第一光电器件，被布置在被所述第一选择性p型掺杂管状区域包围的所述n型掺杂接触层的所述第一区域中，或者被布置在被所述第一选择性p型掺杂管状区域包围的所述非故意掺杂层的所述第一选择性n型掺杂接触区域中，所述第一光电器件包括第一n型欧姆金属接触，所述第一n型欧姆金属接触被布置在所述n型掺杂接触层上所述第一区域内的第一位置，或者被布置在所述第一选择性n型掺杂接触区域上的第一位置；

[0013] 第二光电器件，被布置在位于所述第一选择性p型掺杂管状区域的外部的所述n型掺杂接触层的所述第二区域中，或者被布置在位于所述第一选择性p型掺杂管状区域的外部的所述非故意掺杂层的所述第二选择性n型掺杂接触区域中，所述第二光电器件包括第二n型欧姆金属接触，所述第二n型欧姆金属接触被布置在所述n型掺杂接触层上所述第二区域内的第二位置，或者被布置在所述第二选择性n型掺杂接触区域上的第二位置；以及

[0014] 无源光波导，包括所述非故意掺杂波导层，所述无源光波导被布置成将所述第一光电器件与所述第二光电器件光学互连，其中，所述第一选择性p型掺杂管状区域的第一部分被布置在所述第一光电器件与所述第二光电器件之间的所述无源光波导的下方。

[0015] 本领域技术人员需理解的是，根据本公开的PIC的包含磷化铟的n型掺杂接触层或包含磷化铟的非故意掺杂层设置有包含第一选择性p型掺杂管状区域的n-p-n屏障，该第一选择性p型掺杂管状区域被配置和布置成防止电荷载体在包括第一光电器件的第一n型欧姆金属接触的n型掺杂接触区域与包括第二光电器件的第二n型欧姆金属接触的n型掺杂接触区域之间、经由n型掺杂基于InP的接触层或非故意掺杂基于InP的层的被布置在无源光波导下方的部分而被泄漏，其中，该无源光波导被布置在所述第一光电器件与所述第二光电器件之间，以将该第一光电器件和该第二光电器件光学互连。这样，根据本公开的PIC在设有n型欧姆金属接触的不同光电器件的n型掺杂接触区域之间具有改进的所谓电气n隔离的有益效果。此外，第一选择性p型掺杂管状区域的第一部分被配置使得在将第一光电器件与第二光电器件光学互连的所述无源光波导中的光损耗最小。

[0016] 基于上述内容，本领域技术人员将认识到，与本领域中现有的PIC的光电器件相比，根据本公开的PIC的光电器件可以被布置得彼此更靠近。因此，与包括本领域现有的PIC的光子芯片相比，包括根据本公开的PIC的光子芯片的占用空间可以减小。此外，通过提供

第一选择性p型掺杂管状区域,在包括PIC的光子芯片的表面不会增加非期望的额外的拓扑结构。

[0017] 在根据本公开的光子集成电路的一种实施例中,被布置在所述无源光波导的非故意掺杂波导层下方的所述第一选择性p型掺杂管状区域的至少所述第一部分在其径向上厚度在 $1\mu\text{m}$ - $100\mu\text{m}$ 之间,优选地,在 $2\mu\text{m}$ - $10\mu\text{m}$ 之间。在本领域中已知的是,由于p型掺杂区域会引起额外的光损耗,因此,p型掺杂区域应远离无源光波导。然而,令人惊奇地发现,通过将第一选择性p型掺杂管状区域的第一部分的所述厚度保持在 $1\mu\text{m}$ - $100\mu\text{m}$ 之间,优选地在 $2\mu\text{m}$ - $10\mu\text{m}$ 之间,可以使额外的光损耗保持为最小。

[0018] 在根据本公开的光子集成电路的一种实施例中,所述第一选择性p型掺杂管状区域包含作为p型掺杂物的锌。锌是基于InP的半导体材料中最常用的p型掺杂物。通常将锌添加到MOCVD工艺中,以生长p型掺杂基于InP的层。在本领域中已知的是,在温度接近于 500°C - 600°C ,或在 500°C - 600°C 的典型生长温度下,锌能够通过基于InP的材料扩散。因此,也可以在基于InP的层的生长完成之后使用锌扩散。在本领域中,锌扩散是光电探测器制造中众所周知的工艺步骤。可以很好地控制扩散深度,并且可以实现高掺杂浓度。

[0019] 在根据本公开的光子集成电路的一种实施例中,所述第一选择性p型掺杂管状区域包含的活化p型掺杂浓度在 $1\times 10^{16}\text{cm}^{-3}$ - $2\times 10^{18}\text{cm}^{-3}$ 之间,优选地,小于或等于 $1\times 10^{17}\text{cm}^{-3}$ 。为了获得最佳的电气隔离性能,将活化p型掺杂浓度保持在 $1\times 10^{16}\text{cm}^{-3}$ - $2\times 10^{18}\text{cm}^{-3}$ 之间,优选地,小于或等于 $1\times 10^{17}\text{cm}^{-3}$ 具有显著效果。然而,在根据本公开的PIC的半导体晶圆具有包括n型掺杂基于InP的接触层的外延层堆叠的情况下,p型掺杂浓度必须补偿初始的n型掺杂浓度,以建立所述第一选择性p型掺杂管状区域。活化n型掺杂浓度可大约为 $5\times 10^{18}\text{cm}^{-3}$,以实现低电阻的n型欧姆接触。因此,在补偿所述高n型掺杂浓度的同时实现可再现的低p型掺杂浓度可能是个问题。

[0020] 可替代地,根据本公开的PIC的半导体晶圆可以具有包括非故意掺杂基于InP的层的外延层堆叠,该非故意掺杂基于InP的层包括通过n型掺杂物的离子注入而获得的至少两个选择性n型掺杂接触区域。在这种情况下,非故意掺杂基于InP的层中的p型掺杂浓度不需要与n型掺杂基于InP的层中的情况一样高,因为p型掺杂物仅需要补偿在所述非故意掺杂基于InP的层的生长期间可能已经引入的任何非故意的n型掺杂物。所述非故意掺杂基于InP的层的典型本底掺杂等级小于 $1\times 10^{17}\text{cm}^{-3}$ 。

[0021] 在根据本公开的光子集成电路的一种实施例中,光子集成电路包括衬底,在所述衬底的顶部之上布置有所述外延层堆叠的所述n型掺杂接触层或所述非故意掺杂层,所述衬底包含半绝缘磷化铟、p型掺杂磷化铟和n型掺杂磷化铟中的一者,所述衬底使用铁原子进行补偿,以至少提供半绝缘表面层,在所述半绝缘表面层的顶部之上布置有所述n型掺杂接触层或所述非故意掺杂层,其中,所述第一选择性p型掺杂管状区域被布置成至少从所述衬底与所述n型掺杂接触层或所述非故意掺杂层之间的第一边界沿其轴向延伸至所述n型掺杂接触层或所述非故意掺杂层与所述非故意掺杂波导层之间的第二边界。取决于所选择的p型掺杂物的穿透深度,第一选择性p型掺杂管状区域可以被配置和布置成在所述第一边界处开始或在所述衬底中超过所述第一边界预设距离的位置处开始,并在所述第二边界处结束。

[0022] 在根据本公开的光子集成电路的一种实施例中,所述第一选择性p型掺杂管状区

域设置有第一p型欧姆金属接触。这样,例如出于偏压目的,电接触第一选择性p型掺杂管状区域是可能的。

[0023] 在根据本公开的光子集成电路的一种实施例中,在所述第一光电器件的所述第一n型欧姆金属接触和所述第二光电器件的所述第二n型欧姆金属接触中的一者与所述第一p型欧姆金属接触之间布置短路。这样,当PIC工作时,可以对上述n隔离进行电气控制。本领域技术人员需理解的是,可以使用后端金属层中的金属层来建立所述第一n型欧姆金属接触和所述第二n型欧姆金属接触中的一者与所述第一p型欧姆金属接触之间的短路。在所述第一n型欧姆金属接触和所述第二n型欧姆金属接触中的一者与所述第一p型欧姆金属接触之间不存在短路的情况下,上述n隔离是浮置的(float)。

[0024] 在根据本公开的光子集成电路的一种实施例中,位于所述至少两个选择性n型掺杂接触区域之外的所述n型掺杂接触层或所述非故意掺杂层包括第二选择性p型掺杂管状区域,所述第二选择性p型掺杂管状区域被布置在与所述第一选择性p型掺杂管状区域相距预设距离的位置,并且被配置成包围所述第一选择性p型掺杂管状区域,以在被所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域两者包围的所述n型掺杂接触层的所述第一区域与被布置在所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域两者的外部的所述n型掺杂接触层的所述第二区域之间提供第二电气屏障,或者在被所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域两者包围的所述非故意掺杂层的所述第一选择性n型掺杂接触区域与被布置在所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域两者的外部的所述非故意掺杂层的所述第二选择性n型掺杂接触区域之间提供第二电气屏障;

[0025] 其中,所述第二选择性p型掺杂管状区域的第二部分被布置在所述第一光电器件与所述第二光电器件之间的所述无源光波导的下方,其中,所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域中的至少一者包含作为p型掺杂物的锌,以及其中,所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域中的每一者包含的活化p型掺杂浓度在 $1 \times 10^{16} \text{cm}^{-3}$ - $2 \times 10^{18} \text{cm}^{-3}$ 之间,优选地,小于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 。

[0026] 通过提供所述第二选择性p型掺杂管状区域,可以实现附加的电气屏障,并因此,可以在第一光电器件的n型掺杂接触区域与第二光电器件的n型掺杂接触区域之间实现进一步改进的n隔离,其中,该第一光电器件和该第二光电器件均设置有n型欧姆金属接触。

[0027] 在根据本公开的光子集成电路的一种实施例中,所述第一选择性p型掺杂管状区域的至少所述第一部分和所述第二选择性p型掺杂管状区域的至少第二部分被布置在所述无源光波导的非故意掺杂波导层的下方,所述第一部分和第二部分中的每一者在其径向上的厚度在 $1 \mu\text{m}$ - $100 \mu\text{m}$ 之间,优选地,在 $2 \mu\text{m}$ - $10 \mu\text{m}$ 之间。令人惊奇地发现,通过将第一选择性p型掺杂管状区域的至少所述第一部分和第二选择性p型掺杂管状区域的至少第二部分的所述厚度保持在 $1 \mu\text{m}$ - $100 \mu\text{m}$ 之间,优选地,在 $2 \mu\text{m}$ - $10 \mu\text{m}$ 之间,所述无源光波导中的额外的光损耗可以保持最小。

[0028] 在根据本公开的光子集成电路的一种实施例中,光子集成电路包括衬底,在所述衬底的顶部之上布置有所述外延层堆叠的所述n型掺杂接触层或所述非故意掺杂层,所述衬底包含半绝缘磷化铟、p型掺杂磷化铟和n型掺杂磷化铟中的一者,所述衬底使用铁原子进行补偿,以至少提供半绝缘表面层,在所述半绝缘表面层的顶部之上布置有所述n型掺杂

接触层或所述非故意掺杂层,其中,所述第一选择性p型掺杂管状区域和所述第二选择性p型掺杂管状区域中的至少一者被布置成至少从所述衬底与所述n型掺杂接触层或所述非故意掺杂层之间的第一边界沿其轴向延伸至所述n型掺杂接触层或所述非故意掺杂层与所述非故意掺杂波导层之间的第二边界。取决于所选择的p型掺杂物的穿透深度,第一选择性p型掺杂管状区域和第二选择性p型掺杂管状区域中的至少一者可以被配置和布置成在所述第一边界处开始或在所述衬底中超过所述第一边界预设距离的位置处开始,并在所述第二边界处结束。

[0029] 在根据本公开的光子集成电路的一种实施例中,所述第一选择性p型掺杂管状区域设置有第一p型欧姆金属接触,和/或,所述第二选择性p型掺杂管状区域设置有第二p型欧姆金属接触。这样,例如出于偏压目的,电接触第一选择性p型掺杂管状区域和第二选择性p型掺杂管状区域中的至少一者是可能的。

[0030] 在根据本公开的光子集成电路的一种实施例中,被布置在所述第一选择性p型掺杂管状区域与所述第二选择性p型掺杂管状区域之间的所述n型掺杂接触层的第三区域,或,被布置在所述第一选择性p型掺杂管状区域与所述第二选择性p型掺杂管状区域之间的所述非故意掺杂层的第三选择性n型掺杂接触区域设置有第三n型欧姆金属接触,其中,在所述第一光电器件的所述第一n型欧姆金属接触、所述第二光电器件的所述第二n型欧姆金属接触、以及所述第三n型欧姆金属接触中的一者与所述第一p型欧姆金属接触之间布置短路;和/或,在所述第一光电器件的所述第一n型欧姆金属接触、所述第二光电器件的所述第二n型欧姆金属接触、以及所述第三n型欧姆金属接触中的一者与所述第二p型欧姆金属接触之间布置短路。

[0031] 这样,当PIC工作时,可以对由所述第一选择性p型掺杂管状区域提供的n隔离和/或由所述第二选择性p型掺杂管状区域提供的n隔离进行电气控制。本领域技术人员需理解的是,可以使用后端金属层中的至少一个金属层来建立相应的短路。在所述第一n型欧姆金属接触、所述第二n型欧姆金属接触和所述第三n型欧姆金属接触中的一者与所述第一p型欧姆金属接触之间不存在短路的情况下,由所述第一选择性p型掺杂管状区域提供的n隔离是浮置的。类似地,如果在所述第一n型欧姆金属接触、所述第二n型欧姆金属接触和所述第三n型欧姆金属接触中的一者与所述第二p型欧姆金属接触之间不存在短路,由所述第二选择性p型掺杂管状区域提供的n隔离是浮置的。因此,每个n隔离都可以被电气控制,或是浮置的。

[0032] 在根据本公开的光子集成电路的一种实施例中,所述外延层堆叠还包括:

[0033] 包含磷化铟的p型掺杂包覆层,所述p型掺杂包覆层被布置在所述非故意掺杂波导层的顶部之上;以及

[0034] 包含砷化铟镓的p型掺杂接触层,所述p型掺杂接触层被布置在所述p型掺杂包覆层的顶部之上,与所述p型掺杂包覆层相比,所述p型掺杂接触层具有更高的活化p型掺杂浓度;以及

[0035] 其中,所述p型掺杂接触层设置有凹槽,该凹槽被配置和布置以使所述p型掺杂接触层被中断,并且所述p型掺杂接触层设置有第一p型掺杂接触区域和第二p型掺杂接触区域,在平行于所述p型掺杂接触层与所述p型掺杂包覆层之间的第三边界的方向上看,所述凹槽的宽度在 $5\mu\text{m}$ 至 $200\mu\text{m}$ 的范围内,优选地,为 $30\mu\text{m}$ 。可以通过蚀刻掉宽度在上述范围内的

所述p型掺杂接触层的预定部分来提供该凹槽。在该预定部分内的p型掺杂接触层被蚀刻掉一定深度,如在横贯于该预定部分的宽度的方向上看到的,该方向对应于所述p型掺杂接触层的整个厚度。这样,根据本公开的PIC被提供有所谓的电气p隔离,即,在p型掺杂接触区域之间的电气隔离,和/或,在PIC的设置有所谓的欧姆金属接触的不同光电器件之间的电气隔离。

[0036] 在根据本公开的光子集成电路的一种实施例中,凹槽被配置和布置成延伸到p型掺杂包覆层中,直到与所述p型掺杂包覆层与非故意掺杂波导层之间的第四边界相距预定距离为止,与所述第四边界相距的所述预定距离在 $0.5\mu\text{m}$ 至 $5\mu\text{m}$ 的范围内,优选地,在 $1\mu\text{m}$ 至 $2\mu\text{m}$ 的范围内。在这种情况下,通过蚀刻掉宽度在 $5\mu\text{m}$ 至 $200\mu\text{m}$ 的范围内,优选为 $30\mu\text{m}$ 的预定部分来提供凹槽,如在横贯于该预定部分的宽度的方向上所观察到的,该预定部分包括完整的p型掺杂接触层和一部分p型掺杂包覆层,直到距所述第四边界所述预定距离。这样,根据本公开的PIC可以被提供改进的电气p隔离。

[0037] 根据本公开的另一方面,提供了一种光电系统,该光电系统包括根据本公开的光子集成电路。根据本公开的PIC的示例为平衡光电探测器、激光MZI调制器。这些PIC可以被有利地在诸如可调谐光学收发器或光学相干收发器的光电系统中实施。

附图说明

[0038] 通过本公开中对光子集成电路(PIC)和包括该PIC的光电系统的示例性且非限制性实施例的描述,本公开的其他特征和优点将变得更加明显。

[0039] 本领域技术人员需理解的是,所描述的PIC和光电系统的实施例本质上仅是示例性的,不应被解释为以任何方式限制保护范围。本领域技术人员将认识到,在不脱离本公开的保护范围的情况下,PIC和光电系统的替代方案和等效实施例可以被构思出,并被简化实践。

[0040] 将参考附图页上的图。这些图本质上是示意性的,因此不一定按比例绘制。此外,相同的附图标记表示相同或相似的部分。在附图中:

[0041] 图1示出了用于本领域现有的基于磷化铟(InP)的光子集成电路(PIC)的典型的波导结构的示意性横截面。

[0042] 图2示出了本领域现有的PIC的示意性顶视图,其中,分布式布拉格反射器(DBR)激光器、马赫曾德尔调制器(MZM)和输出监视光电二极管(PD)通过无源光波导被有效地彼此连接。DBR激光器、MZM和输出监视PD包括波导结构,该波导结构的横截面如图1所示。

[0043] 图3示出了根据本公开的PIC的第一示例性、非限制性实施例的示意性透视图。

[0044] 图4示出了根据本公开的PIC的第二示例性、非限制性实施例的示意性顶视图,其中,DBR激光器、MZM和输出监视PD通过无源光波导被有效地彼此连接。

[0045] 图5A示出了根据本公开的PIC的一部分的外延层堆叠的第一示例性、非限制性实施例的示意性横截面视图。

[0046] 图5B示出了根据本公开的PIC的一部分的外延层堆叠的第二示例性、非限制性实施例的示意性横截面视图。

[0047] 图6示出了根据本公开的PIC的第三示例性、非限制性实施例的示意性透视图。

[0048] 图7示出了根据本公开的PIC的一部分的外延层堆叠的第三示例性、非限制性实施

例的示意性横截面视图。

[0049] 图8A至图8D示出了使用根据本公开的方法的第一示例性、非限制性实施例制造的半导体晶圆的第二示例性、非限制性实施例的示意性横截面视图。

[0050] 图9A至图9E示出了使用根据本公开的方法的第二示例性、非限制性实施例制造的半导体晶圆的第二示例性、非限制性实施例的示意性横截面视图。以及，

[0051] 图10示出了包括根据本公开的PIC的光电系统的示意图。

[0052] 附图标记说明

- [0053] 1 光子集成电路 (PIC)
- [0054] 2 外延层堆叠
- [0055] 3 n型掺杂接触层
- [0056] 4 非故意掺杂层
- [0057] 5a 非故意掺杂层的第一选择性n型掺杂接触区域
- [0058] 5b 非故意掺杂层的第二选择性n型掺杂接触区域
- [0059] 6 第一选择性p型掺杂管状区域
- [0060] 7 n型掺杂接触层的第一区域
- [0061] 8 n型掺杂接触层的第二区域
- [0062] 9 非故意掺杂波导层
- [0063] 10 第一光电器件
- [0064] 11 第一n型欧姆金属接触
- [0065] 12 第二光电器件
- [0066] 13 第二n型欧姆金属接触
- [0067] 14 无源光波导
- [0068] 15 第一选择性p型掺杂管状区域的第一部分
- [0069] 16 衬底
- [0070] 17 衬底与n型掺杂接触层或非故意掺杂层之间的第一边界
- [0071] 18 n型掺杂接触层或非故意掺杂层与非故意掺杂波导层之间的第二边界
- [0072] 19 第一p型欧姆金属接触
- [0073] 20 第二选择性p型掺杂管状区域
- [0074] 21 第二选择性p型掺杂管状区域的第二部分
- [0075] 22 第二p型欧姆金属接触
- [0076] 23 n型掺杂接触层的第三区域
- [0077] 25 第三n型欧姆金属接触
- [0078] 26 p型掺杂包覆层
- [0079] 27 p型掺杂接触层
- [0080] 28 p型掺杂接触层中的凹槽
- [0081] 29 第一p型掺杂接触区域
- [0082] 30 第二p型掺杂接触区域
- [0083] 31 p型掺杂接触层与p型掺杂包覆层之间的第三边界
- [0084] 32 p型掺杂包覆层与非故意掺杂波导层之间的第四边界

[0085]	33	光电系统
[0086]	34	掩模层
[0087]	35	掩膜层中的管状凹槽的第一部分
[0088]	36	n型掺杂接触层的暴露的表面区域
[0089]	37	掩膜层的剩余部分
[0090]	38	第一掩模层
[0091]	41	非故意掺杂层的暴露的第一表面区域
[0092]	42	非故意掺杂层的暴露的第二表面区域
[0093]	44	第二掩模层
[0094]	45	第二掩模层中的管状凹槽的第一部分
[0095]	46	非故意掺杂层的暴露的表面区域
[0096]	47	第二掩膜层的剩余部分
[0097]	48	波导结构
[0098]	49	PIN二极管
[0099]	50	p型欧姆金属接触
[0100]	51	n型欧姆金属接触
[0101]	52	分布式布拉格反射器(DBR)激光器
[0102]	53	马赫曾德尔调制器(MZM)
[0103]	54	输出监视光电二极管(PD)
[0104]	55	p型掺杂包覆层的相对高电阻部分
[0105]	56	半导体晶圆

具体实施方式

[0106] 图1示出了本领域现有的用于基于磷化铟(InP)的光子集成电路(PIC)的典型的波导结构48的示意性横截面。该典型的波导结构48包括外延层堆叠2,该外延层堆叠2包括固有或非故意掺杂磷化砷镓(InGaAsP)波导层9,该波导层9夹在p型掺杂InP包覆层26与n型掺杂InP接触层3之间。该波导结构48基本上形成PIN二极管49,在波导结构48的顶部与底部之间示意性地示出了该PIN二极管49。波导结构48被配置成当PIN二极管49以正向偏压工作时,由于固有或非故意掺杂InGaAsP层9中的电子和空穴的重组而实现发光。在PIN二极管49以反向偏压工作的情况下,波导结构48以所谓的光电二极管模式工作,在该模式中,由于撞击到PIN二极管49的光的吸收而产生的电子和空穴需要被提取。波导结构48也可用于例如电光调制器,其中,固有或非故意掺杂InGaAsP波导层的折射率根据越过反向偏压的PIN二极管49的电场变化。

[0107] 上述不同的半导体层可以各自在包含半绝缘磷化铟、p型掺杂磷化铟和n型掺杂磷化铟中的一种的衬底16上外延生长,该衬底16使用铁原子进行补偿以至少提供半绝缘表面层。在上述衬底的任一者的顶部上,可以使用金属有机化学物化学气相沉积(MOCVD)、金属有机气相外延(MOVPE)和分子束外延(MBE)中的一种生长所述n型掺杂接触层3。

[0108] 在连续生长n型掺杂InP接触层3、固有或非故意掺杂InGaAsP波导层9、p型掺杂InP包覆层26和p型掺杂砷化镓(InGaAs)接触层27之后,使用光刻和蚀刻工艺来制造波导结

构48,其中,相比于衬底16上的p型掺杂InP包覆层26,p型掺杂InGaAs接触层27具有更高的活化p型掺杂浓度。p型掺杂InGaAs接触层27设置有p型欧姆金属接触50,n型掺杂InP接触层3设置有n型欧姆金属接触51,该p型欧姆金属接触50和该n型欧姆金属接触51使用金属沉积工艺形成。

[0109] 如图1所示,已经使用随后的蚀刻工艺去掉了波导结构48外部的n型掺杂InP接触层3,从而暴露衬底16的表面。因此,n型欧姆金属接触11已经与布置在同一衬底16上的其他构件(未示出)的n型欧姆金属接触电气隔离。

[0110] 图2示出了本领域现有的PIC的示意性顶视图,该PIC包括作为第一光电器件的非限制性示例的分布式布拉格反射器(DBR)激光器52、作为第二光电器件的非限制性示例的马赫曾德尔调制器(MZM)53、以及作为第三光电器件的非限制性示例的输出监视光电二极管(PD)54。DBR激光器52、MZM53和输出监视PD54经由无源光波导14光学互连。DBR激光器52、MZM53和输出监视PD54包括波导结构48,该波导结构48的横截面如图1所示。本领域技术人员需理解的是,DBR激光器52、MZM53和输出监视PD54的n型欧姆金属接触51的完全电气隔离无法通过将元件之间的n型掺杂InP接触层3蚀刻掉的方式来实现,因为n型掺杂InP接触层3的位于无源光波导14的固有或非故意掺杂InGaAsP波导层9下方的部分不能被去掉。为了在DBR激光器52、MZM53和输出监视PD54的n型欧姆金属接触之间建立足够的电气隔离,在这些光电器件之间分别需要足够的距离。因此,很难减小图2所示的现有的PIC的占用空间。

[0111] 另外,用于去掉DBR激光器52、MZM53和输出监视PD54之间的n型掺杂InP接触层3的附加的蚀刻步骤会导致附加的非期望的表面拓扑。附加的表面拓扑会对例如PIC的加工期间的后续光刻步骤产生负面影响。

[0112] 此外,应当注意的是,当操作如图2所示的PIC时,DBR激光器52的p型欧姆金属接触50和n型欧姆金属接触51以正向偏压工作,即,p型欧姆金属接触和n型欧姆金属接触上的典型压降约为0.7V-2.0V。操作DBR激光器52、MZM53和输出监视PD54的最简单的方式是将n型欧姆金属接触连接到0V,并在p型欧姆金属接触处产生可变偏压,尽管在某些情况下,将p型欧姆金属接触连接到固定电源电压(例如3.3V)并调节n型欧姆金属接触的偏压也是有益的。

[0113] 通常,通过在MZM53的两个臂的p型欧姆金属接触50之间施加差分射频(RF)电压的方式来操作MZM53。该差分偏压总是需要低于n型欧姆金属接触的偏压,否则波导结构48的PIN二极管49不能以反向偏压工作。实际上,对于高速操作,MZM53的每个臂上的DC偏压应在-5V至-10V的范围内。这可以通过向RF电压驱动器施加负DC偏压,或在n型欧姆金属接触上施加正向偏压来实现。从电气角度来看,后者是优选的,因为它不仅消除了偏压T的要求,而且由于不需要DC阻断电容,因此使高速接触的RF端子更加简单。

[0114] 基于上述内容,本领域技术人员应当理解的是,至少将图2所示的PIC的DBR激光器52和MZM53各自的n型欧姆金属接触51电气隔离是有益的。因此,需要提供一种在由无源光波导光学互连的不同光电器件的n型欧姆金属接触之间具有改进的且理想的完全电气隔离的PIC。在本专利申请的上下文中,PIC的不同光电器件的n型欧姆金属接触之间的电气隔离被称为n隔离。本领域技术人员需理解的是,根据本公开的改进的n隔离会产生以下影响:例如,就衰减而言,将不同光电器件互连的无源光波导中的光信号尽可能少,并且优选地,根

本没有。因此,根据本公开的改进的n隔离能够使得PIC的占用空间进一步减小。

[0115] 图3示出了根据本公开的PIC1的第一示例性、非限制性实施例的示意性透视图,该PIC1包括具有外延层堆叠2的半导体晶圆,该外延层堆叠2包括包含磷化铟(InP)的n型掺杂接触层3。该n型掺杂接触层3设置有第一选择性p型掺杂管状电流阻挡区域6。当以三维观察时,第一选择性p型掺杂区域6具有管状形状的事实将被本领域技术人员参考图5A和5B理解。

[0116] 第一选择性p型掺杂管状区域6被配置和布置成在被第一选择性p型掺杂管状区域6包围的n型掺杂接触层3的第一区域7与被布置在第一选择性p型掺杂管状区域6的外部的n型掺杂接触层3的第二区域8之间提供第一电气屏障。外延层堆叠2还包括包含磷化砷镓(InGaAsP)的非故意掺杂波导层9,该波导层9被布置在所述n型掺杂接触层3的顶部之上。PIC1包括第一光电器件10,该第一光电器件10被布置在被所述第一选择性p型掺杂管状区域6包围的所述n型掺杂接触层3的所述第一区域7中。第一光电器件10包括第一n型欧姆金属接触11,该第一n型欧姆金属接触11被布置在所述第一区域7内的所述n型掺杂接触层3上的第一位置。PIC1还包括第二光电器件12,该第二光电器件12被布置在位于所述第一选择性p型掺杂管状区域6的外部的所述n型掺杂接触层3的所述第二区域8中。第二光电器件12包括第二n型欧姆金属接触13,该第二n型欧姆金属接触13被布置在所述第二区域8内的所述n型掺杂接触层3上的第二位置。PIC1还包括无源光波导14,该无源光波导14包括所述非故意掺杂波导层9。无源光波导14被布置成将第一光电器件10与第二光电器件12光学互连。如图3所示,第一选择性p型掺杂管状区域6的第一部分15被布置在第一光电器件10与第二光电器件12之间的无源光波导14的下方。

[0117] 本领域技术人员需理解的是,与图2所示的现有的PIC中实现的n隔离相比,图3中示出的PIC1具有改进的n隔离。特别地,被布置在无源光波导14的下方的第一选择性p型掺杂管状区域6的第一部分15防止电荷载体在第一光电器件10的第一n型欧姆金属接触11与第二光电器件12的第二n型欧姆金属接触13之间、经由n型掺杂接触层3的被布置在第一光电器件10与第二光电器件12之间的无源光波导14下方的部分被泄漏。

[0118] 此外,根据本公开的具有上述改进的n隔离的PIC 1不会受到任何非期望的附加的表面拓扑的影响,该表面拓扑是由于使用常规蚀刻技术的不太理想的n隔离而导致的。

[0119] 图4示出了根据本公开的PIC 1的第二示例性、非限制性实施例的示意性顶视图,其中,作为第一光电器件10的非限制性示例的DBR激光器52、作为第二光电器件12的非限制性示例的MZM53、以及输出监视PD54经由无源光波导14被彼此有效地连接。代替刻蚀掉DBR激光器52、MZM53与输出监视PD 54之间的n型掺杂InP接触层3以建立尽可能好的n隔离,本公开提出向n型掺杂InP接触层3提供选择性p型掺杂区域6,当以三维观察时,该选择性p型掺杂区域6具有管状形状。选择性p型掺杂管状区域6围绕DBR激光器52、MZM53和输出监视PD 54布置,以通过防止电荷载体在DBR激光器52、MZM53和输出监视PD54的n型欧姆金属接触之间、分别经由n型掺杂InP接触层3的被布置在无源光波导14下方的部分被泄漏的方式,使DBR激光器52、MZM53和输出监视PD 54的各自的n型欧姆金属接触之间电气隔离。这样,与图2所示的现有的PIC中实现的n隔离相比,图4中示出的PIC1具有显著改进的n隔离。应当注意的是,各个选择性p型掺杂管状区域6的位于无源光波导14下方的部分被配置以使无源光波导14中的光损耗最小。此外,图4所示的根据本公开的PIC1不受任何非期望的附加的表面拓

扑的影响,该表面拓扑是由于使用常规蚀刻技术的不太理想的n隔离而导致的。

[0120] 尽管从图2和图4的比较中不能明显看出,但是本领域技术人员应当理解的是,由于引入选择性p型掺杂管状区域6而带来的改进的n隔离,图4中所示的PIC1的DBR激光器52、MZM53和输出监视PD54可以被布置得彼此更近。因此,与图2所示的现有技术的PIC的占用空间相比,图4所示的根据本公开的PIC1的占用空间可以被减小。

[0121] 将结合图5A、图5B、图6和图7描述根据本公开的PIC1的外延层堆叠2的进一步细节,尤其是关于选择性p型掺杂区域6的进一步细节。图5A示出了根据本公开的PIC 1的一部分的外延层堆叠2的第一示例性、非限制性实施例的示意性横截面视图。图5A示出的外延层堆叠2生长在衬底16上,该衬底16包含半绝缘磷化铟(s.i.-InP)、p型掺杂磷化铟(p-InP)和n型掺杂磷化铟(n-InP)中的一者,该衬底16使用铁(Fe)原子进行补偿以至少提供半绝缘表面层,在该半绝缘表面层的顶部上,使用上文提到的传统外延技术MOCVD、MOVPE或MBE中的一种生长n型掺杂接触层3。n型掺杂接触层3设置有如图3所示的所述第一选择性p型掺杂管状区域6。应当注意,图5A仅示出了第一选择性p型掺杂管状区域6的一分支的第一部分15的横截面,考虑到图3,该第一部分15被布置在如图3所示的PIC 1的第一光电器件10与第二光电器件12之间、无源光波导14的非故意掺杂波导层9的下方。

[0122] 图5A示出了第一选择性p型掺杂管状区域6的所述分支的第一部分15从n型掺杂接触层3与非故意掺杂波导层9之间的第二边界18延伸穿过n型掺杂接触层3进入衬底16,直到超过衬底16与n型掺杂接触层3之间的第一边界17预定距离的位置为止。本领域技术人员应当理解的是,取决于所选择的p型掺杂物的穿透深度,可替代地,选择性p型掺杂管状区域6的所述分支的第一部分15可以被配置和布置成在所述第一边界17处开始,并在所述第二边界18处结束。

[0123] 在本领域已知的是,p型掺杂区域应远离无源光波导,因为它们会引起额外的光损耗。然而,令人惊奇地发现,通过将第一选择性p型掺杂管状区域6的所述分支的第一部分15的厚度t保持在 $1\mu\text{m}$ - $100\mu\text{m}$ 之间,优选地,保持在 $2\mu\text{m}$ - $10\mu\text{m}$ 之间,可以使额外的光损耗保持最小。

[0124] 第一选择性p型掺杂管状区域6包含作为p型掺杂物的锌(Zn)。在n型掺杂InP接触层3已经生长之后,并在生长非故意掺杂波导层9之前,在 500°C - 600°C 范围内的温度下,使用扩散工艺将锌原子布置在n型掺杂接触层3的预定区域中。

[0125] 为了获得最佳的电气隔离性能,根据本公开的PIC的第一选择性p型掺杂管状区域6包含的活化p型掺杂浓度在 $1\times 10^{16}\text{cm}^{-3}$ - $2\times 10^{18}\text{cm}^{-3}$ 之间,优选地,小于或等于 $1\times 10^{17}\text{cm}^{-3}$ 。在n型掺杂InP接触层3的情况下,p型掺杂浓度必须补偿初始的n型掺杂浓度,以建立所述第一选择性p型掺杂管状区域6。n型掺杂InP接触层3的活化n型掺杂浓度可以大约为 $5\times 10^{18}\text{cm}^{-3}$,以实现低电阻的n型欧姆金属接触。由此,在补偿所述高n型掺杂浓度的同时实现可再现的低p型掺杂浓度可能是个问题。将结合图5B更详细地讨论对该问题的解决方案。

[0126] 图5A所示的PIC1的外延层堆叠2还包括被布置在所述非故意掺杂波导层9的顶部之上的、包含磷化铟的p型掺杂包覆层26,以及被布置在所述p型掺杂包覆层26的顶部之上的、包含砷化铟镓的p型掺杂接触层27。p型掺杂接触层27具有比所述p型掺杂包覆层26更高的活化p型掺杂浓度,以允许低电阻的p型欧姆金属接触的形成。

[0127] 图5A示出了p型掺杂接触层27设置有凹槽28,该凹槽28将p型掺杂接触层27中断,

并且延伸至p型掺杂包覆层26中,略微超过p型掺杂接触层27与p型掺杂包覆层26之间的第三边界31。这样,凹槽28为p型掺杂接触层27提供第一p型掺杂接触区域29和第二p型掺杂接触区域30。从平行于第三边界31的方向看,凹槽28的宽度在5 μm 至200 μm 的范围内,优选为30 μm 。可以通过蚀刻掉p型掺杂接触层27和下面的p型掺杂包覆层26的预定部分来形成凹槽28,该预定部分的宽度在上述范围内。这样,根据本公开的PIC 1被提供有所谓的电气p隔离,即,在第一p型掺杂接触区域29与第二p型掺杂接触区域30之间的电气隔离,该第一p型掺杂接触区域29和该第二p型掺杂接触区域30可以是PIC1的不同光电器件的一部分。第一p型掺杂接触区域29和第二p型掺杂接触区域30可以设置有各自的p型欧姆金属接触。

[0128] 从图5A中可以看出,n型掺杂接触层3被划分为第一区域7和第二区域8,该第一区域7和该第二区域8由第一选择性p型掺杂管状区域6的所述分支的第一部分15电气隔离。p型掺杂接触层27被划分为所述第一p型掺杂接触区域29和所述第二p型掺杂接触区域30,该第一p型掺杂接触区域29和该第二p型掺杂接触区域30通过凹槽28和凹槽28下方的p型掺杂包覆层26的相对高电阻的部分55电气隔离。n型掺杂接触层3的第一区域7和p型掺杂接触层27的第一p型掺杂接触区域29形成第一二极管,该第一二极管可以属于PIC 1的第一光电器件。n型掺杂接触层3的第二区域8和p型掺杂接触层27的第二p型掺杂接触区域30形成第二二极管,该第二二极管可以属于PIC1的第二光电器件。本领域技术人员需理解的是,所述第一二极管和所述第二二极管可以彼此电气独立地、以正向偏压或反向偏压电气运行。此外,尽管所述第一光电器件的所述第一二极管和所述第二光电器件的所述第二二极管相互电气隔离,但是它们通过光波导层9光学互连。

[0129] 所述第一选择性p型掺杂管状区域6的所述分支的第一部分15可以设置有第一p型欧姆金属接触19,其仅在图5A中被示意性地示出。同样地,向n型掺杂接触层3的第一区域7应用第一n型欧姆金属接触11,以及向n型掺杂接触层3的第二区域8应用第二n型欧姆金属接触13。本领域技术人员需理解的是,应用到n型掺杂接触层3的第一区域7的第一n型欧姆金属接触11、应用到n型掺杂接触层3的第二区域8的第二n型欧姆金属接触13、以及应用到所述第一选择性p型掺杂管状区域6的所述分支的第一部分15的第一p型欧姆金属接触19落在图5A所示的横截面之外。在所示出的平面中,它们当然会越过无源光波导层9。

[0130] 尽管示意性地示出了应用到所述第一选择性p型掺杂管状区域6的所述分支的第一部分15的第一p型欧姆金属接触19,本领域技术人员需理解的是,以这种方式,例如为了偏压的目的,电接触所述第一选择性p型掺杂管状区域6的所述分支的第一部分15是可能的。

[0131] 例如,可以在所述第一p型欧姆金属接触19与所述第一n型欧姆金属接触11之间、或在所述第一p型欧姆金属接触19与所述第二n型欧姆金属接触13之间布置短路。这样,当PIC 1工作时,上述n隔离可以被电气控制。本领域技术人员需理解,可以使用后端金属层的金属层来建立所述第一n型欧姆金属接触11和所述第二n型欧姆金属接触13中的一者与所述第一p型欧姆金属接触19之间的短路。当包括n型掺杂接触层3的第二区域8和p型掺杂接触层27的第二p型掺杂接触区域30的所述第二二极管用应用到第二p型掺杂接触区域30的p型欧姆金属接触(其接地)被反向偏压时,在应用到所述第一二极管的n型掺杂接触层3的所述第一区域7的所述第一n型欧姆金属接触11与应用到所述第一选择性p型掺杂管状区域6的所述分支的第一部分15的所述第一p型欧姆金属接触19之间的这种外置式短路是特别有

利的。在所述第一n型欧姆金属接触11和所述第二n型欧姆金属接触13中的一者与所述第一p型欧姆金属接触19之间不存在短路的情况下,上述n隔离是浮置的。

[0132] 图5B示出了根据本公开的PIC1的一部分的外延层堆叠2的第二示例性、非限制性实施例的示意性横截面视图。图5B中所示的外延层堆叠2生长在衬底16上,该衬底16包含半绝缘磷化铟(s.i.-InP)、p型掺杂磷化铟(p-InP)和n型掺杂磷化铟(n-InP)中的一者,该衬底16使用铁(Fe)原子进行补偿以至少提供半绝缘表面层,在该半绝缘表面层的顶部之上,使用上述的传统外延技术MOCVD、MOVPE或MBE中的一种生长非故意掺杂InP层4。在生长非故意掺杂InP层4之后,利用n型掺杂物的离子注入,提供了第一选择性n型掺杂接触区域5a和第二选择性n型掺杂接触区域5b。两个选择性n型掺杂接触区域5a、5b允许低电阻的n型欧姆金属接触的形成。

[0133] 在离子注入工艺之后,使用上述的锌扩散工艺,在两个选择性n型掺杂接触区域5a、5b之间的非故意掺杂InP层4的部分设置所述第一选择性p型掺杂管状区域6。由于锌原子被扩散到非故意掺杂InP层,p型掺杂浓度不需要与结合图5A描述的n型掺杂InP层3的情况一样高。在图5B所示的外延层堆叠2的非故意掺杂层4的情况下,p型掺杂物仅需要补偿在所述非故意掺杂InP层4的生长期间可能已引入的任何非故意n型掺杂物。所述非故意掺杂InP层4的典型本底掺杂等级小于 $1 \times 10^{17} \text{ cm}^{-3}$ 。

[0134] 还应当注意的是,图5B仅示出了第一选择性p型掺杂管状区域6的一分支的第一部分15的横截面,考虑到图3,该第一部分15被布置在如图3所示的PIC1的第一光电器件10与第二光电器件12之间、无源光波导14的非故意掺杂波导层9的下方。本领域技术人员需理解的是,关于第一选择性p型掺杂管状区域6的所述分支的第一部分15,可以做出如以上结合图5A所描述的相同的言论(observation)。

[0135] 为了清楚起见,应当注意的是,第一选择性p型掺杂管状区域6被配置和布置成在所述第一选择性n型掺杂接触区域5a与所述第二选择性n型掺杂接触区域5b之间提供第一电气屏障,考虑到图3,该第一选择性n型掺杂接触区域5a将被所述第一选择性p型掺杂管状区域6包围,该第二选择性n型掺杂接触区域5b则将被布置在所述第一选择性p型掺杂管状区域6之外。

[0136] 从图5B中可以看出,包含磷化砷铟镓(InGaAsP)的非故意掺杂波导层9被布置在所述非故意掺杂层4的顶部之上。参考图3,第一光电器件10可以被布置在由所述第一选择性p型掺杂管状区域6包围的所述第一选择性n型掺杂接触区域5a中。所述第一光电器件10包括第一n型欧姆金属接触11,该第一n型欧姆金属接触11可以被布置在所述第一选择性n型掺杂接触区域5a上的第一位置。第二光电器件12可以被布置在所述第二选择性n型掺杂接触区域5b中,该第二选择性n型掺杂接触区域5b被布置在所述第一选择性p型掺杂管状区域6的外部。所述第二光电器件12包括第二n型欧姆金属接触13,该第二n型欧姆金属接触13被布置在所述第二选择性n型掺杂接触区域5b上的第二位置。

[0137] 类似于图5A,应当注意的是,在图5B中仅示意性地示出了应用到所述第一选择性p型掺杂管状区域6的所述分支的第一部分15的第一p型欧姆金属接触19、应用到第一选择性n型掺杂接触区域5a的第一n型欧姆金属接触11、以及应用到第二选择性n型掺杂接触区域5b的第二n型欧姆金属接触13。本领域技术人员需理解的是,这些接触位于图5B所示的横截面的外部。在所示出的平面中,它们当然会越过无源光波导层9。

[0138] 以与结合图5A所描述的类似方式,应用到所述第一选择性p型掺杂管状区域6的所述分支的第一部分15的第一p型欧姆金属接触19可以用于对上述n隔离进行电气控制。

[0139] 从图5B中可以看出,非故意掺杂层4的第一选择性n型掺杂接触区域5a和非故意掺杂层4的第二选择性n型掺杂接触区域5b通过第一选择性p型掺杂管状区域6的所述分支的第一部分15电气隔离。p型掺杂接触层27被划分为所述第一p型掺杂接触区域29和所述第二p型掺杂接触区域30,这二者之间通过凹槽28和位于凹槽28下方的p型掺杂包覆层26的相对高电阻部分55电气隔离。与图5A所示的PIC相比,为了改进所述第一p型掺杂接触区域29与所述第二p型掺杂接触区域30之间的电气隔离,凹槽28被进一步延伸到p型掺杂包覆层26中,直到距离p型掺杂包覆层26与非故意掺杂波导层9之间的第四边界32预定距离为止。距离所述第四边界32的预定距离可以在 $0.5\mu\text{m}$ 至 $5\mu\text{m}$ 的范围内,优选地,为了不干扰无源光波导层9的光波导能力,例如,为了不引入因蚀刻以实现凹槽28而带来的任何非期望的光损耗,该预定距离可以在 $1\mu\text{m}$ 至 $2\mu\text{m}$ 的范围内。

[0140] 在这种情况下,通过蚀刻掉宽度在 $5\mu\text{m}$ 至 $200\mu\text{m}$ 的范围内,优选为 $30\mu\text{m}$ 的预定部分的方式来提供凹槽28,如在横贯于该预定部分的宽度的方向上所观察到的,该预定部分包括完整的p型掺杂接触层27和一部分p型掺杂包覆层26,直到距所述第四边界32所述预定距离。这样,与图5A中所示的PIC 1相比,图5B中所示的PIC1具有改进的电气p隔离。

[0141] 图6示出了根据本公开的PIC 1的第三示例性、非限制性实施例的示意性透视图。类似于图3,图6中所示的PIC 1包括具有外延层堆叠2的半导体晶圆,该外延层堆叠2包括包含磷化铟(InP)的n型掺杂接触层3。该n型掺杂接触层3设置有第一选择性p型掺杂管状电流阻挡区域6和第二选择性p型掺杂管状电流阻挡区域20,该第二选择性p型掺杂管状电流阻挡区域20围绕第一选择性p型掺杂管状区域6布置,并且与该第一选择性p型掺杂管状区域6相距预设距离。第二选择性p型掺杂管状区域20包括一分支,该分支的第二部分21被布置在所述第一光电器件10与所述第二光电器件12之间的所述无源光波导14的下方。本领域技术人员需理解的是,关于如图6所示的PIC的技术特征的考量与如图3所示的PIC相同。为了清楚起见,这些考量将不再重复描述。参考图7,将描述与第二选择性p型掺杂管状区域20有关的进一步细节。

[0142] 图7示出了根据本公开的PIC 1(例如图6中所示的PIC)的一部分的外延层堆叠2的第三示例性、非限制性实施例的示意性横断面视图。在图7的横断面视图中,第二选择性p型掺杂管状区域20的第二部分21被布置在无源光波导14的非故意掺杂波导层9下方的n型掺杂接触层3中、与第一选择性p型掺杂管状区域6的第一部分15相距预设距离的位置。n型掺杂接触层3的第三区域23被布置在第一选择性p型掺杂区域6的第一部分15与第二选择性p型掺杂区域20的第二部分21之间。本领域技术人员需理解的是,第二选择性p型掺杂管状区域20在n型掺杂接触层3的第一区域7与所述n型掺杂接触层3的第二区域8之间提供第二电气屏障,其中,该第一区域7被所述第一选择性p型掺杂管状区域6和所述第二选择性p型掺杂管状区域20两者包围,该第二区域8被布置在所述第一选择性p型掺杂管状区域6和所述第二选择性p型掺杂管状区域20两者的外部。通过提供所述第二选择性p型掺杂管状区域20,可以进一步改进第一光电器件的设置n型欧姆金属接触的n型掺杂接触区域与第二光电器件的设置n型欧姆金属接触的n型掺杂接触区域之间的上述n隔离。本领域技术人员将理解,包括彼此围绕布置的多于两个的选择性p型掺杂管状电流阻挡区域的PIC也落入本公

开的范围内。取决于特定应用所需的隔离等级,可能需要彼此围绕布置的多于两个的选择性p型掺杂管状区域。

[0143] 在图7所示的实施例中,第一选择性p型掺杂管状区域6和第二选择性p型掺杂管状区域20两者均包含作为p型掺杂物的锌,两者的活化p型掺杂浓度均在 $1 \times 10^{16} \text{cm}^{-3}$ - $2 \times 10^{18} \text{cm}^{-3}$ 之间,优选地,小于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 。根据落入本公开范围内的其他示例性实施例,用于第一选择性p型掺杂管状区域6和第二选择性p型掺杂管状区域20的p型掺杂物原子的类型可以不同。活化p型掺杂浓度也可以不同。本领域技术人员应当知道合适的p型掺杂物原子和活化p型掺杂浓度。

[0144] 应当注意的是,所述第一选择性p型掺杂管状区域6的至少第一部分15和所述第二选择性p型掺杂管状区域20的至少第二部分21各自的厚度t在 $1 \mu\text{m}$ - $100 \mu\text{m}$ 之间,优选地,在 $2 \mu\text{m}$ - $10 \mu\text{m}$ 之间,其中,该第一部分15和该第二部分21被布置在所述无源光波导14的非故意掺杂波导层9的下方。令人惊奇地发现,通过将第一选择性p型掺杂管状区域6的至少所述第一部分15,以及第二选择性p型掺杂管状区域20的至少所述第二部分21的所述厚度t保持在 $1 \mu\text{m}$ - $100 \mu\text{m}$ 之间,优选地在 $2 \mu\text{m}$ - $10 \mu\text{m}$ 之间,可以使所述无源光波导14中的非期望的附加光损耗保持最小。

[0145] 本领域技术人员需理解的是,根据落入本公开范围内的外延层堆叠2的另一示例性实施例,第一选择性p型掺杂管状区域6和第二选择性p型掺杂管状区域20还可以被提供在生长在衬底16上的非故意掺杂InP层的选择性n型掺杂接触区域之间。

[0146] 此外,图7示出了所述第一选择性p型掺杂管状区域6的第一部分15和所述第二选择性p型掺杂管状区域20的第二部分21两者均从n型掺杂接触层3与非故意掺杂波导层9之间的第二边界18延伸,超过衬底16与n型掺杂接触层3之间的第一边界17,直到进入到衬底16中预定距离为止。根据落入本公开范围内的其他示例性实施例,还可以将所述第一选择性p型掺杂管状区域6和所述第二选择性p型掺杂管状区域20中的一者布置成从所述第二边界18延伸到所述第一边界17,而将另一者布置成延伸超过所述第一边界17。

[0147] 如以上结合图5A和5B所描述的,图7示意性地示出了选择性p型掺杂管状区域6的第一部分15设置有第一p型欧姆金属接触19,以及,第二选择性p型掺杂管状区域20的第二部分21设置有第二p型欧姆金属接触22。通过这种方式,例如出于偏压的目的,电接触第一选择性p型掺杂管状区域6的第一部分15和第二选择性p型掺杂管状区域20的第二部分21是可能的。如上所述,电接触第一选择性p型掺杂区域和第二选择性p型掺杂区域使得能够实现n隔离的电气控制。

[0148] 此外,图7示意性地示出了被布置在选择性p型掺杂管状区域6的第一部分15与第二选择性p型管状区域20的第二部分21之间的n型掺杂接触层3的第三区域23设置有第三n型欧姆金属接触25。本领域技术人员需理解的是,可以在第一n型欧姆金属接触11、第二n型欧姆金属接触13和第三n型欧姆金属接触25中的一者与第一p型欧姆金属接触19之间布置短路,和/或,在第一n型欧姆金属接触11、第二n型欧姆金属接触13和第三n型欧姆金属接触25中的一者与第二p型欧姆金属接触22之间布置短路。

[0149] 如结合图5A和5B所描述的,本领域技术人员需理解的是,图7示意性示出的各个n型欧姆金属接触和p型欧姆金属接触位于示出的横截面之外。可以在这些接触之间建立的相应短路可以使用后端金属层中的至少一个金属层来实现。在所述第一n型欧姆金属接触

11、所述第二n型欧姆金属接触13和所述第三n型欧姆金属接触25中的一者与所述第一p型欧姆金属接触19之间不存在短路的情况下,由所述第一选择性p型掺杂管状区域6提供的n隔离是浮置的。类似地,在所述第一n型欧姆金属接触11、所述第二n型欧姆金属接触13和所述第三n型欧姆金属接触25中的一者与所述第二p型欧姆金属接触22之间不存在短路的情况下,由所述第二选择性p型掺杂管状区域20提供的n隔离是浮置的。因此,每个n隔离都可以被电气控制,或是浮置的。

[0150] 图8A至图8D示出了使用根据本公开的方法的第一示例性、非限制性实施例制造的半导体晶圆56的第一示例性、非限制性实施例的示意性横截面视图。该半导体晶圆56使得能够制造根据本公开的PIC。

[0151] 图8A示出了该方法的第一实施例的第一和第二处理步骤的结果。在第一处理步骤中,提供衬底16,该衬底16包含半绝缘磷化铟(s.i.-InP)、p型掺杂磷化铟(p-InP)和n型掺杂磷化铟(n-InP)中的一者,该衬底16使用铁(Fe)原子进行补偿,以至少提供半绝缘表面层。在第二处理步骤中,使用常规外延生长技术MOCVD、MOVPE和MBE中的任一种在衬底16的顶部上生长包含磷化铟的n型掺杂接触层3。

[0152] 图8B示出了该方法的第一实施例的第三、第四和第五处理步骤的结果。在第三处理步骤中,在所述n型掺杂接触层3的顶部上沉积掩模层34。该掩模层34包含氧化硅(SiO_x)和氮化硅(SiN_x)中的至少一者。在第四处理步骤中,在光刻工艺之后,使用第一选择性蚀刻工艺在掩模层34中提供管状凹槽,以暴露n型掺杂接触层3的表面区域36。在图8B的横截面视图中,仅示出了管状凹槽的第一部分35。在第五处理步骤中,使用扩散工艺将诸如锌(Zn)原子之类的p型掺杂物、经由暴露的表面区域36扩散到n型掺杂接触层3中。这样,在n型掺杂接触层3中提供了第一选择性p型掺杂管状电流阻挡区域6,如例如结合图3和图5A所描述的。第一选择性p型掺杂管状电流阻挡区域6的活化p型掺杂浓度在 $1 \times 10^{16} \text{cm}^{-3}$ - $2 \times 10^{18} \text{cm}^{-3}$ 之间,优选地,小于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 。通过提供第一选择性p型掺杂管状电流阻挡区域6,建立了被第一选择性p型掺杂管状电流阻挡区域6包围的n型掺杂接触层3的第一区域7,以及,被布置在所述第一选择性p型掺杂管状电流阻挡区域6的外部的n型掺杂接触层3的第二区域8。在图8B的横截面视图中,仅示出了第一选择性p型掺杂管状区域6的第一部分15。本领域技术人员需知的是,取决于特定应用所需的电流阻挡程度,可以布置多个彼此包围的选择性p型掺杂管状电流阻挡区域,如结合图6和图7所描述的。

[0153] 图8C示出了该方法的第一实施例的第六处理步骤的结果。在第六处理步骤中,使用第二选择性蚀刻工艺从n型掺杂接触层3中选择性地去掉掩模层34的剩余部分37。

[0154] 图8D示出了该方法的第一实施例的第七、第八和第九处理步骤的结果。在第七处理步骤中,包含磷化砷铟镓(InGaAsP)的非故意掺杂波导层9在包括第一选择性p型掺杂管状区域6的n型掺杂接触层3的顶部之上外延生长。非故意掺杂波导层9使得能够制造无源光波导,该无源光波导使得在装配在半导体晶圆56上的第一光电器件与第二光电器件之间能够进行光通信。第一光电器件的n型欧姆金属接触通过第一选择性p型掺杂管状电流阻挡区域6与第二光电器件的n型欧姆金属接触电气隔离。

[0155] 在第八处理步骤中,在非故意掺杂波导层9的顶部之上外延生长包含磷化铟(InP)的p型掺杂包覆层26。在第九处理步骤中,在所述p型掺杂包覆层26的顶部之上外延生长包含砷化铟镓(InGaAs)的p型掺杂接触层27。与p型掺杂包覆层26相比,p型掺杂接触层27具有

更高的活化p型掺杂浓度,以允许低电阻的p型欧姆金属接触的形成。

[0156] 图9A至图9E示出了使用根据本公开的方法的第二示例性、非限制性实施例制造的半导体晶圆56的第二示例性、非限制性实施例的示意性横截面视图。半导体晶圆56使得能够制造根据本公开的PIC。

[0157] 图9A示出了该方法的第二实施例的第一和第二处理步骤的结果。在第一处理步骤中,提供衬底16,该衬底16包含半绝缘磷化铟(s.i.-InP)、p型掺杂磷化铟(p-InP)和n型掺杂磷化铟(n-InP)中的一者,该衬底16使用铁(Fe)原子进行补偿,以至少提供半绝缘表面层。在第二处理步骤中,使用常规外延生长技术MOCVD、MOVPE和MBE中的任一种在衬底16的顶部之上生长包含磷化铟的非故意掺杂层4。

[0158] 图9B示出了该方法的第二实施例的第三、第四和第五处理步骤的结果。在第三处理步骤中,第一掩模层38沉积在非故意掺杂层4的顶部之上,并完全覆盖该非故意掺杂层4。第一掩模层38包含氧化硅(SiO_x)和氮化硅(SiN_x)中的至少一种。在第四处理步骤中,在第一光刻工艺之后,使用第一选择性蚀刻工艺来选择性地去掉第一掩模层38的一部分,以暴露非故意掺杂层4的第一表面区域41和第二表面区域42。在第五处理步骤中,使用离子注入工艺将n型掺杂物的离子分别经由第一表面区域41和第二表面区域42注入到非故意掺杂层4中,以分别向非故意掺杂层4提供第一选择性n型掺杂接触区域5a和第二选择性n型掺杂接触区域5b。在第六处理步骤中(未示出),使用第二选择性蚀刻工艺来选择性地去掉第一掩模层38的剩余部分,该剩余部分覆盖非故意掺杂层4的、在第一选择性n型掺杂接触区域5a与第二选择性n型掺杂接触区域5b之间的部分。在第七处理步骤中(未示出),对衬底16和包括第一选择性n型掺杂接触区域5a和第二选择性n型掺杂接触区域5b的非故意掺杂层4进行退火处理,以修复由离子注入工艺引起的任何结晶损伤。

[0159] 图9C示出了该方法的第二实施例的第八、第九和第十处理步骤的结果。在第八处理步骤中,第二掩模层44沉积在包括第一选择性n型掺杂接触区域5a和第二选择性n型掺杂接触区域5b的非故意掺杂层4的顶部之上。第二掩模层44包含氧化硅(SiO_x)和氮化硅(SiN_x)中的至少一者。

[0160] 在第九处理步骤中,在第二光刻工艺之后,使用第三选择性蚀刻工艺在第二掩模层44中提供管状凹槽,以暴露非故意掺杂层4的、在第一选择性n型掺杂接触区域5a与第二选择性n型掺杂接触区域5b之间的部分的表面区域46。暴露的表面区域46被布置成包围例如第一选择性n型掺杂接触区域5a。在图9C的横截面视图中,仅示出了管状凹槽的第一部分45。

[0161] 在第十处理步骤中,使用扩散工艺将诸如锌(Zn)原子的p型掺杂物经由所述表面区域46扩散到非故意掺杂层4的、在第一选择性n型掺杂接触区域5a与第二选择性n型掺杂接触区域5b之间的部分,以限定第一选择性p型掺杂管状电流阻挡区域6,根据该示例,该第一选择性p型掺杂管状电流阻挡区域6被布置成包围第一选择性n型掺杂接触区域5a。这样,例如结合图3和图5B所描述的,在非故意掺杂层4中提供了第一选择性p型掺杂管状电流阻挡区域6。该第一选择性p型掺杂管状电流阻挡区域6的活化p型掺杂浓度在 $1 \times 10^{16} \text{cm}^{-3}$ - $2 \times 10^{18} \text{cm}^{-3}$ 之间,优选地,小于或等于 $1 \times 10^{17} \text{cm}^{-3}$ 。由于锌原子被扩散到非故意掺杂层中,p型掺杂浓度不需要与结合例如图5A和图8B所描述的n型掺杂InP层3情况中的掺杂浓度一样高。在图9C所示的非故意掺杂层4的情况下,p型掺杂物仅需要补偿在所述非故意掺杂InP层4的

生长期间可能已引入的任何非故意n型掺杂物。所述非故意掺杂InP层4的典型本底掺杂等级小于 $1 \times 10^{17} \text{cm}^{-3}$ 。应当注意的是,在图9C的横截面视图中,仅示出了第一选择性p型掺杂管状区域6的第一部分15。本领域技术人员应理解的是,取决于特定应用所需的电流阻挡程度,可以布置多个彼此包围的选择性p型掺杂管状电流阻挡区域,如结合图6和图7所描述的。

[0162] 图9D示出了该方法的第二实施例的第十一处理步骤的结果。在第十一处理步骤中,使用第四选择性蚀刻工艺从包括第一选择性n型掺杂接触区域5a、第二选择性n型掺杂接触区域5b和第一选择性p型掺杂管状区域6的非故意掺杂层4中选择性地去掉第二掩模层44的剩余部分47。

[0163] 图9E示出了该方法的第二实施例的第十二、第十三和第十四处理步骤的结果。在第十二处理步骤中,在包括第一选择性n型掺杂接触区域5a、第二选择性n型掺杂接触区域5b和第一选择性p型掺杂管状区域6的非故意掺杂层4的顶部之上外延生长包含磷化砷铟镓(InGaAsP)的非故意掺杂波导层9。该非故意掺杂波导层9使得能够制造无源光波导,该无源光波导使得在装配在半导体晶圆56上的第一光电器件与第二光电器件之间能够进行光通信。第一光电器件的n型欧姆金属接触通过第一选择性p型掺杂管状电流阻挡区域6与第二光电器件的n型欧姆金属接触电隔离。

[0164] 在第十三处理步骤中,在非故意掺杂波导层9的顶部之上外延生长包含磷化铟(InP)的p型掺杂包覆层26。在第十四处理步骤中,在p型掺杂包覆层26的顶部之上外延生长包含砷化铟镓(InGaAs)的p型掺杂接触层27。p型掺杂接触层27具有比p型掺杂包覆层26更高的活化p型掺杂浓度,以允许低电阻的p型欧姆金属接触的形成。

[0165] 图10示出了根据本公开的包括PIC1的光电系统33的示意图。根据本公开的光电系统33可以有利地应用于例如电信应用中。

[0166] 本公开可以概括为涉及一种光子集成电路1,该光子集成电路1包括装配在半导体晶圆上的第一光电器件10和第二光电器件12,该半导体晶圆具有外延层堆叠2,该外延层堆叠2包括n型基于磷化铟的接触层3,该n型基于磷化铟的接触层3设置有至少一个选择性p型掺杂管状区域6,该选择性p型掺杂管状区域6用于在所述第一光电器件和所述第二光电器件的各自的n型接触区域之间提供电气屏障,其中,该第一光电器件和该第二光电器件通过装配在包含磷化砷铟镓的非故意掺杂波导层9中的无源光波导14光学互连,所述非故意掺杂波导层被布置在所述n型接触层的顶部之上,其中,所述至少一个选择性p型掺杂管状区域的第一部分15被布置在所述第一光电器件与所述第二光电器件之间的所述无源光波导的下方。本公开还涉及一种包括所述光子集成电路的光电系统33。

[0167] 本领域技术人员应当清楚的是,本公开的范围不限于上述讨论的示例,而是可以在不脱离由所附权利要求书所限定的本公开的范围的情况下,对其进行若干修改和变型。特别地,可以对本公开的各个方面的特定特征进行组合。本公开的一个方面可以通过增加结合本公开的另一方面描述的特征来被进一步有利地增强。虽然已经在附图中详细图示且在说明书中详细描述了本公开,但这些附图和描述仅被认为是说明性或示例性的,而不是限制性的。

[0168] 本公开不限于所公开的实施例。通过分析附图、说明书和所附权利要求书,本领域技术人员在实践所要求保护的发明时可以理解并实现对所公开的实施例的变型。在权利要

求书中,词语“包括”不排除其他步骤或元素,并且不定冠词“一”或“一个”不排除多个。在互不相同的从属权利要求中记载的特定措施的这个事实并不表示这些措施的组合不能用于获得有益效果。权利要求书中的任何附图标记不应被解释为限制本公开的范围。

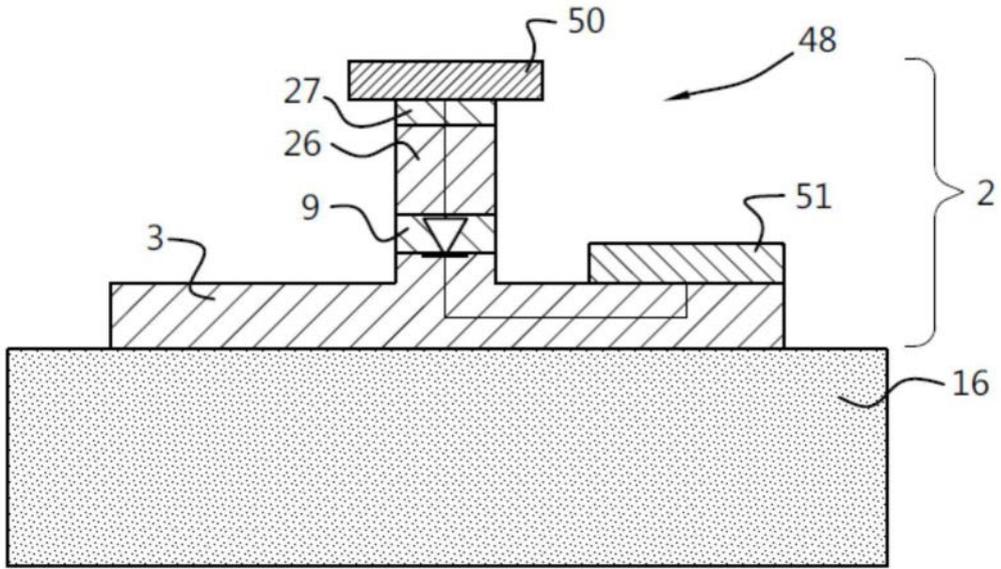


图1(现有技术)

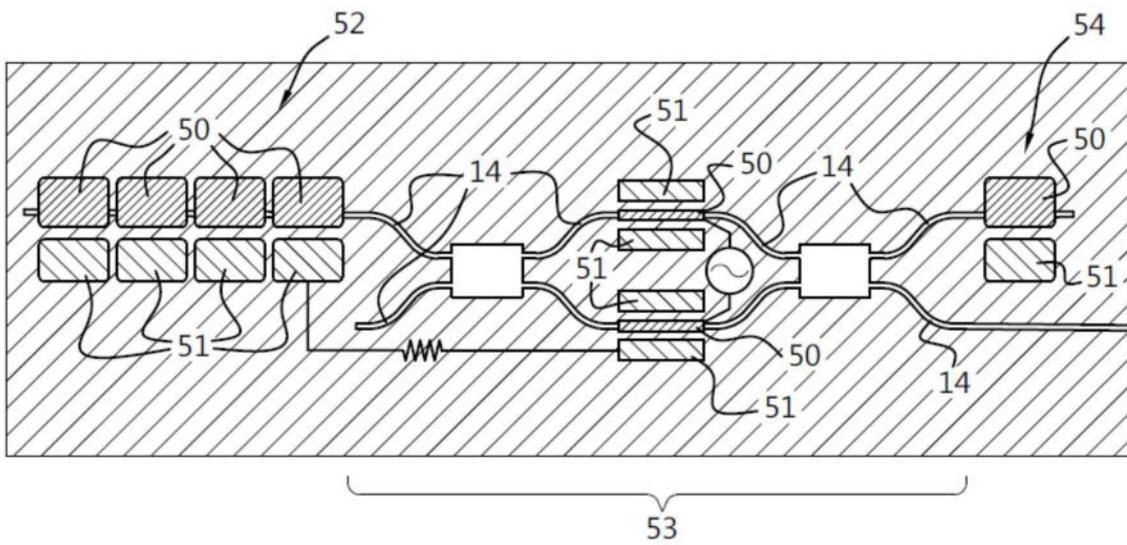


图2(现有技术)

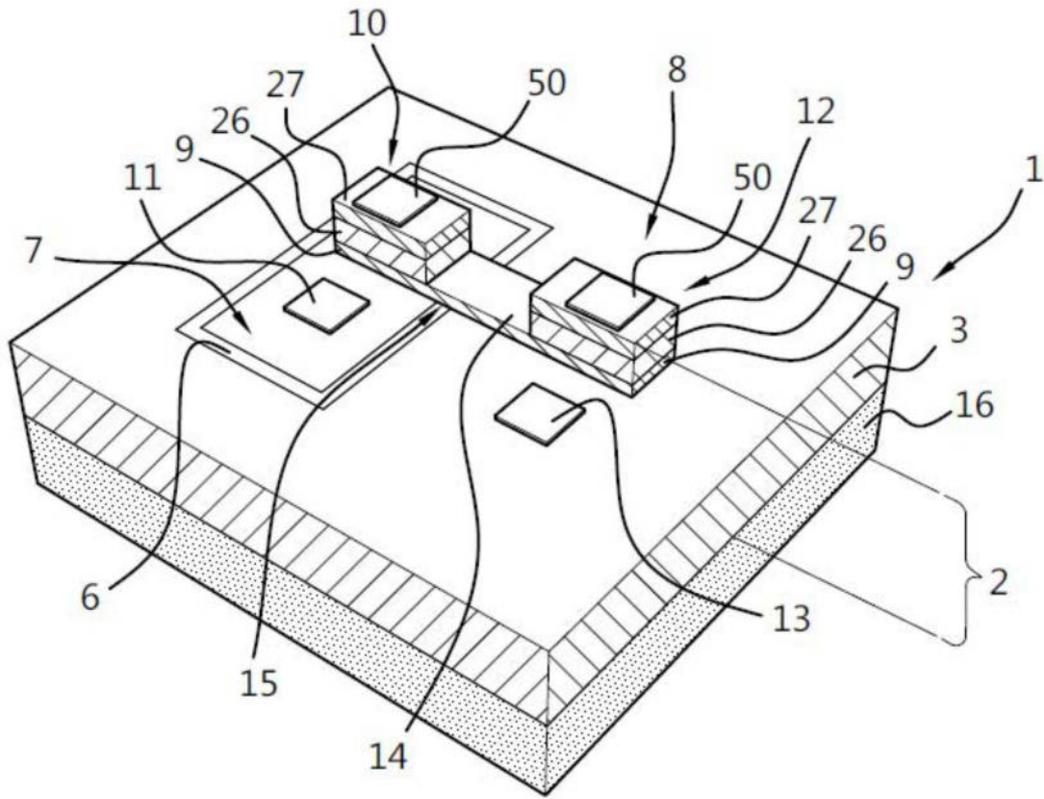


图3

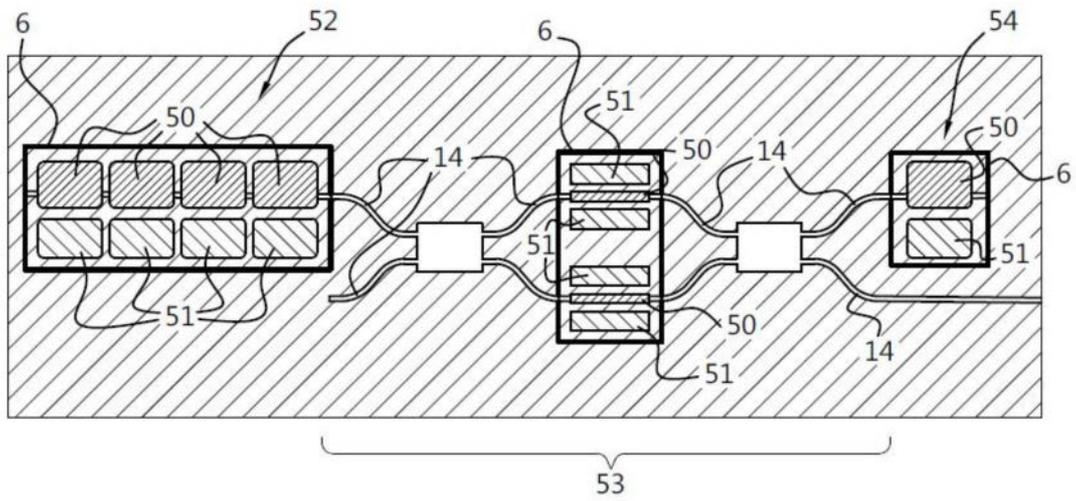


图4

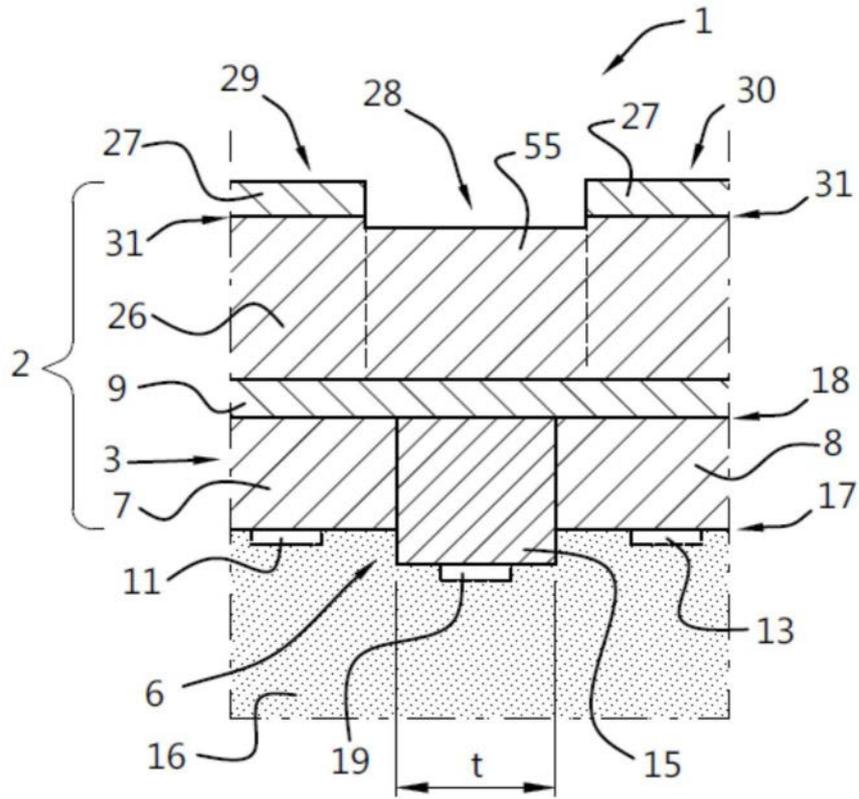


图5A

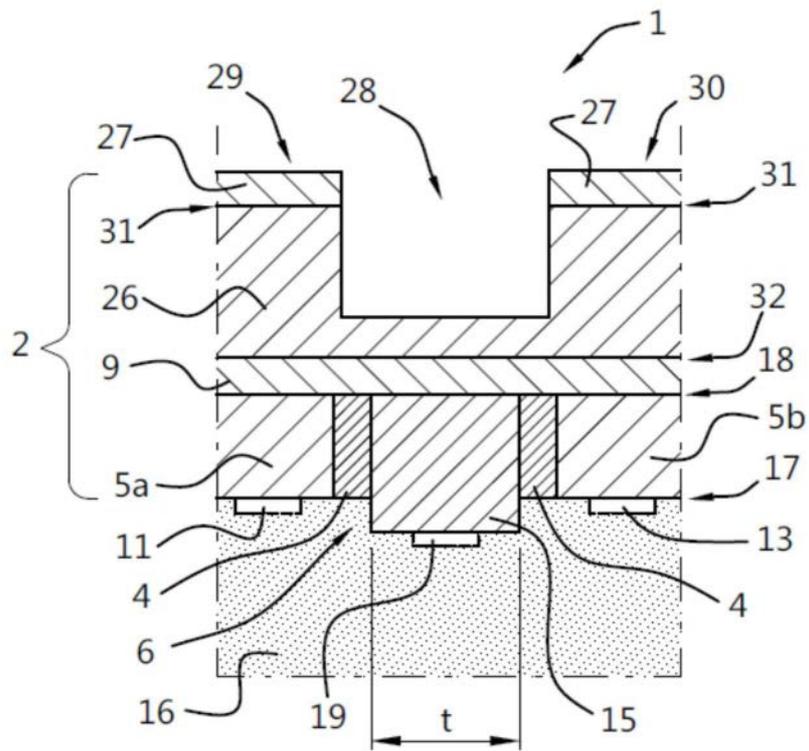


图5B

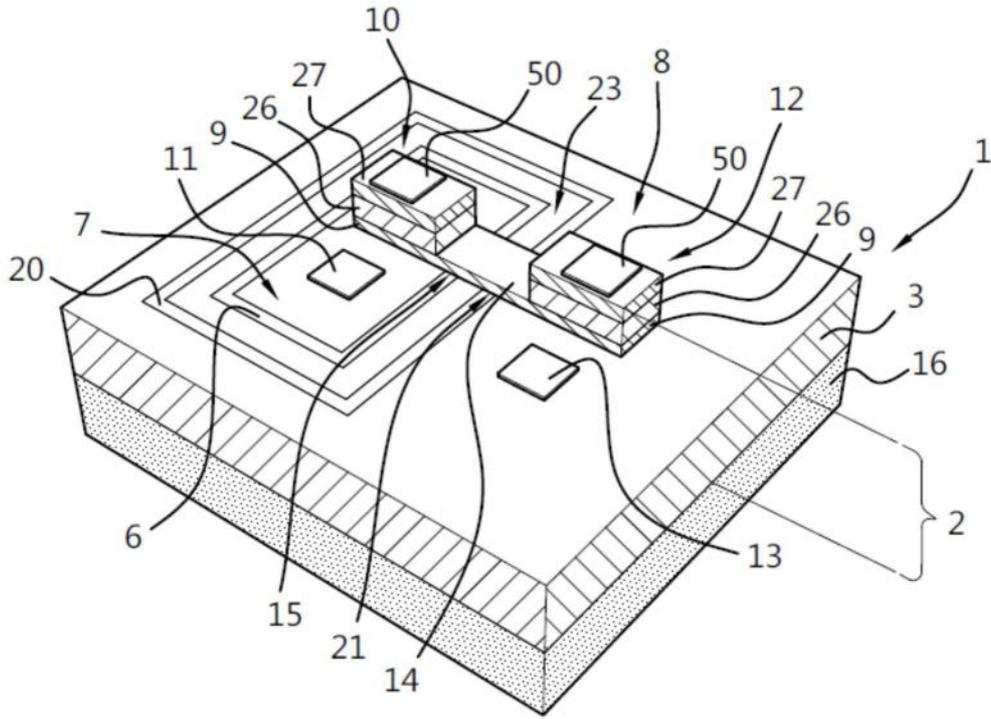


图6

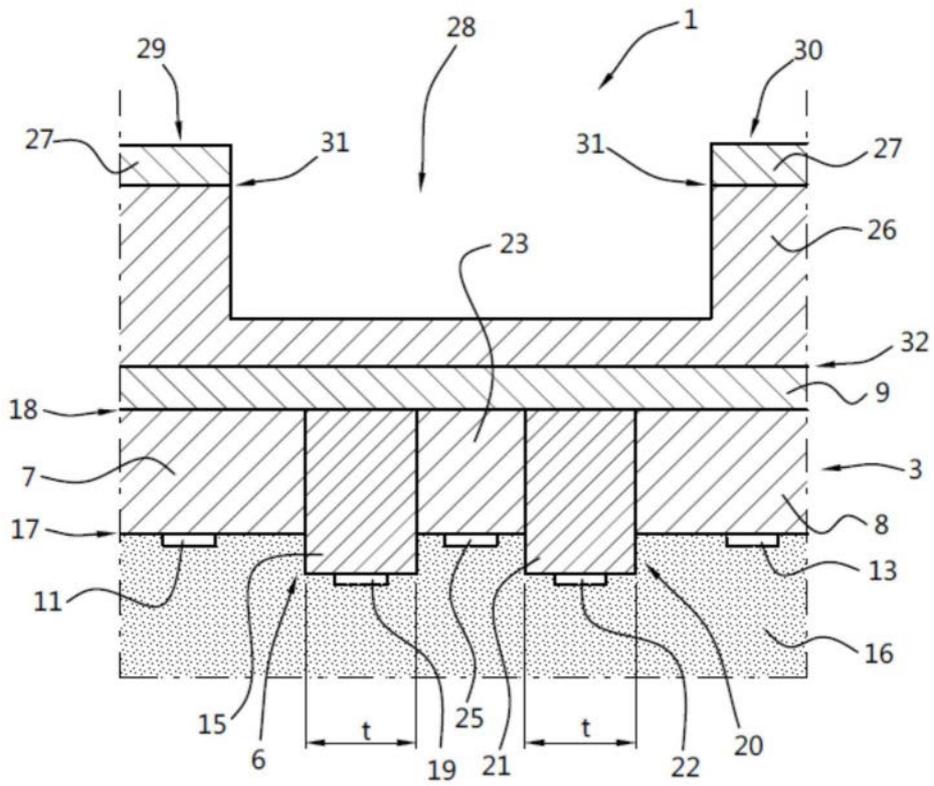


图7

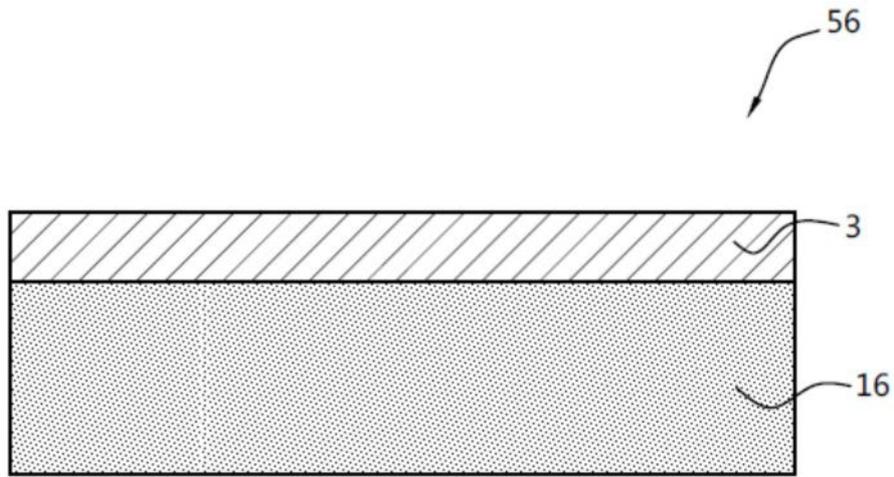


图8A

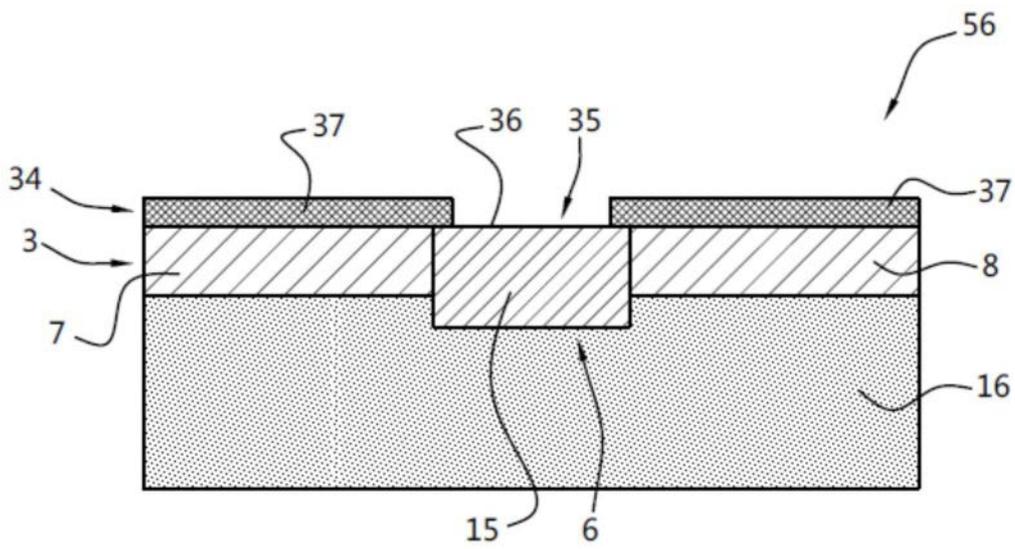


图8B

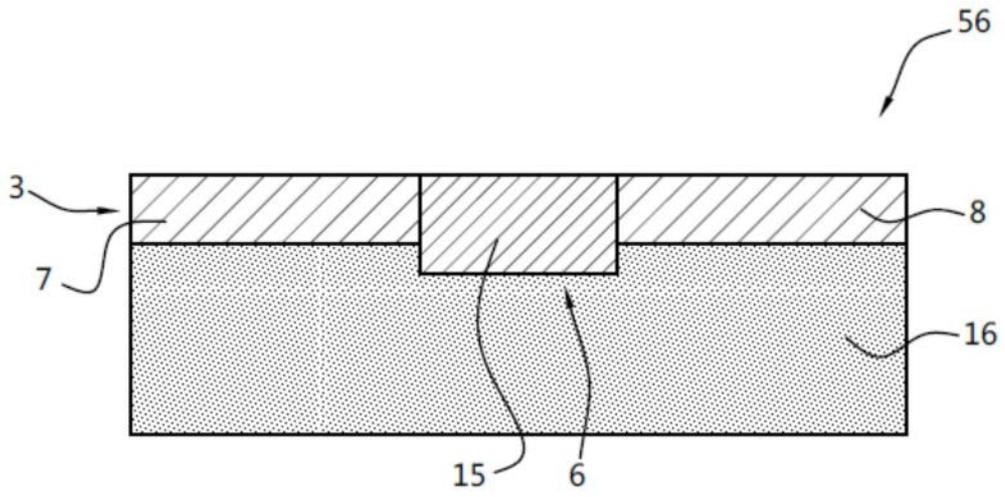


图8C

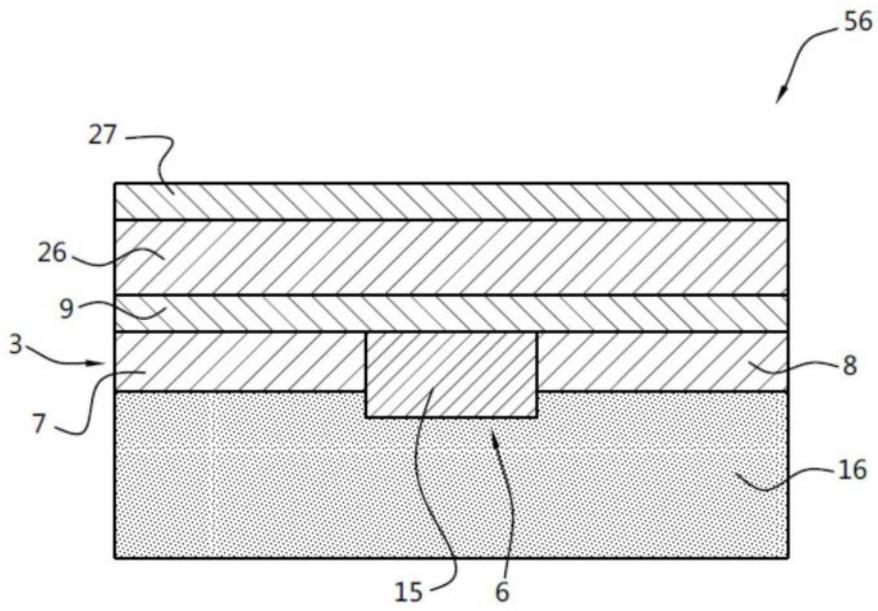


图8D

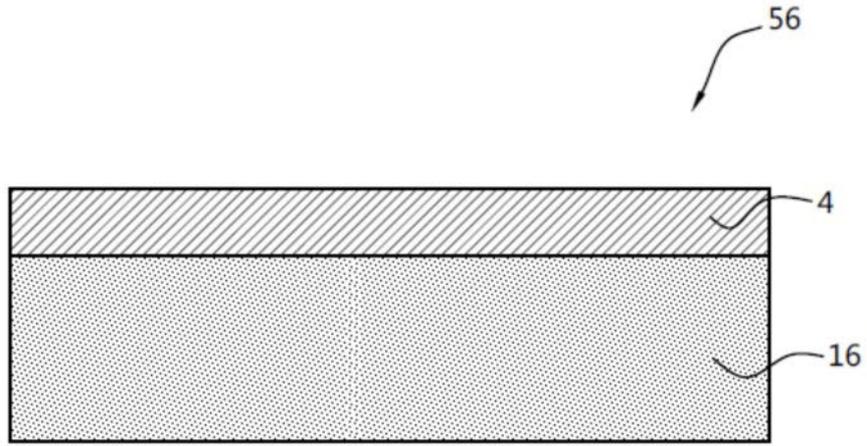


图9A

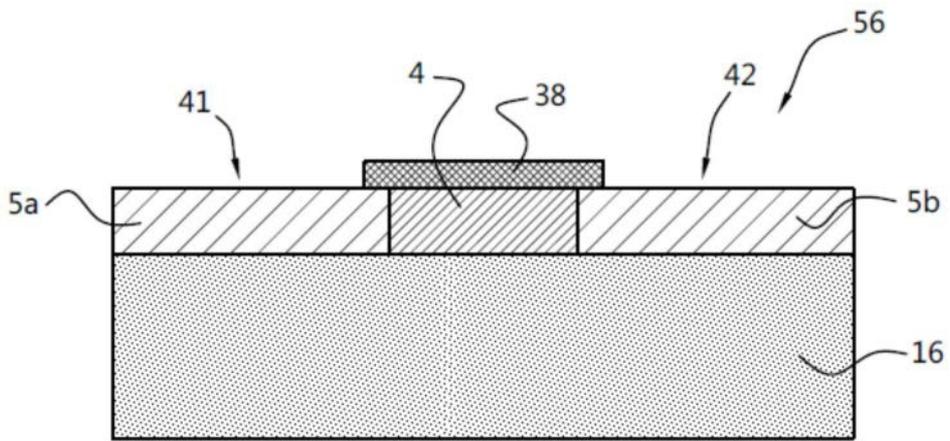


图9B

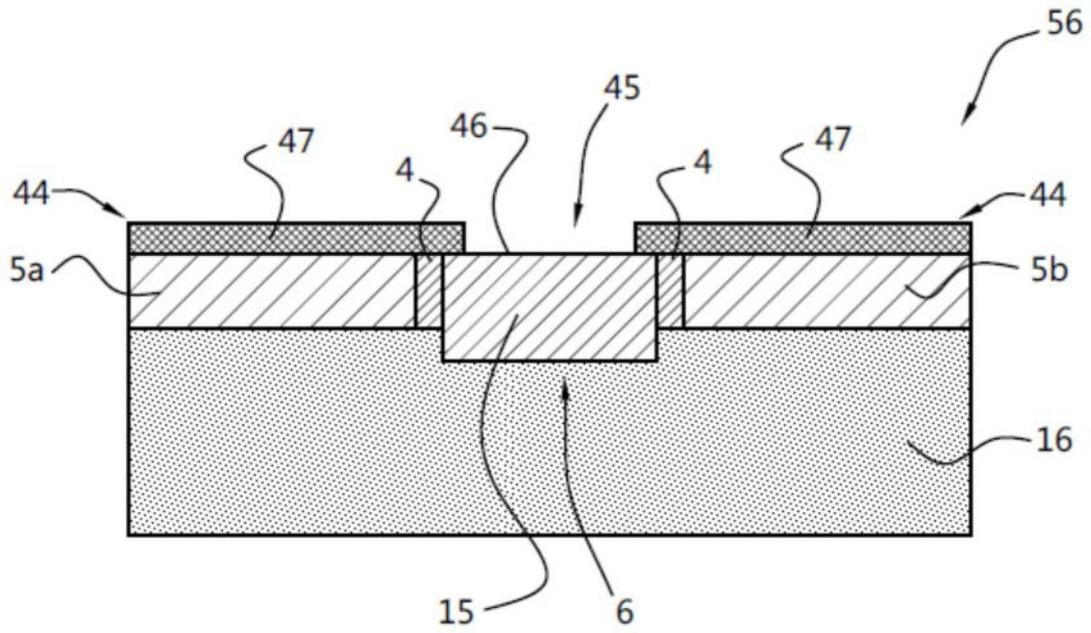


图9C

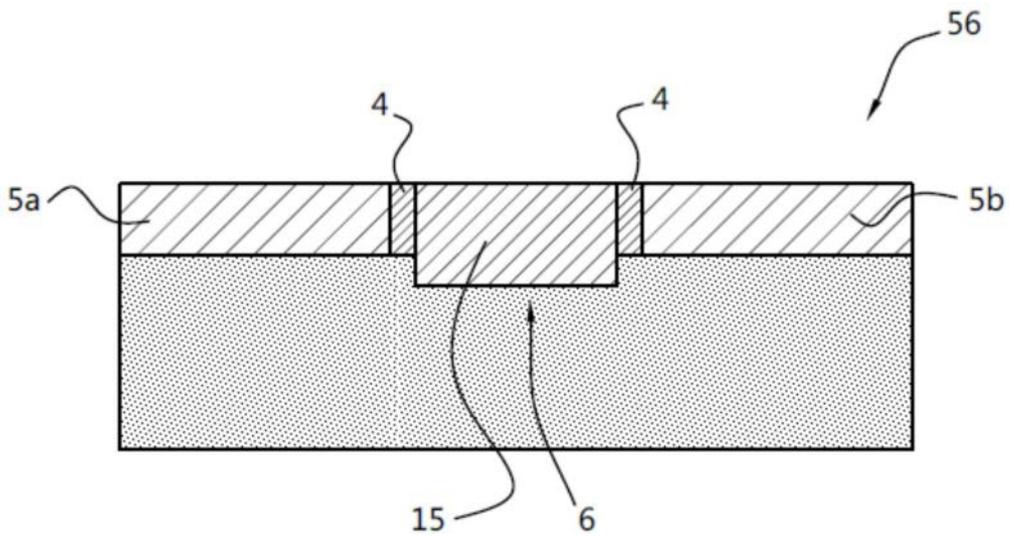


图9D

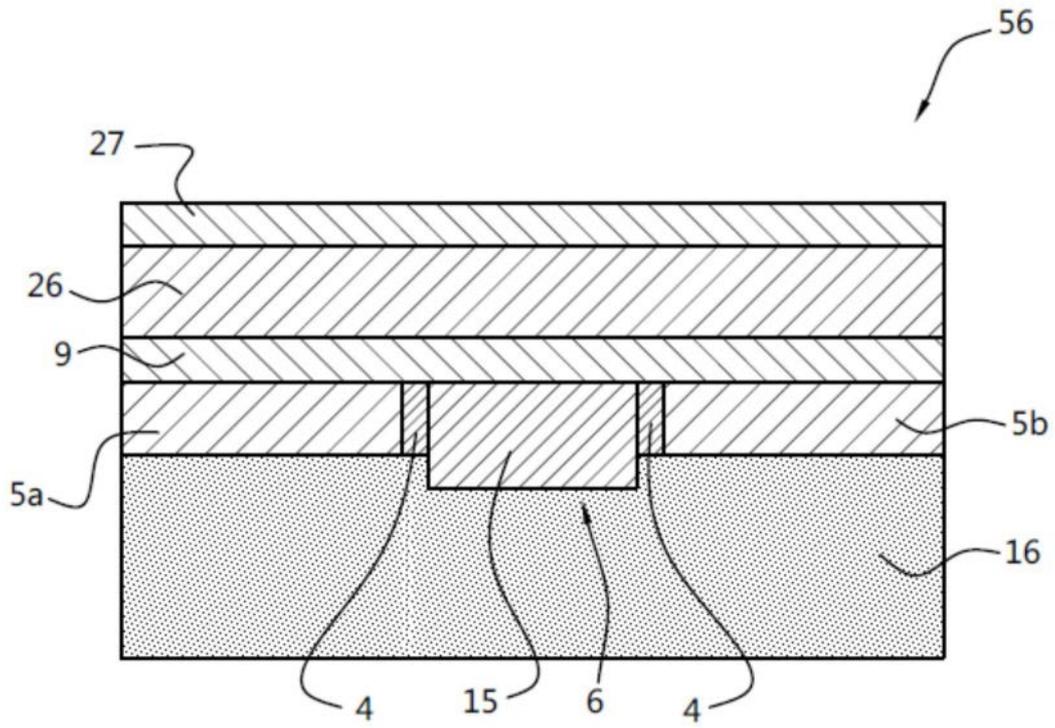


图9E

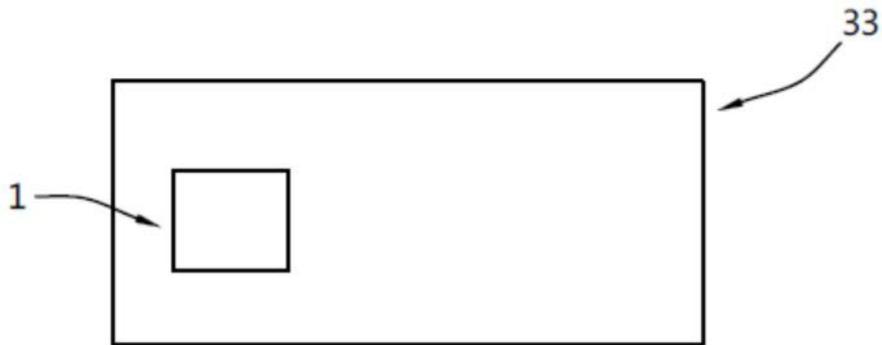


图10