



(12)发明专利申请

(10)申请公布号 CN 111403410 A
(43)申请公布日 2020.07.10

(21)申请号 202010211772.5

(22)申请日 2020.03.24

(71)申请人 长江存储科技有限责任公司
地址 430074 湖北省武汉市东湖新技术开
发区未来三路88号

(72)发明人 徐伟 黄攀 夏季 陈金星
范光龙 周文斌

(74)专利代理机构 北京汉之知识产权代理事务
所(普通合伙) 11479
代理人 高园园

(51)Int.Cl.
H01L 27/1157(2017.01)
H01L 27/11582(2017.01)

权利要求书2页 说明书9页 附图11页

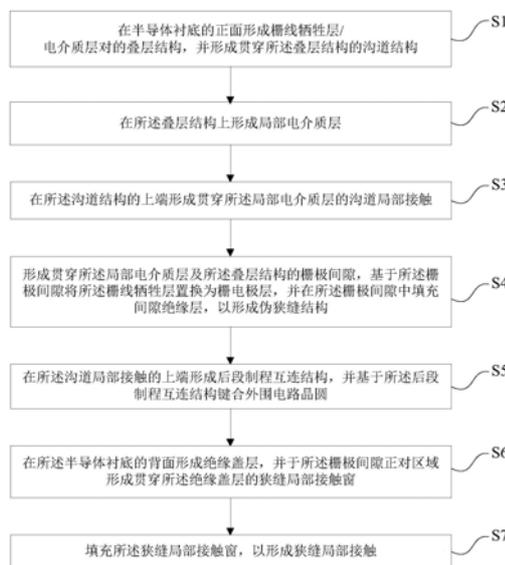
(54)发明名称

存储器及其制备方法

(57)摘要

本发明提供一种存储器及制备方法,该方法包括:在半导体衬底的正面形成叠层结构,并形成贯穿的沟道结构;在叠层结构上形成局部电介质层;形成贯穿局部电介质层的沟道局部接触;形成贯穿局部电介质层及叠层结构的栅极间隙,基于栅极间隙将栅线牺牲层置换为栅电极层,并在栅极间隙中填充间隙绝缘层;在沟道局部接触的上端形成后段制程互连结构,并基于后段制程互连结构键合外围电路晶圆;在半导体衬底的背面形成绝缘盖层,并于栅极间隙正对区域形成贯穿绝缘盖层的狭缝局部接触窗;填充狭缝局部接触窗,以形成狭缝局部接触。有效解决了狭缝结构对C1CH与沟道结构的对准影响,直接规避了正面狭缝结构(GL)与狭缝局部接触(C1ACS)之间的对准问题。

CN 111403410 A



1. 一种存储器的制备方法,其特征在于,所述制备方法至少包括:
在半导体衬底的正面形成栅线牺牲层/电介质层对的叠层结构,并形成贯穿所述叠层结构的沟道结构;
在所述叠层结构上形成局部电介质层;
在所述沟道结构的上端形成贯穿所述局部电介质层的沟道局部接触;
形成贯穿所述局部电介质层及所述叠层结构的栅极间隙,基于所述栅极间隙将所述栅线牺牲层替换为栅电极层,并在所述栅极间隙中填充间隙绝缘层,以形成伪狭缝结构;
在所述沟道局部接触的上端形成后段制程互连结构,并基于所述后段制程互连结构键合外围电路晶圆。
2. 根据权利要求2所述的存储器的制备方法,其特征在于,所述制备方法还包括:
在所述半导体衬底的背面形成绝缘盖层,并于所述栅极间隙正对区域形成贯穿所述绝缘盖层的狭缝局部接触窗;
填充所述狭缝局部接触窗,以形成狭缝局部接触。
3. 根据权利要求1所述的存储器的制备方法,其特征在于,形成所述沟道局部接触的方法包括:
图形化所述局部电介质层,以在所述沟道结构正对区域形成贯穿所述局部电介质层的沟道局部接触窗;
填充所述沟道局部接触窗,以形成所述沟道局部接触。
4. 根据权利要求1所述的存储器的制备方法,其特征在于:所述半导体衬底包括N型掺杂半导体衬底或P型掺杂半导体衬底。
5. 根据权利要求4所述的存储器的制备方法,其特征在于:所述半导体衬底的掺杂步骤实施于所述后段制程互连结构与所述外围电路晶圆键合之前。
6. 根据权利要求1所述的存储器的制备方法,其特征在于:在所述半导体衬底的背面形成所述绝缘盖层之前还包括对所述半导体衬底进行减薄的步骤。
7. 根据权利要求1所述的存储器的制备方法,其特征在于:所述沟道结构包括形成于沟道孔底部的沟道连接层、形成于沟道孔侧壁的功能层、形成于所述功能层及沟道连接层上的沟道层。
8. 根据权利要求7所述的存储器的制备方法,其特征在于:所述沟道结构还包括填充所述沟道孔的沟道填充层及沟道插塞,所述沟道插塞形成于所述沟道结构的上端并与所述沟道层接触。
9. 根据权利要求1所述的存储器的制备方法,其特征在于:所述叠层结构包括多个依次层叠的堆栈,每个所述堆栈均由所述栅线牺牲层/电介质层对层叠而成。
10. 一种存储器,其特征在于,所述存储器包括:
半导体衬底;
栅极叠层结构,包括在所述半导体衬底的正面上依次层叠的栅电极层/电介质层对;
沟道结构,贯穿所述栅极叠层结构;
局部电介质层,形成于所述栅极叠层结构上;
沟道局部接触,贯穿所述局部电介质层并与所述沟道结构接触;
伪狭缝结构,包括贯穿所述局部电介质层及所述栅极叠层结构的栅极间隙,及填充所

述栅极间隙的间隙绝缘层；

后段制程互连结构,所述后段制程互连结构与所述沟道局部接触电连接。

11. 根据权利要求10所述的存储器,其特征在于:所述存储器还包括:

绝缘盖层,形成于所述半导体衬底的背面;

狭缝局部接触,形成于所述栅极间隙正对区域并贯穿所述绝缘盖层。

12. 根据权利要求10所述的存储器,其特征在于:所述存储器还包括外围电路晶圆,所述外围电路晶圆与所述后段制程互连结构键合。

13. 根据权利要求10所述的存储器,其特征在于:所述沟道结构包括形成于沟道孔底部的沟道连接层、形成于沟道孔侧壁的功能层、形成于所述功能层及沟道连接层上的沟道层。

14. 根据权利要求13所述的存储器,其特征在于:所述沟道结构还包括填充所述沟道孔的沟道填充层及沟道插塞,所述沟道插塞形成于所述沟道结构的顶端并与所述沟道层接触。

15. 根据权利要求10所述的存储器,其特征在于:所述栅极叠层结构包括多个依次层叠的栅堆栈,每个所述栅堆栈均由所述栅电极层/电介质层对层叠而成。

存储器及其制备方法

技术领域

[0001] 本发明涉及存储器技术领域,特别是涉及一种存储器及其制备方法。

背景技术

[0002] 计算机环境范例已经变化为任何时间以及任何地方都能够使用的无处不在的计算系统。归因于此事实,诸如移动电话、数字相机、以及笔记本电脑的便携式电子设备的使用已得到迅速的增涨。这些便携式电子设备通常使用具有存储器件的存储系统,存储器件即数据储存器件。数据储存器件用作这些便携式电子设备中的主存储器件或辅助存储器件。从而,诸如存储系统的数字数据储存器的可靠性和性能是关键的。使用存储器件的这些数据储存器件提供极好的稳定性、耐用性、高信息存取速度、以及低功耗。具有这些优点数据储存器件的范例包括通用串行总线(USB)存储器件、具有各种接口的存储卡、以及固态驱动器(SSD)。

[0003] 以上提到的数据储存器件可以包括各种闪存部件。两种主要类型的闪存部件以NAND和NOR逻辑门命名,其中NAND类型的闪存可以被以块(或页)进行写入和读取,块通常比整个器件小得多,从而其用于包括移动电话、数字相机、以及固态硬盘驱动器的宽广范围的应用中。NAND闪存的高储存密度,特别是在与NOR闪存相比时,在其市场渗透方面起大的作用。

[0004] 随着半导体制造工艺的特征尺寸越来越小,NAND串拓扑当前已经得到了进一步的发展以实现更大的储存密度。该努力已经导致三维(3D)NAND闪存的发展,三维(3D)NAND闪存中,存储单元在交替的介质层/金属层的多个对中垂直堆叠在彼此之上,采用叠层结构提供选择晶体管和存储晶体管的栅极导体,采用贯穿叠层结构的沟道柱实现存储单元串的存放。随着3DNAND存储器件在一个堆叠体中增加(scale)更多的介质层/金属层以提高其容量,变得更难以使用单个蚀刻工艺来在3D存储器件中形成具有实质(substantial)深度的沟道孔。在沟道孔的纵横比增大时,沟道孔蚀刻指数地变慢,并且形成的沟道孔的工艺能力控制,包括无弓形、直的轮廓、关键尺寸(critical dimension,CD)一致性、最小翘曲等,也往往更具挑战性。

[0005] 为了克服上述瓶颈,发展了双堆栈(dual-stack)或更多堆栈的高级三维NAND闪存架构。利用连接至彼此的交替的介质层/金属层的两个或多个堆栈,节点/对的数量可以显著增大到超出工艺能力的限制。

[0006] 但采用上述多个堆栈形成NAND存储器的工艺中,在形成存储器串的沟道结构(包括下层沟道LCH及上层沟道UCH)后,先形成狭缝结构(GL)以将叠层结构中的牺牲层置换为栅极金属层,然后再形成沟道局部接触(C1CH)及狭缝局部接触(C1ACS)。但在GL工艺过程中应力变化剧烈,会在后续形成C1CH及C1ACS时引起C1CH与UCH之间对准困难,及C1ACS与GL对准困难。

发明内容

[0007] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种存储器及其制备方法,用于解决现有技术中,在存储器的制备中,存在C1CH与UCH之间对准困难,及C1ACS与GL对准困难等的问题。

[0008] 为实现上述目的及其他相关目的,本发明提供一种存储器的制备方法,所述制备方法至少包括:

[0009] 在半导体衬底的正面形成栅线牺牲层/电介质层对的叠层结构,并形成贯穿所述叠层结构的沟道结构;

[0010] 在所述叠层结构上形成局部电介质层;

[0011] 在所述沟道结构的上端形成贯穿所述局部电介质层的沟道局部接触;

[0012] 形成贯穿所述局部电介质层及所述叠层结构的栅极间隙,基于所述栅极间隙将所述栅线牺牲层替换为栅电极层,并在所述栅极间隙中填充间隙绝缘层,以形成伪狭缝结构;

[0013] 在所述沟道局部接触的上端形成后段制程互连结构,并基于所述后段制程互连结构键合外围电路晶圆。

[0014] 可选地,所述制备方法还包括:

[0015] 在所述半导体衬底的背面形成绝缘盖层,并于所述栅极间隙正对区域形成贯穿所述绝缘盖层的狭缝局部接触窗;

[0016] 填充所述狭缝局部接触窗,以形成狭缝局部接触。

[0017] 可选地,形成所述沟道局部接触的方法包括:

[0018] 图形化所述局部电介质层,以在所述沟道结构正对区域形成贯穿所述局部电介质层的沟道局部接触窗;

[0019] 填充所述沟道局部接触窗,以形成所述沟道局部接触。

[0020] 可选地,所述半导体衬底包括N型掺杂半导体衬底或P型掺杂半导体衬底。

[0021] 可选地,所述半导体衬底的掺杂步骤实施于所述后段制程互连结构与所述外围电路晶圆键合之前。

[0022] 可选地,在所述半导体衬底的背面形成所述绝缘盖层之前还包括对所述半导体衬底进行减薄的步骤。

[0023] 可选地,所述沟道结构包括形成于沟道孔底部的沟道连接层、形成于沟道孔侧壁的功能层、形成于所述功能层及沟道连接层上的沟道层。

[0024] 可选地,所述沟道结构还包括填充所述沟道孔的沟道填充层及沟道插塞,所述沟道插塞形成于所述沟道结构的上端并与所述沟道层接触。

[0025] 可选地,所述叠层结构包括多个依次层叠的堆栈,每个所述堆栈均由所述栅线牺牲层/电介质层对层叠而成。

[0026] 本发明还提供一种存储器,所述存储器包括:

[0027] 半导体衬底;

[0028] 栅极叠层结构,包括在所述半导体衬底的正面上依次层叠的栅电极层/电介质层对;

[0029] 沟道结构,贯穿所述栅极叠层结构;

[0030] 局部电介质层,形成于所述栅极叠层结构上;

- [0031] 沟道局部接触,贯穿所述局部电介质层并与所述沟道结构接触;
- [0032] 伪狭缝结构,包括贯穿所述局部电介质层及所述栅极叠层结构的栅极间隙,及填充所述栅极间隙的间隙绝缘层;
- [0033] 后段制程互连结构,所述后段制程互连结构与所述沟道局部接触电连接。
- [0034] 可选地,所述存储器还包括:
- [0035] 绝缘盖层,形成于所述半导体衬底的背面;
- [0036] 狭缝局部接触,形成于所述栅极间隙正对区域并贯穿所述绝缘盖层。
- [0037] 可选地,所述存储器还包括外围电路晶圆,所述外围电路晶圆与所述后段制程互连结构键合。
- [0038] 可选地,所述沟道结构包括形成于沟道孔底部的沟道连接层、形成于沟道孔侧壁的功能层、形成于所述功能层及沟道连接层上的沟道层。
- [0039] 可选地,所述沟道结构还包括填充所述沟道孔的沟道填充层及沟道插塞,所述沟道插塞形成于所述沟道结构的顶端并与所述沟道层接触。
- [0040] 可选地,所述栅极叠层结构包括多个依次层叠的栅堆栈,每个所述栅堆栈均由所述栅电极层/电介质层对层叠而成。
- [0041] 如上所述,本发明的存储器及其制备方法,具有以下有益效果:
- [0042] 在形成存储器中存储串的沟道结构后,先制备与沟道结构连接的沟道局部接触(C1CH),后制备狭缝结构(GL),避免了制备狭缝结构对存储区域带来的应力影响,沟道结构与沟道局部接触之间不会有套刻偏差,最大限度地减少狭缝结构对C1CH与沟道结构的对准影响。
- [0043] 本发明的狭缝结构(GL)通过在间隙中填充绝缘材料形成为伪狭缝结构,使其只起到在栅电极替换过程期间提供对刻蚀剂和化学前体的通路作用及将存储器阵列分成多个块的作用,而狭缝局部接触(C1ACS)形成于半导体衬底背面,实现从半导体衬底背面对阵列公共源极(ACS)的电气引出,取消了将该伪狭缝结构作为与阵列公共源极(ACS)电气连接的正面引出通道,直接规避了正面狭缝结构(GL)与狭缝局部接触(C1ACS)之间的对准问题,也规避了狭缝正面引出可能会引起阵列公共源极(ACS)与上选择晶体管栅电极桥接的可能性,同时本发明中的伪狭缝结构(GL)填充的是绝缘材料,其相对于多晶硅来说产生的应力很小,可进一步降低存储区域的变形。

附图说明

- [0044] 图1显示为本发明的实施例一的存储器的制备方法的工艺流程图。
- [0045] 图2至图13显示为本发明的实施例一的存储器的制备方法各步骤所呈现的结构示意图,其中,图13还显示为本发明的实施例二的存储器的结构示意图。
- [0046] 元件标号说明
- | | | |
|--------|-----|-------|
| [0047] | 100 | 半导体衬底 |
| [0048] | 101 | 叠层结构 |
| [0049] | 102 | 堆栈 |
| [0050] | 103 | 栅线牺牲层 |
| [0051] | 104 | 电介质层 |

| | | |
|--------|-------|----------|
| [0052] | 105 | 沟道结构 |
| [0053] | 106 | 沟道孔 |
| [0054] | 107 | 沟道连接层 |
| [0055] | 108 | 功能层 |
| [0056] | 108a | 阻挡层 |
| [0057] | 108b | 电荷捕获层 |
| [0058] | 108c | 遂穿层 |
| [0059] | 109 | 沟道层 |
| [0060] | 110 | 沟道填充层 |
| [0061] | 111 | 沟道插塞 |
| [0062] | 112 | 局部电介质层 |
| [0063] | 113 | 沟道局部接触 |
| [0064] | 114 | 沟道局部接触窗 |
| [0065] | 115 | 栅极间隙 |
| [0066] | 116 | 栅电极层 |
| [0067] | 118 | 间隙绝缘层 |
| [0068] | 119 | 后段制程互连结构 |
| [0069] | 120 | 外围电路晶圆 |
| [0070] | 121 | 绝缘盖层 |
| [0071] | 122 | 狭缝局部接触窗 |
| [0072] | 123 | 狭缝局部接触 |
| [0073] | 124 | 栅极叠层结构 |
| [0074] | 125 | 栅堆栈 |
| [0075] | S1~S7 | 步骤 |

具体实施方式

[0076] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0077] 如在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0078] 为了方便描述,此处可能使用诸如“之下”、“下方”、“低于”、“下面”、“上方”、“上”等的空间关系词语来描述附图中所示的一个元件或特征与其他元件或特征的关系。将理解到,这些空间关系词语意图包含使用中或操作中的器件的、除了附图中描绘的方向之外的其他方向。此外,当一层被称为在两层“之间”时,它可以是所述两层之间仅有的层,或者也可以存在一个或多个介于其间的层。

[0079] 在本申请的上下文中,所描述的第一特征在第二特征“之上”的结构可以包括第一

和第二特征形成直接接触的实施例,也可以包括另外的特征形成在第一和第二特征之间的实施例,这样第一和第二特征可能不是直接接触。

[0080] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0081] 实施例一

[0082] 研究发现,在先形成狭缝结构后,再形成沟道局部接触(C1CH)及狭缝局部接触(C1ACS),会产生C1CH与UCH之间对准困难,及C1ACS与GL对准困难的问题。经进一步研究发现,随着存储器中存储串叠层结构的进一步增高,形成沟道局部接触的栅极间隙具有很大的深宽比,且在形成栅极间隙后,还会去除叠层结构中的栅线牺牲层,因而使得叠层结构的强度不足,进而使得叠层结构容易变形或倾斜。并且在形成栅极间隙、替换栅电极层以及在栅极间隙中填充多晶硅都会引起所在存储区域的应力变化,引起存储区域发生不同程度的变形,所以当后续形成沟道局部接触(C1CH)及狭缝局部接触(C1ACS)时,会产生套刻偏差,使C1CH与UCH之间,及C1ACS与GL之间产生对准偏差,降低产品良率。

[0083] 基于此,本实施例提供一种存储器的制备方法,在形成存储器中存储串的沟道结构后,先制备与沟道结构连接的沟道局部接触(C1CH),后制备狭缝结构(GL),避免了制备狭缝结构对存储区域带来的应力影响,沟道结构与沟道局部接触之间不会有套刻偏差,最大限度地减少狭缝结构对C1CH与沟道结构的对准影响;另外,本实施例的狭缝结构(GL)通过在间隙中填充绝缘材料形成为伪狭缝结构,使其只起到在栅电极替换过程期间提供对刻蚀剂和化学前体的通路作用及将存储器阵列分成多个块的作用,而狭缝局部接触(C1ACS)形成于半导体衬底背面,实现从半导体衬底背面对阵列公共源极(ACS)的电气引出,取消了将该伪狭缝结构作为与阵列公共源极(ACS)电气连接的正面引出通道,直接规避了正面狭缝结构(GL)与狭缝局部接触(C1ACS)之间的对准问题,也规避了狭缝正面引出可能会引起阵列公共源极(ACS)与上选择晶体管栅电极桥接的可能性,同时本实施例中的伪狭缝结构(GL)填充的是绝缘材料,其相对于多晶硅来说产生的应力很小,可进一步降低存储区域的变形。

[0084] 如图1至图13所示,为本实施例的存储器的制备方法以及制备过程中,各步骤所呈现的结构示意图。

[0085] 如图1、图2及图3所示,首先进行步骤S1,在半导体衬底100的正面形成栅线牺牲层103/电介质层104对的叠层结构101,并形成贯穿所述叠层结构101的沟道结构105。

[0086] 作为示例,所述半导体衬底的材料可以为任何适合的半导体材料,例如可以为单晶硅(Si)、单晶锗(Ge)、硅锗(GeSi)、碳化硅(SiC)、绝缘体上硅(SOI)、绝缘体上锗(GOI)或砷化镓等III-V族化合物。本实施例中,所述半导体衬底选择为硅衬底。

[0087] 作为示例,所述半导体衬底包括N型掺杂半导体衬底。

[0088] 作为示例,所述栅线牺牲层13可以为氮化物层,例如氮化硅;所述电介质层104可以为氧化物层,例如,氧化硅。可以通过一个或多个薄膜沉积工艺来形成所述叠层结构101,包括但不限于化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)或其任何组合。所述栅线牺牲层103/电介质层104对中的栅线牺牲层103的厚度可以相同也可以不相同,同

样的,电介质层104的厚度可以相同也可以不相同,根据具体工艺需要进行设置。

[0089] 如图3所示,为图2中A处的局部放大图,可结合图2进一步了解所述沟道结构105的内部结构,具体地,所述沟道结构105包括形成于沟道孔106底部的沟道连接层107、形成于沟道孔106侧壁的功能层108、形成于所述功能层108及沟道连接层107上的沟道层109。

[0090] 所述沟道连接层107的材料可以为硅、锗或者硅锗,形成所述沟道连接层107的工艺可以为选择性外延工艺,在后续结构中,所述沟道结构105中的沟道层109通过所述沟道连接层107及所述半导体衬底电连接至狭缝局部接触123,并通过该狭缝局部接触123与阵列共源极(ACS)电连接。

[0091] 所述功能层108提供若干层结构以实现存储从沟道层注入的电荷数据的存储。本实施例中,如图3所示,功能层108包括阻挡层108a、电荷捕获层108b及隧穿层108c。阻挡层108a能够用于阻隔存储于电荷捕获层108b中的电荷的外流并在电荷捕获层108b与诸如叠层结构之间提供电绝缘,阻挡层108a可以是氧化硅层,也可以是包括高K的电介质层(例如,氧化铝),也可通过沉积工艺或通过使用以原位蒸汽生成(ISSG)工艺处理的氮化物层形成的单层或多层氧化物;电荷捕获层108b能够用于存储电荷,电荷捕获层108b中的电荷的存储或去除能够影响半导体沟道的导通和/或开/关状态,电荷捕获层108b可通过沉积工艺形成,可以是氮化物层,也可以是SiN/SiON/SiN或甚至更多层的多层结构;隧穿层108c能够用于通过对电荷(电子或空穴)的捕获和/或解捕获进行抑制来进行数据保持,可以通过沉积工艺形成的氧化物层,也能够是SiO₂/SiON/SiO₂或甚至更多层的多层结构。所述沟道层109能够用于输运所需的电荷(电子或空穴),沟道层109的材质包括但不限于p型掺杂的多晶硅。

[0092] 较佳地,所述沟道结构105还包括填充所述沟道孔106的沟道填充层110及沟道插塞111,所述沟道插塞111形成于所述沟道结构105的上端并与所述沟道层109接触。所述沟道插塞111用于连接所述沟道层109和后续将要形成的沟道局部接触113。所述沟道插塞111的材料可以选择任何适宜的半导体材料,本实施例中,所述沟道插塞111选择与所述沟道层109相同的材料,例如多晶硅材料。所述沟道插塞111的形成方法包括:于所述沟道孔106形成所述功能层108、所述沟道层109及所述沟道填充层110后,回刻蚀上端部分所述沟道填充层110形成沟道插塞窗口,然后于该沟道插塞窗口中填充导电材料,从而形成所述沟道插塞111。

[0093] 作为示例,随着存储量的增大,存储叠层逐渐增大,基于现有工艺极限限制,所述叠层结构可由多个依次层叠的堆栈102形成,每个所述堆栈102均由所述栅线牺牲层103/电介质层104对层叠而成。每个堆栈102的层数可以相同,也可以不同,例如,本实施例中(如图2所述),所述叠层结构101包括两个所述堆栈102,每个所述堆栈102包括64对所述栅线牺牲层103/电介质层104对。当采用多个堆栈102形成所述叠层结构101时,形成所述沟道结构105可以采用任何适宜的方法形成,这里以两个所述堆栈102为例进行说明,首先形成下层堆栈,并形成贯穿下层堆栈的下层沟道孔,然后与下层堆栈上形成上层堆栈,并形成贯穿上层堆栈的上层沟道孔,且上层沟道孔与下层沟道孔至少部分连通,最后于连通的沟道孔中形成所述沟道结构105。

[0094] 如图1及图4所示,然后进行步骤S2,在所述叠层结构101上形成局部电介质层112。

[0095] 作为示例,所述局部电介质层112可以通过一种或多种薄膜沉积工艺,例如CVD、

PVD、ALD或其任何组合,将电介质材料沉积在所述叠层结构101的顶表面的顶部上形成的。本实施例中所述局部电介质层112的材料选择为TEOS。

[0096] 如图1、图5及图6所示,接着进行步骤S3,在所述沟道结构105的上端形成贯穿所述局部电介质层112的沟道局部接触113。

[0097] 作为示例,形成所述沟道局部接触的方法包括:

[0098] 如图5所示,图形化所述局部电介质层112,以在所述沟道结构105正对区域形成贯穿所述局部电介质层112的沟道局部接触窗114;

[0099] 如图6所示,填充所述沟道局部接触窗114,以形成所述沟道局部接触113。

[0100] 作为示例,所述沟道局部接触113的材料可以是任何适合的导电材料,本实施例中,所述沟道局部接触113的材料选择为钨。

[0101] 通过在形成所述沟道结构105后,直接制备与所述沟道结构105连接的沟道局部接触113,避免了制备狭缝结构对存储区域带来的应力影响,沟道结构105与沟道局部接触113之间不会有套刻偏差,最大限度地减少狭缝结构对沟道局部接触113与沟道结构105的对准影响。

[0102] 如图1、图7至图9所示,接着进行步骤S4,形成贯穿所述局部电介质层112及所述叠层结构101的栅极间隙115(如图7所示),基于所述栅极间隙115将所述栅线牺牲层103置换为栅电极层116(如图8所示),并在所述栅极间隙115中填充间隙绝缘层118,以形成伪狭缝结构(如图9所示)。

[0103] 作为示例,所述间隙绝缘层118的材料可选择任何适合的绝缘材料,例如,氧化物、氮化物等绝缘材料,本实施例中,所述间隙绝缘层118的材料选择氧化物材料。

[0104] 由本步骤的过程可知,所述栅极间隙115只起到栅电极层116替换过程期间提供对刻蚀剂和化学前体的通路作用及将存储器阵列分成多个块的作用,栅极间隙115中填充间隙绝缘层118,相对于多晶硅来说,间隙绝缘层118的应力非常小,可有效降低存储区域的变形,对存储区域提供良好的支撑。

[0105] 如图1及图10所示,接着进行步骤S5,在所述沟道局部接触113的上端形成后段制程互连结构119,并基于所述后段制程互连结构119键合外围电路晶圆120。

[0106] 作为示例,所述外围电路晶圆120(一般称为CMOS晶圆)中包括如场效应晶体管、电容、电感和/或pn结二极管等,这些外围器件用作存储器的不同功能器件,例如缓存器、放大器、译码器等。

[0107] 这里需要说明的,所述后段制程互连结构119、所述外围电路晶圆120及键合等制备工艺采用现有的常规工艺,可根据实际需要进行制备,在此不做赘述。

[0108] 作为示例,在所述后段制程互连结构119与所述外围电路晶圆120键合之前对所述半导体衬底100实施N型掺杂或P型掺杂,从而降低在对半导体衬底100进行掺杂时对外围电路晶圆120的影响。

[0109] 如图1、图11及图12所示,接着进行步骤S6,在所述半导体衬底100的背面形成绝缘盖层121(如图11所示),并于所述栅极间隙115正对区域形成贯穿所述绝缘盖层121的狭缝局部接触窗122(如图12所示)。

[0110] 作为示例,在所述半导体衬底100的背面形成所述绝缘盖层121之前需要对所述半导体衬底100进行减薄的步骤。一般的,所述半导体衬底100被减薄至90nm~110nm之间。

[0111] 作为示例,可采用现有的常规薄膜沉积工艺,例如CVD、PVD、ALD或其任何组合,将绝缘材料沉积于所述半导体衬底100背面的表面形成。所述绝缘盖层121的材料可以选择任何适合的绝缘材料,例如氧化物、氮化物等,本实施例中所述绝缘盖层121的材料选择为氧化物。所述绝缘盖层121的厚度介于280nm~320nm之间。

[0112] 作为示例,可以采用现有常规的刻蚀工艺形成所述狭缝局部接触窗122,在此不再赘述。所述狭缝局部接触窗122的尺寸介于170nm~190nm之间。为了保证所有的所述狭缝局部接触窗122均刻蚀至所述半导体衬底100中,在刻蚀时,会刻蚀至所述半导体衬底100后再过刻蚀15nm~25nm。

[0113] 如图1及图13所示,最后进行步骤S7,填充所述狭缝局部接触窗122,以形成狭缝局部接触123。

[0114] 作为示例,所述狭缝局部接触123可以采用任何适合的导电材料,本实施例中,所述狭缝局部接触123的材料选择为钨。

[0115] 通过步骤S6及步骤S7,实现所述狭缝局部接触(C1ACS) 123从所述半导体衬底100的背面引出。所述狭缝局部接触(C1ACS) 123通过所述半导体衬底100、所述沟道连接层107与所述沟道层109电气连接,所述狭缝局部接触(C1ACS) 123再与阵列公共源极(ACS) 电气连接,进而实现阵列公共源极(ACS) 从所述半导体衬底100的背面引出,由于取消了将所述伪狭缝结构作为与阵列公共源极(ACS) 电气连接的正面引出通道,直接规避了正面狭缝结构(GL) 与狭缝局部接触(C1ACS) 123之间的对准问题,且由于所述狭缝局部接触(C1ACS) 123制备于所述叠层结构101的底部,叠层结构101在工艺过程中变形量相对较小,所以当在所述半导体衬底100的背面形成所述狭缝局部接触窗122时,两者之间的套准偏差较小,几乎可以忽略;另外,也规避了狭缝结构正面引出可能会引起阵列公共源极(ACS) 与上选择晶体管栅电极桥接的可能性。

[0116] 实施例二

[0117] 本实施例提供一种存储器件,该器件可采用上述实施例一的制备方法制备,但不限于实施例一所述的制备方法,只要能形成本器件结构即可。该器件结构所能达到的有益效果请参见实施例一,以下不再赘述。

[0118] 如图13所述,该结构包括:

[0119] 半导体衬底100;

[0120] 栅极叠层结构124,包括在所述半导体衬底100的正面上依次层叠的栅电极层116/电介质层104对;

[0121] 沟道结构105,贯穿所述栅极叠层结构124;

[0122] 局部电介质层112,形成于所述栅极叠层结构124上;

[0123] 沟道局部接触113,贯穿所述局部电介质层112并与所述沟道结构105接触;

[0124] 伪狭缝结构,包括贯穿所述局部电介质层112及所述栅极叠层结构124的栅极间隙115,及填充所述栅极间隙115的间隙绝缘层118;

[0125] 后段制程互连结构119及外围电路晶圆120,所述后段制程互连结构119与所述沟道局部接触113电连接,所述外围电路晶圆120与所述后段制程互连结构119键合;

[0126] 绝缘盖层121,形成于所述半导体衬底100的背面;

[0127] 狭缝局部接触123,形成于所述栅极间隙115正对区域并贯穿所述绝缘盖层121。

[0128] 作为示例,所述半导体衬底100包括N型掺杂半导体衬底或P型掺杂半导体衬底。

[0129] 作为示例,所述半导体衬底100的厚度介于90nm~110nm之间,所述绝缘盖层121的厚度介于280nm~320nm之间。

[0130] 作为示例,所述沟道结构105包括形成于沟道孔106底部的沟道连接层107、形成于沟道孔106侧壁的功能层108、形成于所述功能层108及沟道连接层107上的沟道层109。较佳地,所述沟道结构105还包括填充所述沟道孔106的沟道填充层110及沟道插塞111,所述沟道插塞111形成于所述沟道结构105的上端并与所述沟道层109接触。

[0131] 作为示例,所述栅极叠层结构124包括多个依次层叠的栅堆栈125,每个所述栅堆栈125均由所述栅电极层116/电介质层104对层叠而成。

[0132] 如上所述,本发明的存储器及其制备方法,具有以下有益效果:

[0133] 在形成存储器中存储串的沟道结构后,先制备与沟道结构连接的沟道局部接触(C1CH),后制备狭缝结构(GL),避免了制备狭缝结构对存储区域带来的应力影响,沟道结构与沟道局部接触之间不会有套刻偏差,最大限度地减少狭缝结构对C1CH与沟道结构的对准影响。

[0134] 本发明的狭缝结构(GL)通过在间隙中填充绝缘材料形成为伪狭缝结构,使其只起到在栅电极替换过程期间提供对刻蚀剂和化学前体的通路作用及将存储器阵列分成多个块的作用,而狭缝局部接触(C1ACS)形成于半导体衬底背面,实现从半导体衬底背面对阵列公共源极(ACS)的电气引出,取消了将该伪狭缝结构作为与阵列公共源极(ACS)电气连接的正面引出通道,直接规避了正面狭缝结构(GL)与狭缝局部接触(C1ACS)之间的对准问题,也规避了狭缝正面引出可能会引起阵列公共源极(ACS)与上选择晶体管栅电极桥接的可能性,同时本发明中的伪狭缝结构(GL)填充的是绝缘材料,其相对于多晶硅来说产生的应力很小,可进一步降低存储区域的变形。

[0135] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

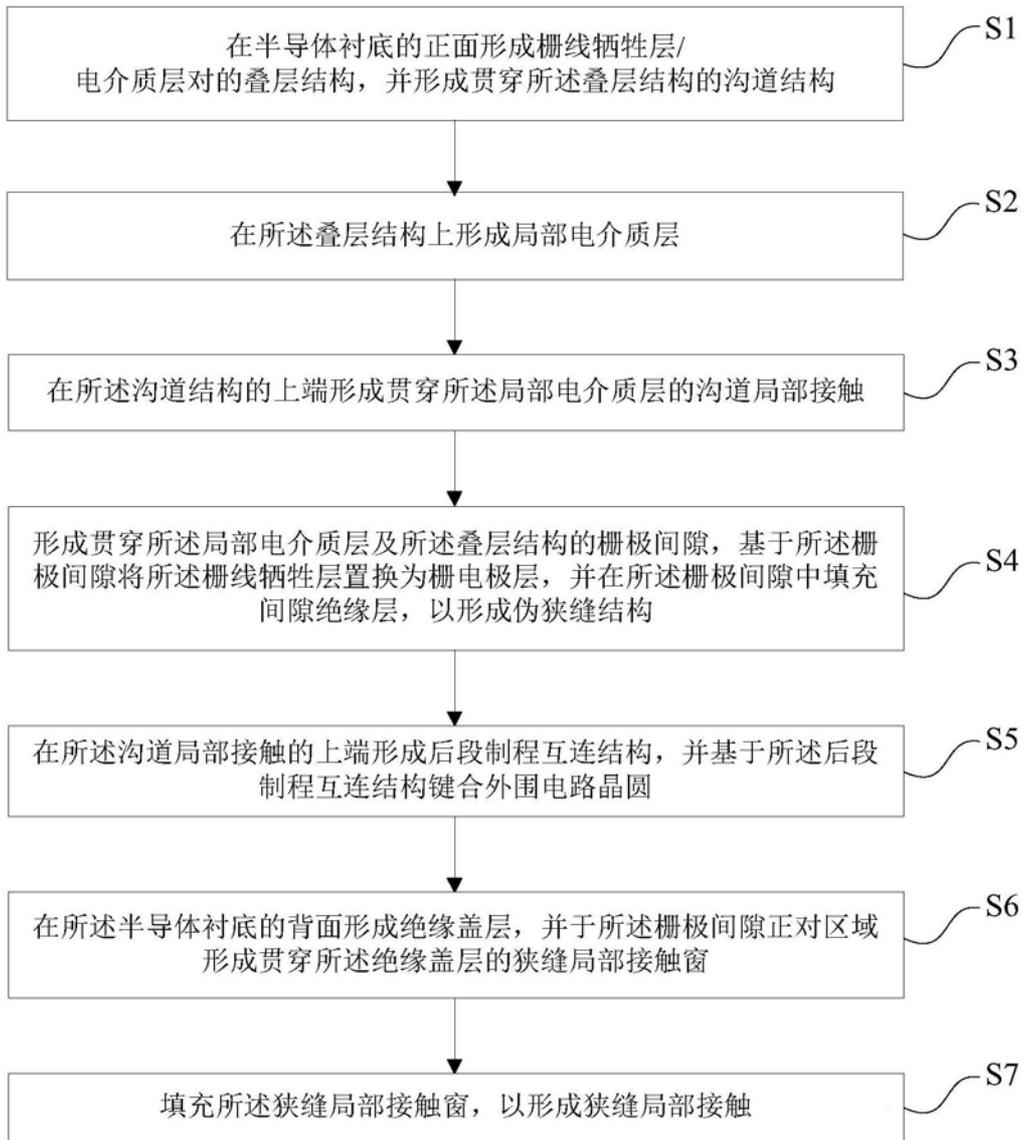


图1

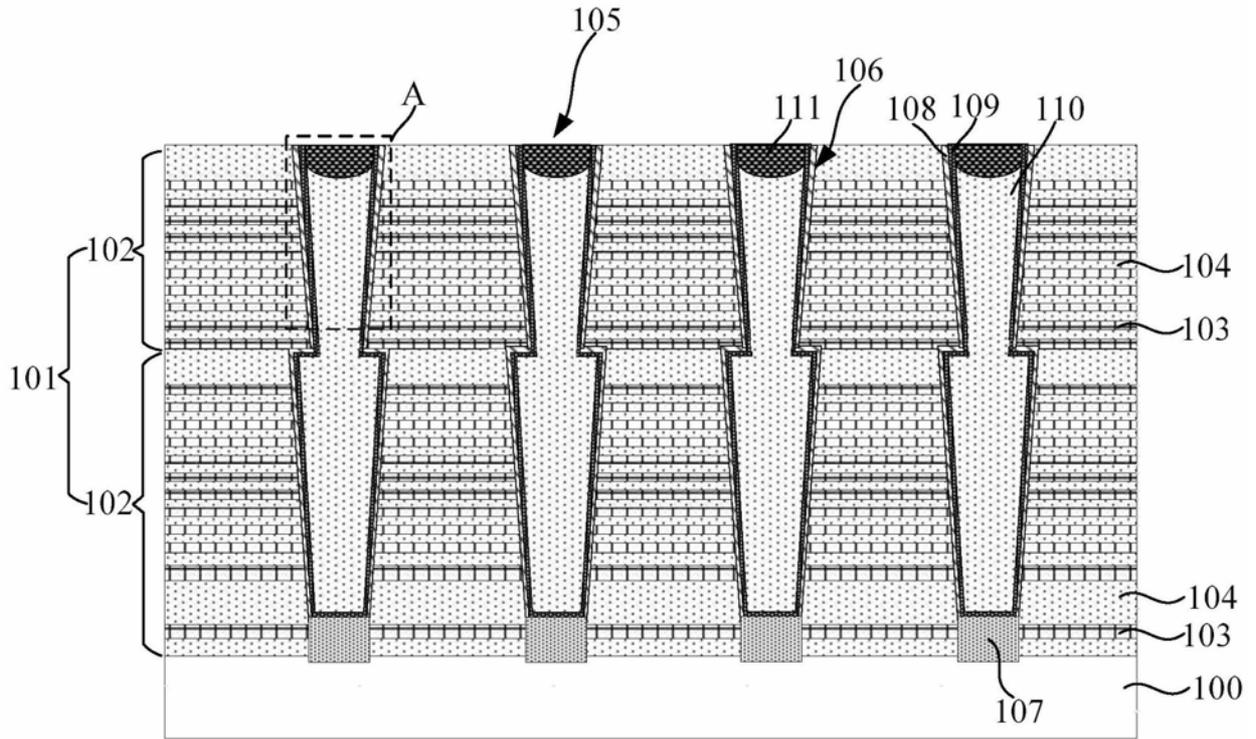


图2

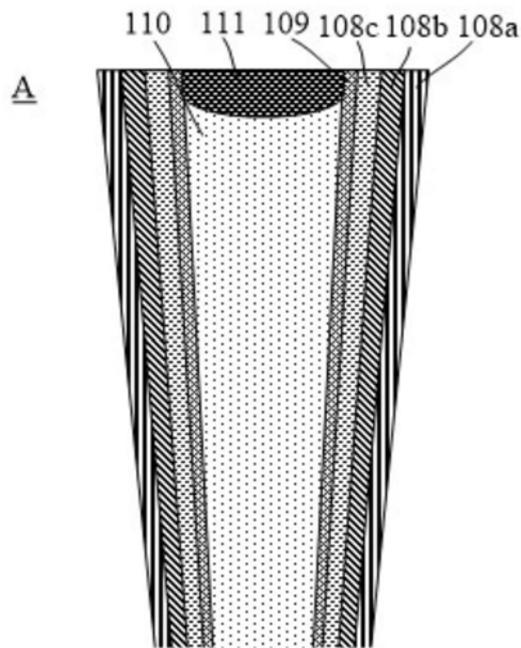


图3

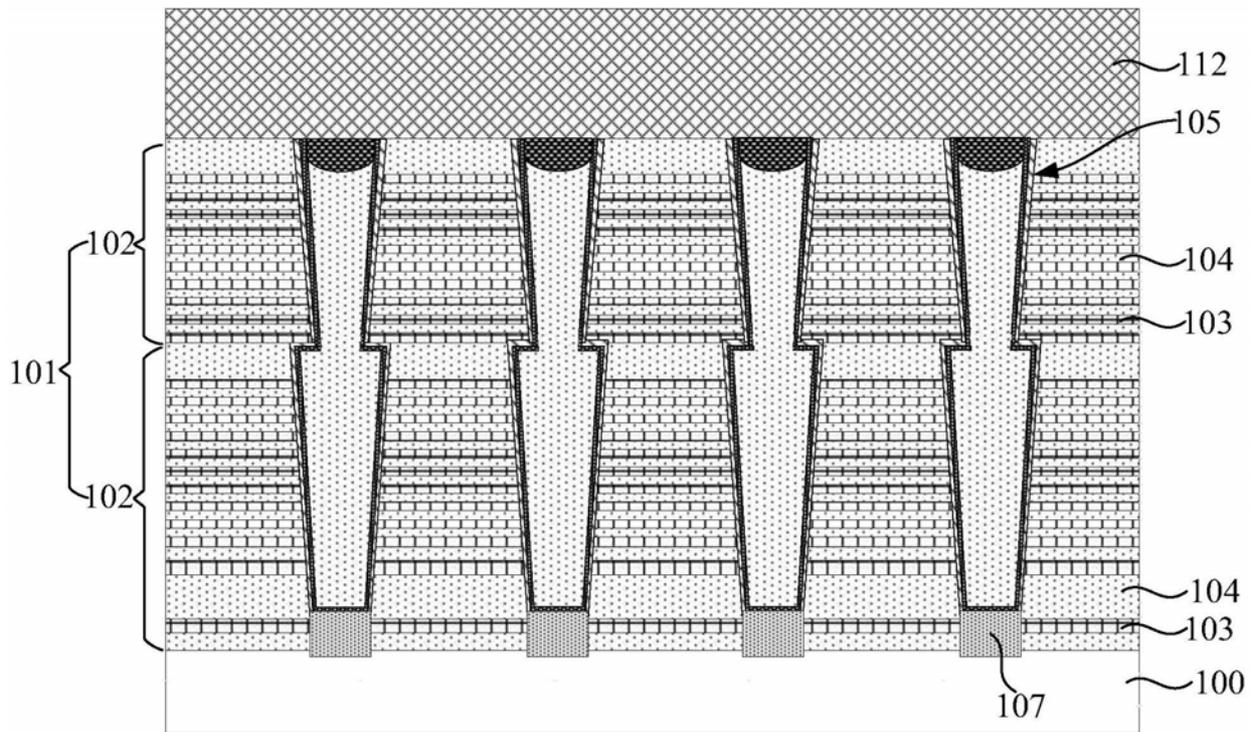


图4

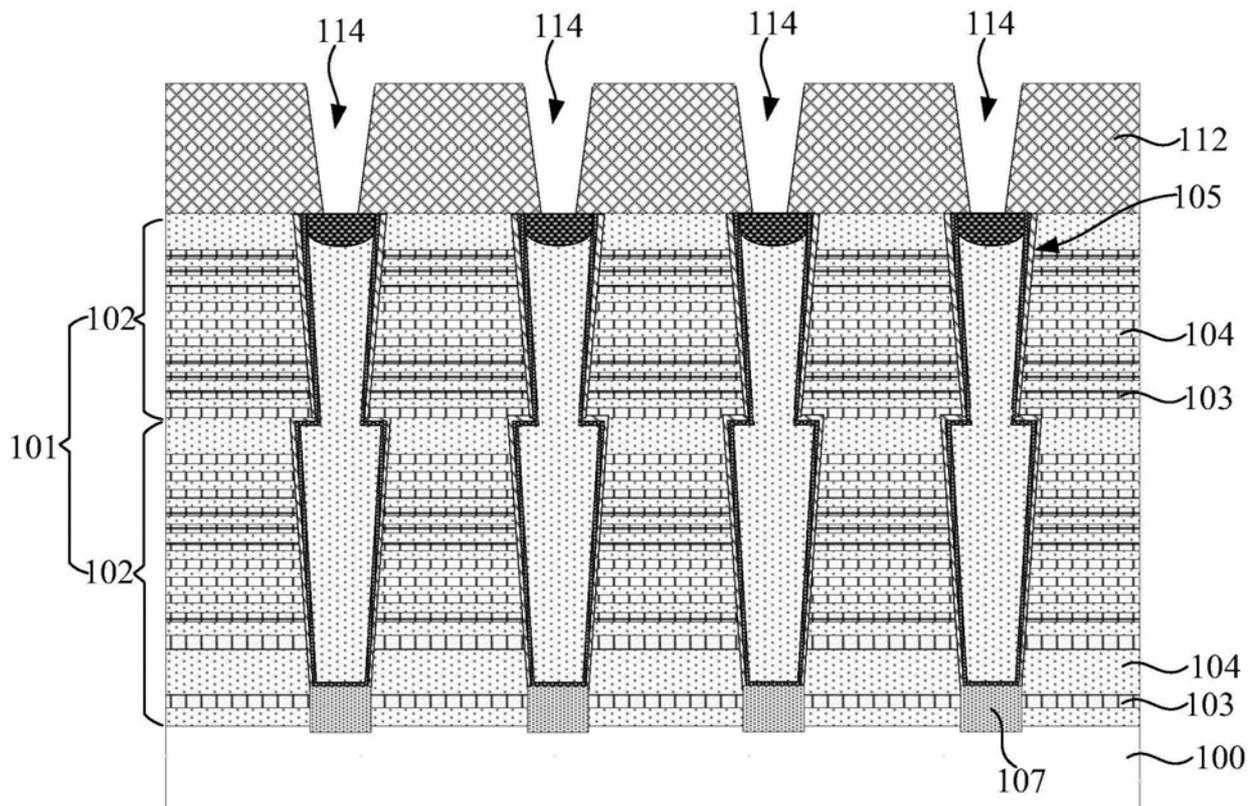


图5

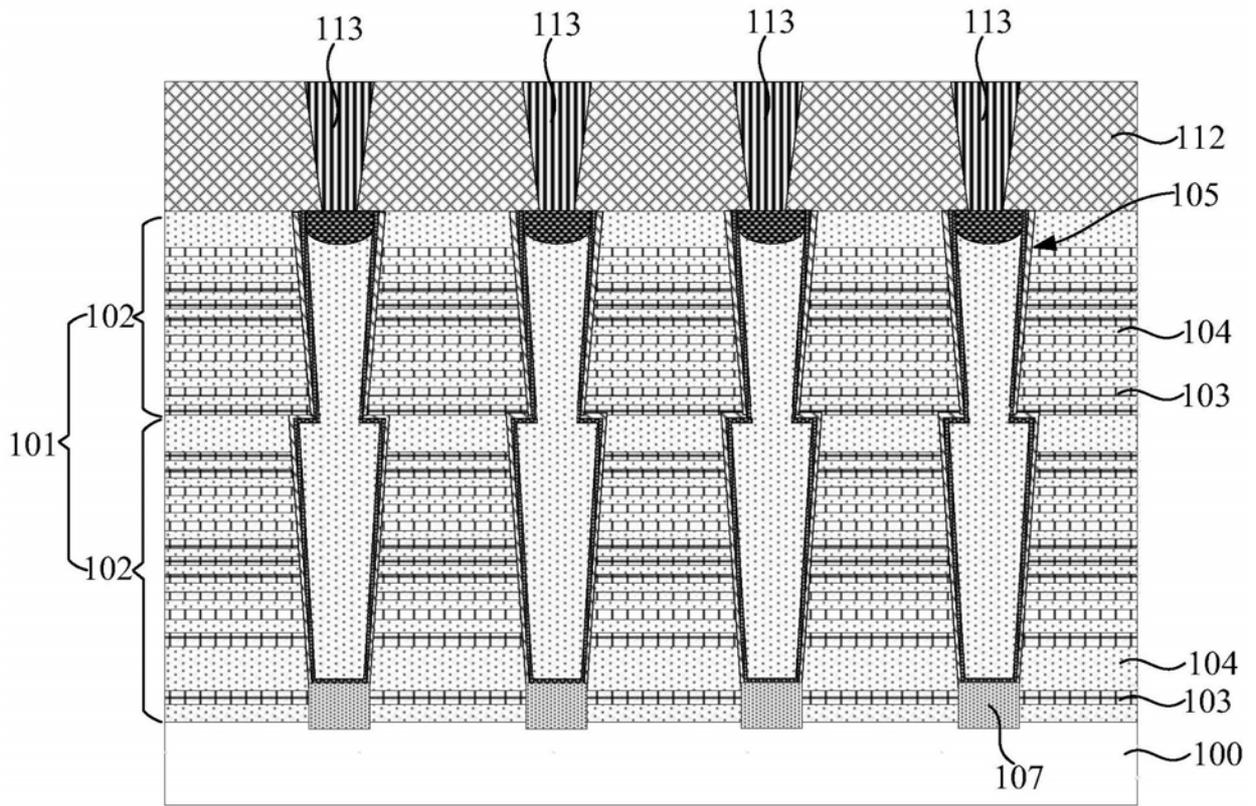


图6

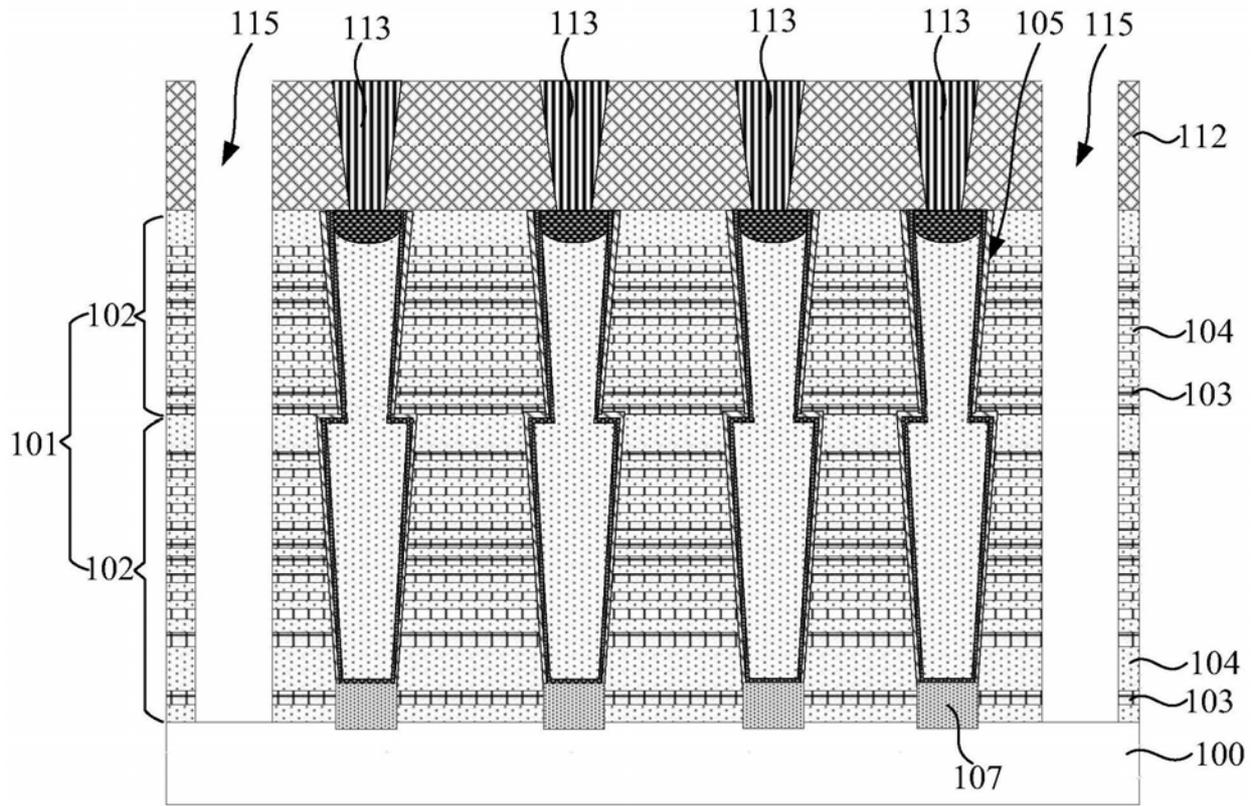


图7

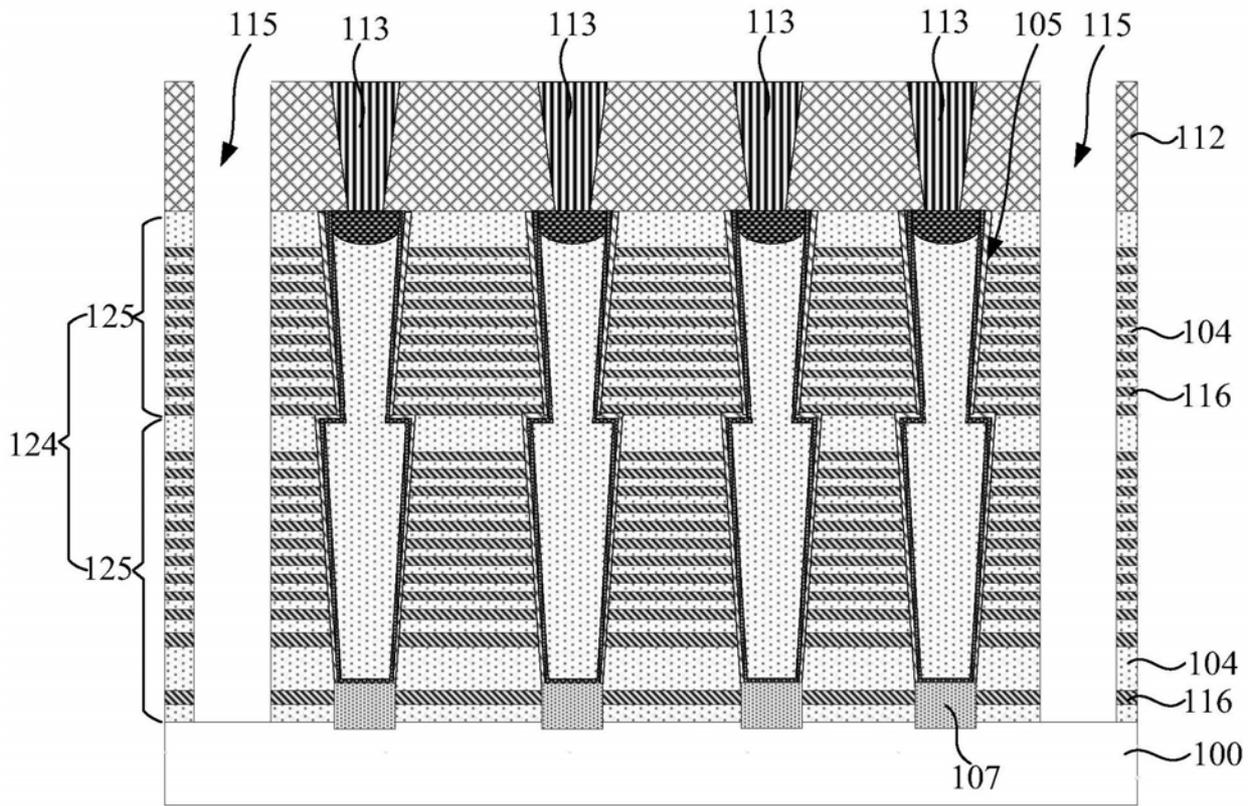


图8

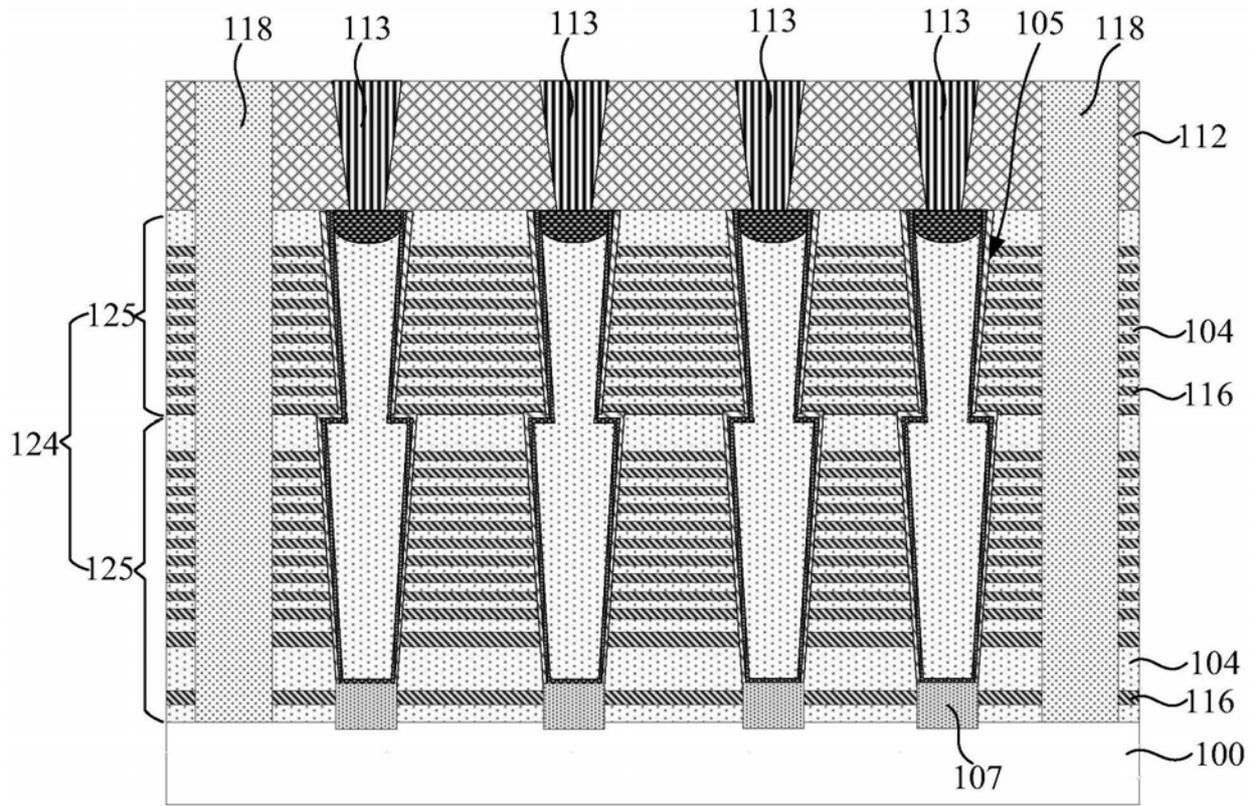


图9

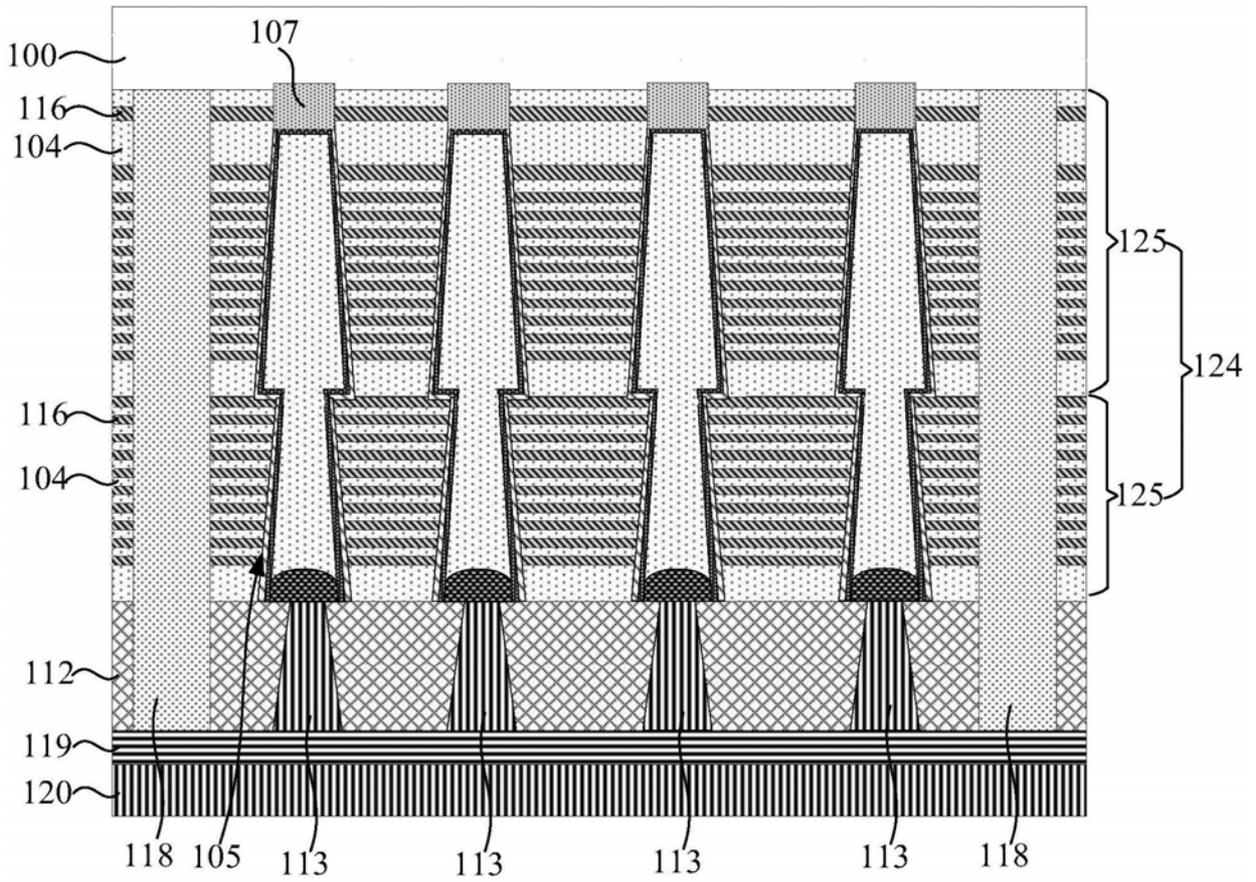


图10

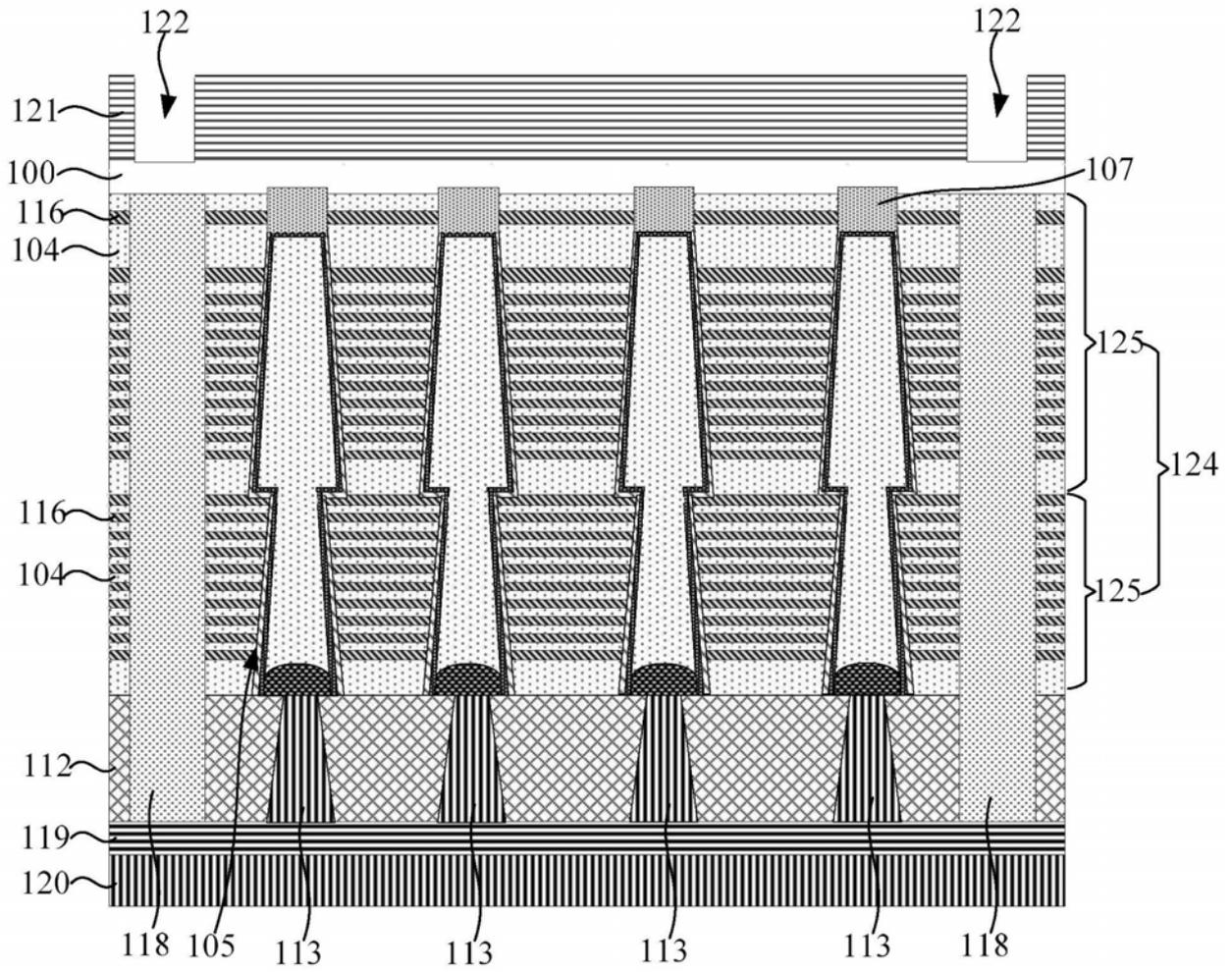


图12

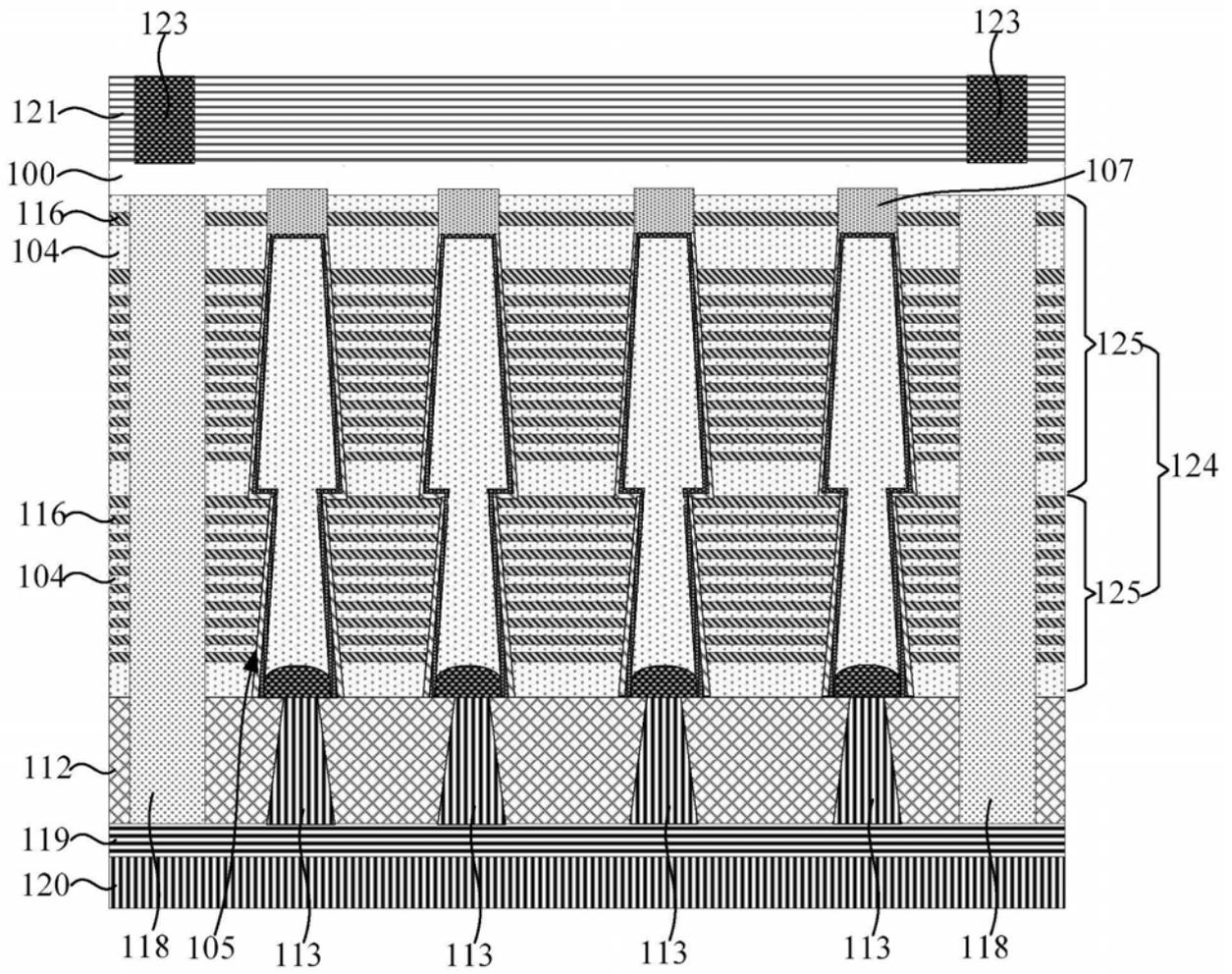


图13