

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
20. November 2003 (20.11.2003)

PCT

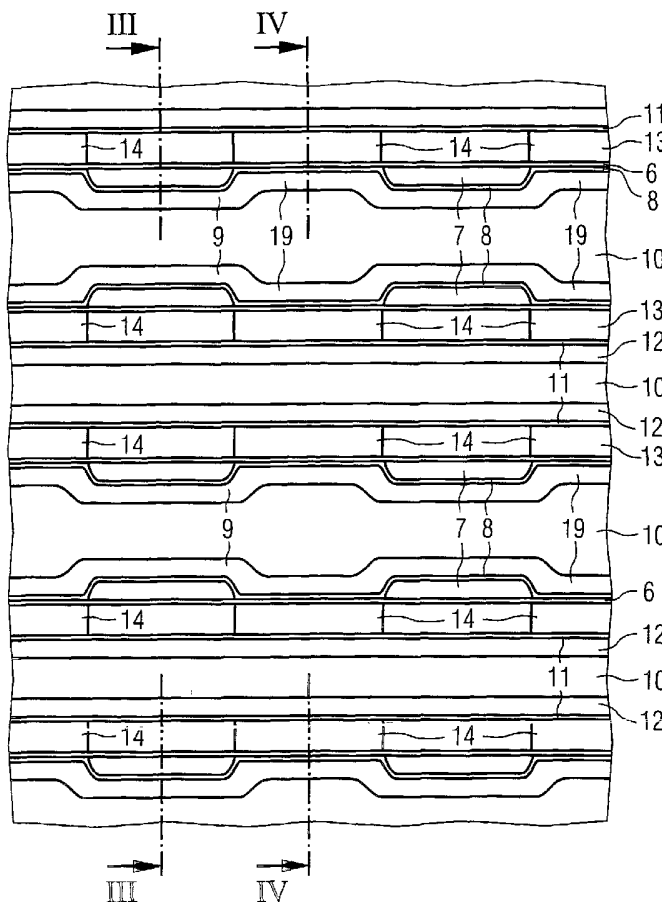
(10) Internationale Veröffentlichungsnummer  
WO 03/096425 A1

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 27/12, 27/115, 21/84, 21/8247, 21/28, 29/788
- (21) Internationales Aktenzeichen: PCT/DE03/01488
- (22) Internationales Anmeldedatum: 9. Mai 2003 (09.05.2003)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 102 20 922.7 10. Mai 2002 (10.05.2002) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): HOFMANN, Franz [DE/DE]; Herbergstr. 25 B, 80995 München (DE). SPECHT, Michael [DE/DE]; Schraudolphstr. 42, 80799 München (DE).
- (74) Anwalt: EPPING HERMANN FISCHER Patentanwalts-gesellschaft mbH; Ridlerstrasse 55, 80339 München (DE).
- (81) Bestimmungsstaaten (national): CN, JP, KR, SG, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
- Veröffentlicht:  
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: FLASH MEMORY CELL AND PRODUCTION METHOD

(54) Bezeichnung: FLASH-SPEICHERZELLE UND HERSTELLUNGSVERFAHREN



(57) Abstract: Disclosed are memory cells which are configured as trench transistors and each of which comprises a floating gate electrode (7) and a control gate electrode (9) on one wall of the trench above a channel region that is located between doped areas (14) for source and drain. Said memory cells are provided with a gate electrode (14) which is disposed in another trench and via which the channel region that is located within a semiconductor segment (13) between the trenches can additionally be triggered. The gate oxide (11) of the gate electrode (12) can be configured in a very thin manner such that a high reading flow is obtained in spite of good data management during triggering via the gate electrode.

(57) Zusammenfassung: Die als Grabentransistoren ausgebildeten Speicherzellen mit einer jeweiligen Floating-Gate-Elektrode (7) und einer Control-Gate-Elektrode (9) an einer Grabenwand über einem Kanalbereich zwischen dotierten Bereichen (14) für Source und Drain sind mit einer in einem weiteren Graben angeordneten Gate-Elektrode (12) versehen, über die der in einem Halbleitersteg (13) zwischen den Gräben vorhandene Kanalbereich zusätzlich angesteuert werden kann. Das Gate-Oxid (11) der Gate-Elektrode (12) kann sehr dünn ausgebildet sein, so dass bei Ansteuerung über die Gate-Elektrode trotz guter Datenhaltung ein hoher Lesestrom erzielt wird.



WO 03/096425 A1



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

## Beschreibung

## Flash-Speicherzelle und Herstellungsverfahren

5 Die vorliegende Erfindung betrifft eine Flash-Speicherzelle und eine Matrixanordnung derartiger Speicherzellen als Halbleiterspeicher sowie ein zugehöriges Herstellungsverfahren.

10 Eine Flash-Speicherzelle besitzt eine Transistorstruktur, bei der eine Floating-Gate-Elektrode und eine Control-Gate-Elektrode vorhanden sind, die von dem Halbleitermaterial und voneinander jeweils durch dünne Schichten eines Dielektrikums getrennt sind. Bei Anlegen einer geeigneten Spannung an die Control-Gate-Elektrode tunneln Ladungsträger aus dem Kanalbereich des Transistors durch das dünne Dielektrikum auf die  
15 Floating-Gate-Elektrode, wodurch die Speicherzelle programmiert wird. Da sich durch die Ladungsträger auf der Floating-Gate-Elektrode die Einsatzspannung des Transistors ändert, kann der programmierte Zustand von dem ursprünglichen Zustand  
20 unterschieden werden, d. h. die Zelle kann ausgelesen werden. Bei dem Vorgang des Löschens wird durch entgegengesetzt angelegte Potentiale die Ladung von der Floating-Gate-Elektrode entfernt, so dass der ursprüngliche (ungeladene) Zustand des Speichertransistors zumindest näherungsweise wieder erreicht  
25 wird. Bei den bisherigen Flash-Speicherzellen gibt es Probleme mit der Verkleinerung der Transistoren, da die Dicke des Tunneloxids zwischen dem Halbleitermaterial und der Floating-Gate-Elektrode aus Gründen einer ausreichenden Datenhaltung nicht unter 8 nm reduziert werden kann. Eine maßstabsgetreue  
30 Verkleinerung dieses Transistors bei gleich bleibender Dicke des Gate-Oxids ist nicht möglich.

Aufgabe der vorliegenden Erfindung ist es, eine Flash-Speicherzelle anzugeben, die trotz kleinerer Abmessungen eine  
35 herkömmlichen Flash-Speicherzellen vergleichbare Performance aufweist. Außerdem soll ein zugehöriges Herstellungsverfahren angegeben werden.

Diese Aufgabe wird mit der Flash-Speicherzelle mit den Merkmalen des Anspruchs 1 bzw. mit dem Verfahren zur Herstellung einer Flash-Speicherzelle mit den Merkmalen des Anspruchs 4  
5 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Die Flash-Speicherzelle weist einen Double-Gate-Transistor mit einem sehr dünnen Halbleitersteg auf, auf dessen einer  
10 Seite eine Floating-Gate-Elektrode sowie eine Control-Gate-Elektrode und auf der anderen Seite eine weitere Gate-Elektrode angeordnet sind. Bei dieser Anordnung wird die Transistoreigenschaft durch beide Gates bestimmt. Der zwischen den Elektroden vorhandene Halbleitersteg ist völlig an Ladungsträgern verarmt. Wenn die Gates getrennt angesteuert werden,  
15 wird das Kanalpotential von beiden Seiten des Halbleiterstegs unterschiedlich beeinflusst. Auf der einen Seite des Halbleiterstegs hat man eine Struktur eines gewöhnlichen Feldeffekttransistors, auf der anderen Seite einen Floating-Gate-Transistor, der über ein Control-Gate angesteuert wird. Die gewöhnliche Transistorstruktur ist für das Auslesen der Speicherzelle vorgesehen; seine Einsatzspannung kann über das elektrische Potential auf dem Gate des Floating-Gate-Transistors gesteuert werden.  
20

25

Es folgt eine genauere Beschreibung von Beispielen einer Flash-Speicherzelle und eines Herstellungsverfahrens anhand der beigefügten Figuren.

30 Die Figuren 1 bis 4 zeigen Querschnitte durch Zwischenprodukte von Flash-Speicherzellen nach verschiedenen Schritten eines bevorzugten Herstellungsverfahrens.

Die Figur 5 zeigt die Anordnung von Flash-Speicherzellen in  
35 Aufsicht.

Die Figur 6 zeigt ein Schaltungsdiagramm sowie eine Tabelle typischer elektrischer Potentiale zum Betrieb der Schaltung.

Es folgt die Beschreibung eines bevorzugten Ausführungsbeispiels der Flash-Speicherzelle anhand eines bevorzugten Herstellungsverfahrens. Die Figur 1 zeigt einen Querschnitt durch ein Zwischenprodukt nach den ersten Schritten des Verfahrens. Vorzugsweise wird von einem SOI-Substrat ausgegangen, das eine Bulk-Siliziumschicht 1, eine dünne Isolations-  
5 schicht 2 aus Siliziumdioxid und eine dünne Body-Siliziumschicht 3 umfasst. Vorzugsweise wird hier zunächst auf die Body-Siliziumschicht 3 eine Hilfsschicht 4 aufgebracht, die z. B. Siliziumnitrid sein kann. Diese Hilfsschicht 4 wird mit einer geeigneten Maskentechnik, z. B. einer Fotomaske oder  
10 einer Lackmaske so strukturiert, dass die verbleibenden Anteile als Maske zum Ätzen von parallel zueinander ausgerichteten Gräben 5 verwendet werden können. Die Gräben 5 werden so tief hergestellt, dass die Body-Siliziumschicht 3 von jedem Graben vollständig durchtrennt wird. Die Gräben werden  
15 vorzugsweise wie in der Figur 1 gezeigt bis in die Isolations-  
20 schicht 2 hinein hergestellt, damit man eine stärkere Kopplung zwischen der Floating-Gate-Elektrode und der Control-Gate-Elektrode erhält. Ein gegebenenfalls verwendeter Fotolack wird danach entfernt. Eine Mehrzahl parallel zueinander  
25 angeordneter Gräben 5 ist dafür vorgesehen, nicht nur eine Flash-Speicherzelle, sondern eine matrixartige Anordnung eines Speicherzellenfeldes herzustellen.

Anschließend wird die als Gate-Dielektrikum vorgesehene erste  
30 Dielektrikumschicht 6 hergestellt, vorzugsweise ein Oxid, insbesondere Siliziumdioxid, wozu das Halbleitermaterial oberflächlich in geringer Dicke oxidiert werden kann. Es ist hierbei nicht von Bedeutung, ob die erste Dielektrikumschicht 6 auch auf der Oberseite der Hilfsschicht 4 aufgebracht wird.  
35 Angrenzend an die erste Dielektrikumschicht 6 werden die Floating-Gate-Elektroden 7 hergestellt, indem zunächst das für die Floating-Gate-Elektroden 7 vorgesehene Material, vor-

zugsweise dotiertes Polysilizium, in die Gräben 5 abgeschieden wird. Das abgeschiedene Material wird in an sich bekannter Weise zu spacerartigen Anteilen an den Seitenwänden der Gräben 5 rückgeätzt. Mit einer weiteren Maske, die mit quer zu den Gräben verlaufenden Öffnungen versehen ist, werden Abschnitte zwischen Anteilen von der Größenordnung eines einzelnen Transistors weggeätzt, so dass die für die Floating-Gate-Elektroden vorgesehenen verbleibenden spacerartigen Anteile in der Längsrichtung der Gräben 5, d. h. senkrecht zur Zeichenebene der Figur 1, abschnittsweise unterbrochen sind.

Die nächsten Verfahrensschritte führen zu der Anordnung gemäß der Figur 2. Zunächst wird eine zweite Dielektrikumschicht 8 aufgebracht und strukturiert, die als Dielektrikum zwischen der Floating-Gate-Elektrode und der Control-Gate-Elektrode vorgesehen ist und vorzugsweise als ONO-Schicht (Oxid-Nitrid-Oxid-Schicht) aus aufeinander folgend  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  und  $\text{SiO}_2$  aufgebracht wird. Danach wird das Material der Control-Gate-Elektroden 9 abgeschieden, das vorzugsweise wieder dotiertes Polysilizium ist. Dieses Material wird ebenfalls rückgeätzt, allerdings nicht in der Längsrichtung der Gräben unterbrochen. Die Control-Gate-Elektroden der einzelnen Speicherzellen bleiben somit längs der Gräben untereinander elektrisch leitend verbunden, so dass jeweilige Wortleitungen des Speicherzellenfeldes gebildet sind.

Die Gräben werden dann mit einer Grabenfüllung 10 aus einem elektrisch isolierenden Material aufgefüllt, z. B. mit Siliziumdioxid. Bevor die Grabenfüllung eingebracht wird, kann das Polysilizium an den Enden der Gräben mit einer weiteren Maskentechnik zumindest teilweise entfernt werden, um die einzelnen Wortleitungen voneinander zu trennen. Die Grabenfüllung wird auf der Oberseite z. B. mittels CMP (Chemical Mechanical Polishing) planarisiert. Mit einem weiteren Ätzschritt wird die Hilfsschicht 4 so weit entfernt, dass nur an den Flanken der Grabenfüllung 10 jeweils ein restlicher Anteil der Hilfsschicht als Spacer stehen bleibt.

Gemäß dem in der Figur 3 dargestellten Querschnitt werden unter Verwendung der restlichen Anteile der Hilfsschicht 4 als Maske weitere Gräben 15 in die Body-Siliziumschicht 3 geätzt, die parallel zwischen den bereits vorhandenen und gefüllten Gräben 5 verlaufen. Die Tiefe der weiteren Gräben 15 reicht nur bis zur Oberseite der Isolationsschicht (2). An den Seitenwänden dieser weiteren Gräben 15 wird dann jeweils eine dritte Dielektrikumschicht 11, z. B. aus Siliziumdioxid, hergestellt. Daran angrenzend werden Gate-Elektroden 12 hergestellt, vorzugsweise, indem wieder dotiertes Polysilizium abgeschieden und zu spacerartigen Anteilen strukturiert wird.

Die zwischen den Gräben verbliebenen Halbleiterstege 13 sind so bemessen, dass es möglich ist, die Ladungsträger in dem Halbleitermaterial der Halbleiterstege 13 von beiden Seiten durch elektrische Potentiale auf den Control-Gate-Elektroden 9 und den Gate-Elektroden 12 zu steuern. Das für die Gate-Elektroden 12 vorgesehene Material wird an den Enden der weiteren Gräben 15 weggeätzt, so dass auch hier die Gate-Elektroden 12, die an jeweils einer Seitenwand eines weiteren Grabens 15 aufeinander folgen, elektrisch leitend untereinander verbunden sind und voneinander getrennte weitere Wortleitungen bilden, die für das Lesen der Speicherzellen vorgesehen sind. Auch die weiteren Gräben werden mit einer Grabenfüllung 10 aufgefüllt, die anschließend panarisiert wird.

Die Figur 4 zeigt einen Querschnitt durch die Anordnung im Bereich zwischen den Floating-Gate-Elektroden, wo sich bei diesem Ausführungsbeispiel die zweite Dielektrikumschicht 8 direkt auf der ersten Dielektrikumschicht 6 befindet. Die Zwischenabschnitte 19 der die Control-Gate-Elektroden 9 miteinander verbindenden Wortleitungen sind nahe den Seitenwänden der Gräben angeordnet. In den Bereichen zwischen den Floating-Gate-Elektroden 7 werden die Anteile der Hilfsschicht entfernt, und durch die entstehenden Öffnungen hindurch werden Implantationen von Dotierstoff in die Halblei-

terstege 13 eingebracht, um dotierte Bereiche 14 für Source und Drain auszubilden. Diese dotierten Bereiche 14 werden durch die Öffnungen hindurch kontaktiert, indem vorzugsweise zunächst eine Diffusionsbarriere 16 aus Titan und/oder Titan-  
5 nitrid aufgebracht wird und anschließend Kontaktlochfüllungen 17 z. B. aus Wolfram in an sich bekannter Weise eingebracht werden. Die jeweils auf einer Linie, die quer zu der Längs-  
richtung der Gräben verläuft, vorhandenen Source- und Drain-  
Bereiche werden mit einer streifenförmig strukturierten Bit-  
10 leitung 18 auf der Oberseite elektrisch leitend miteinander verbunden.

Die Figur 5 zeigt die Anordnung der Flash-Speicherzellen in einer Speicherzellenmatrix in Aufsicht. In der Figur 5 sind  
15 die Schnittpositionen der Querschnitte der Figuren 3 und 4 angegeben. Die Bezugszeichen entsprechen den Bezugszeichen der vorhergehenden Figuren. Es ist hier erkennbar, dass die Floating-Gate-Elektroden 7 jeweils an den Wänden der zwischen  
zwei aufeinander folgenden dotierten Bereichen 14 liegenden  
20 Anteile der Halbleiterstege 13 über den dort vorgesehenen Kanalbereichen angeordnet sind. Die Control-Gate-Elektroden 9 sind durch die Zwischenabschnitte 19 elektrisch leitend zu  
Wortleitungen miteinander verbunden. Auf der jeweils der  
Floating-Gate-Elektrode 7 gegenüberliegenden Seite eines  
25 Halbleitersteges 13 ist eine zugehörige Gate-Elektrode 12 für beidseitige Ansteuerung des Kanalbereichs angeordnet. Die  
Bitleitungen, die in dieser Aufsicht nicht eingezeichnet  
sind, verlaufen auf der Oberseite in parallelen Streifen quer  
zu der Längsrichtung der Gräben, also in der Figur 5 jeweils  
30 in senkrechten Streifen.

In der Figur 6 ist das Schaltschema für diese Speicherzellenmatrix dargestellt. Jede Speicherzelle ist durch einen Transistor mit doppeltem Gate gebildet. Die Source- und Drain-  
35 Bereiche sind mit den in der Figur 6 senkrecht verlaufenden Bitleitungen spaltenweise miteinander verbunden. Statt einer Wortleitung sind hier zeilenweise jeweils zwei Ansteuerlei-



tungen vorhanden, und zwar jeweils eine Leitung CG-Gate zur Ansteuerung der Control-Gate-Elektroden und jeweils eine Ansteuerleitung Tr-Gate zur Ansteuerung der den Floating-Gate-Elektroden gegenüberliegenden Gate-Elektroden der gewöhnlichen Transistorstrukturen.

Oberhalb des Schaltungsschemas der Figur 6 ist eine Tabelle mit geeigneten und typischen Spannungswerten für das Programmieren (Prog), das Löschen (Erase) und das Lesen (Read) der Speicherzellen angegeben. Die dort eingetragenen Spannungswerte liegen jeweils am Drain-Bereich, an der Control-Gate-Elektrode, an der Gate-Elektrode der gewöhnlichen Transistorstruktur beziehungsweise am Source-Bereich an. Die Speicherzellenmatrix stellt eine "Virtual-Ground"-Architektur dar.

Die Aufteilung der Flash-Speicherzellen in einen Lesetransistor, für den die Gate-Elektroden 12 vorgesehen sind, und in einen Programmier-/Lösch-Transistor, für den die Control-Gate-Elektroden 9 vorgesehen sind, hat den Vorteil, dass der Lese-Transistor mit einem besonders dünnen Gate-Oxid (dritte Dielektrikumsschicht 11) realisiert werden kann. Der Lese-Strom ist beim Auslesen der Speicherzellen über die Tr-Gate-Leitung wesentlich größer als der Lesestrom beim Auslesen herkömmlicher Flash-Speicherzellen, wodurch eine deutliche Verkleinerung der Speicherzellen ermöglicht wird.

## Bezugszeichenliste

	1	Bulk-Siliziumschicht
	2	Isolationsschicht
5	3	Body-Siliziumschicht
	4	Hilfsschicht
	5	Graben
	6	erste Dielektrikumschicht
	7	Floating-Gate-Elektrode
10	8	zweite Dielektrikumschicht
	9	Control-Gate-Elektrode
	10	Grabenfüllung
	11	dritte Dielektrikumschicht
	12	Gate-Elektrode
15	13	Halbleitersteg
	14	dotierter Bereich
	15	weiterer Graben
	16	Diffusionsbarriere
	17	Kontaktlochfüllung
20	18	Bitleitung

## Patentansprüche

1. Flash-Speicherzelle mit  
einem an einer Oberseite eines Halbleiterkörpers oder einer  
5 Halbleiterschicht (3) ausgebildeten Graben (5),  
einer in dem Graben (5) angeordneten, allseits begrenzten  
Floating-Gate-Elektrode (7), die von dem Halbleitermaterial  
einer Seitenwand des Grabens durch eine erste Dielektrikum-  
schicht (6) getrennt ist,  
10 einer in dem Graben angeordneten Control-Gate-Elektrode (9),  
die von der Floating-Gate-Elektrode (7) durch eine zweite  
Dielektrikumschicht (8) getrennt und mit einer elektrischen  
Zuleitung versehen ist, und  
in dem Halbleitermaterial der Seitenwand in einer Längsrich-  
15 tung des Grabens in einem Abstand zueinander beidseits der  
Floating-Gate-Elektrode (7) angeordneten dotierten Bereichen  
(14) für Source und Drain, die mit Kontaktierungen versehen  
und mit einer jeweiligen Bitleitung (18) elektrisch leitend  
verbunden sind,  
20 d a d u r c h g e k e n n z e i c h n e t , dass  
ein zu dem Graben (5) parallel angeordneter weiterer Graben  
(15) vorhanden ist, der in geringem Abstand zu der mit der  
Floating-Gate-Elektrode (7) versehenen Seitenwand angeordnet  
ist, so dass zwischen den Gräben (5, 15) ein schmaler Halb-  
25 leitersteg (13) vorhanden ist, und  
in dem weiteren Graben (15) auf einer der Floating-Gate-  
Elektrode (7) gegenüberliegenden Seitenwand des Halbleiter-  
steges (13) eine Gate-Elektrode (12) angeordnet ist, die von  
dem Halbleitermaterial durch eine dritte Dielektrikumschicht  
30 (11) getrennt und mit einer elektrischen Zuleitung versehen  
ist.
2. Anordnung von Flash-Speicherzellen nach Anspruch 1, bei  
der  
35 die Flash-Speicherzellen eine Matrixanordnung eines Halblei-  
terspeichers in Virtual-Ground-Architektur bilden,

die dotierten Bereiche (14) für Source bzw. Drain jeweils in einer Spalte der Matrixanordnung elektrisch leitend miteinander verbunden sind,  
die Control-Gate-Elektroden (9), die jeweils in einer Zeile  
5 der Matrixanordnung in demselben Graben (5) vorhanden sind, elektrisch leitend miteinander verbunden sind und  
die Gate-Elektroden (12), die den Floating-Gate-Elektroden (7) einer Zeile von elektrisch leitend miteinander verbundenen Control-Gate-Elektroden (9) gegenüberliegen, ebenfalls  
10 elektrisch leitend miteinander verbunden sind.

3. Anordnung nach Anspruch 2, bei der jeweils beide Seitenwände eines Grabens (5) mit Floating-Gate-Elektroden (7) und Control-Gate-Elektroden (9) versehen  
15 sind und  
zu beiden Seiten eines jeweiligen Grabens weitere Gräben (15) mit jeweiligen, den betreffenden Floating-Gate-Elektroden gegenüberliegend angeordneten Gate-Elektroden (12) vorhanden  
sind.

20 4. Verfahren zur Herstellung einer Flash-Speicherzelle, bei dem  
in einem ersten Schritt an einer Oberseite eines Halbleiterkörpers oder einer Halbleiterschicht (3) ein Graben (5) hergestellt wird,  
25 in einem zweiten Schritt zumindest auf eine Seitenwand des Grabens (5) eine als Gate-Dielektrikum vorgesehene erste Dielektrikumsschicht (6) aufgebracht wird und darauf eine Gate-Elektrode (7) aufgebracht und strukturiert wird,  
30 in einem dritten Schritt eine zweite Dielektrikumschicht (8) auf die Floating-Gate-Elektrode (7) aufgebracht wird und darauf eine Control-Gate-Elektrode (9) aufgebracht wird,  
in einem vierten Schritt der Graben mit einer elektrisch isolierenden Grabenfüllung (10) aufgefüllt wird,  
35 d a d u r c h g e k e n n z e i c h n e t , dass  
in einem fünften Schritt auf jeder mit einer Floating-Gate-Elektrode (7) versehenen Seite des Grabens in geringem Ab-

stand und parallel zu dem Graben ein weiterer Graben (15) hergestellt wird,  
in einem sechsten Schritt in dem weiteren Graben auf einer der Floating-Gate-Elektrode gegenüberliegenden Seite eine  
5 dritte Dielektrikumschicht (11) und darauf eine Gate-Elektrode (12) aufgebracht werden und  
in einem siebten Schritt der weitere Graben (15) mit einer elektrisch isolierenden Grabenfüllung (10) aufgefüllt wird  
und eine Implantation von Dotierstoff zur Ausbildung dotierter  
10 Bereiche (14) für Source und Drain abschnittsweise in das Halbleitermaterial zwischen den Gräben eingebracht wird.

5. Verfahren nach Anspruch 4, bei dem  
vor dem ersten Schritt auf die Oberseite des Halbleiterkörpers oder der Halbleiterschicht (3) eine Hilfsschicht (4)  
15 aufgebracht wird und  
diese Hilfsschicht (4) zur Herstellung des Grabens (5) und des weiteren Grabens (15) jeweils als Maske strukturiert und vor der Implantation von Dotierstoff zumindest teilweise entfernt  
20 wird.

6. Verfahren nach Anspruch 1 oder 2, bei dem  
in dem ersten Schritt von einem SOI-Substrat ausgegangen wird, das eine Bulk-Siliziumschicht (1), eine dünne Isolationsschicht (2) aus Siliziumdioxid und eine dünne Body-Siliziumschicht (3) umfasst, und  
25 der Graben (5) bis in die Isolationsschicht (2) hinein hergestellt wird.

FIG 1

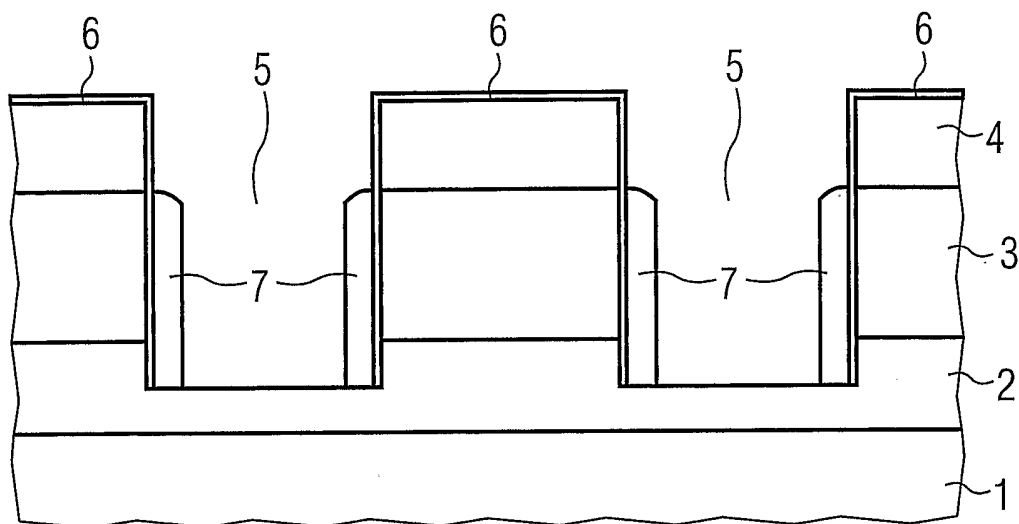


FIG 2

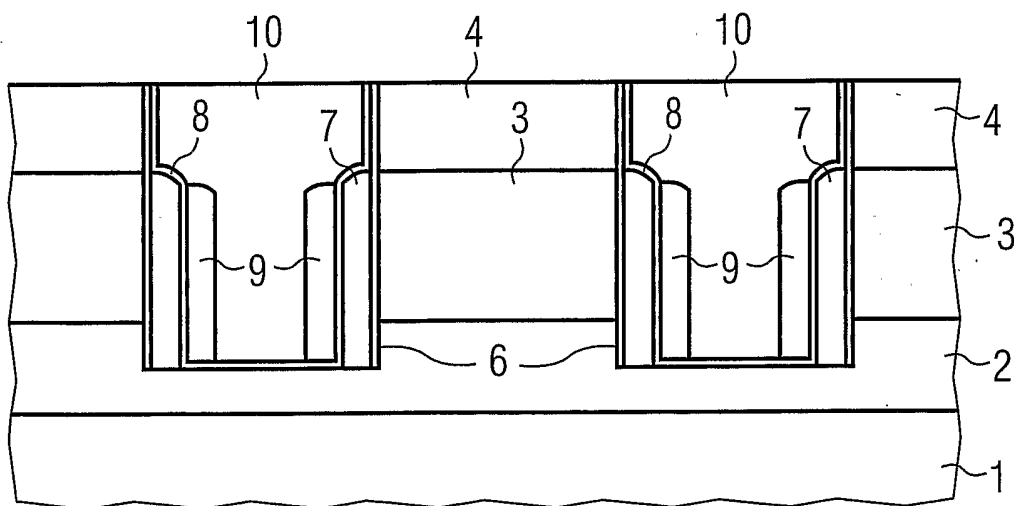


FIG 3

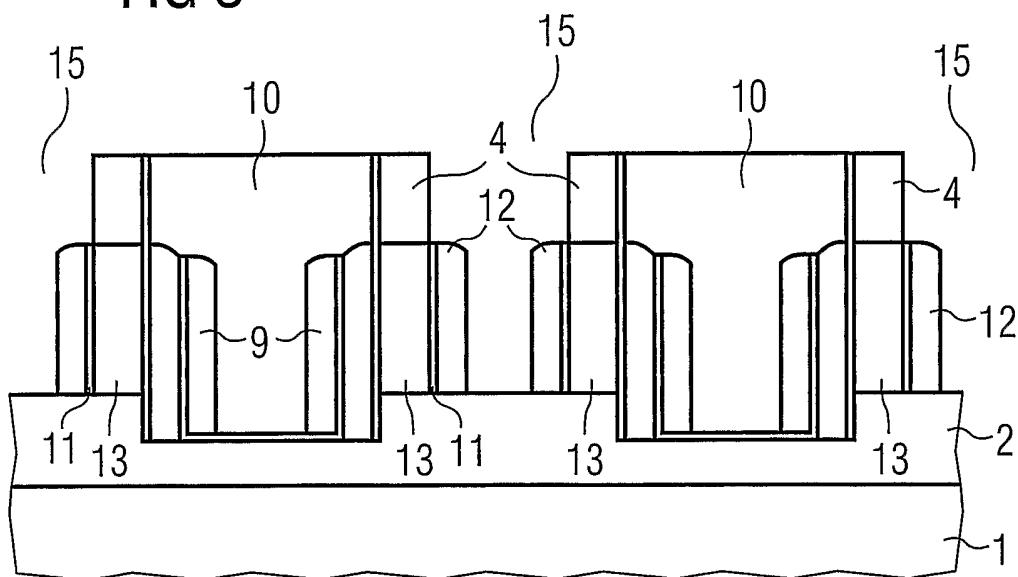


FIG 4

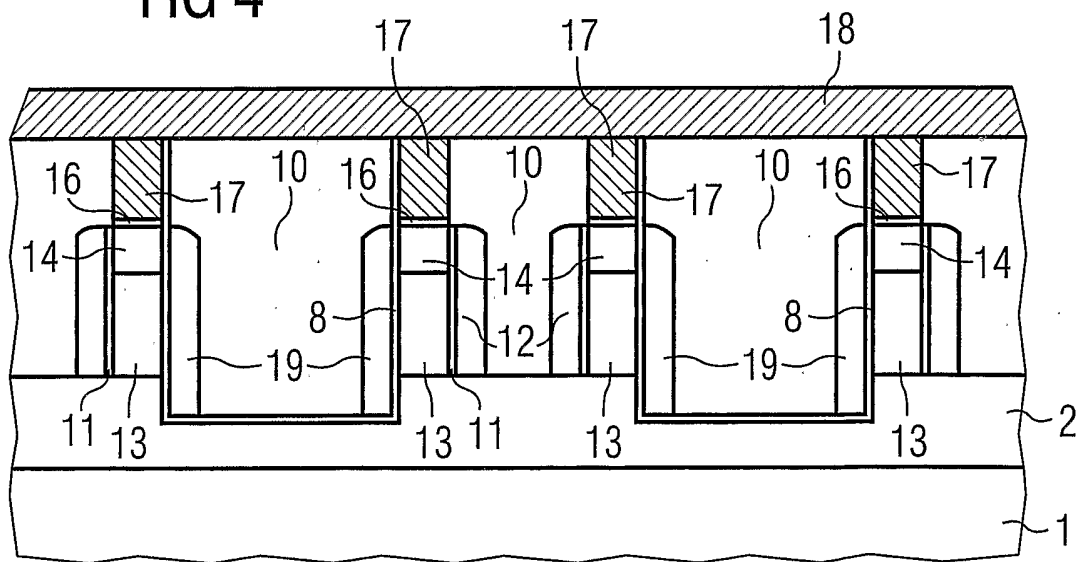


FIG 5

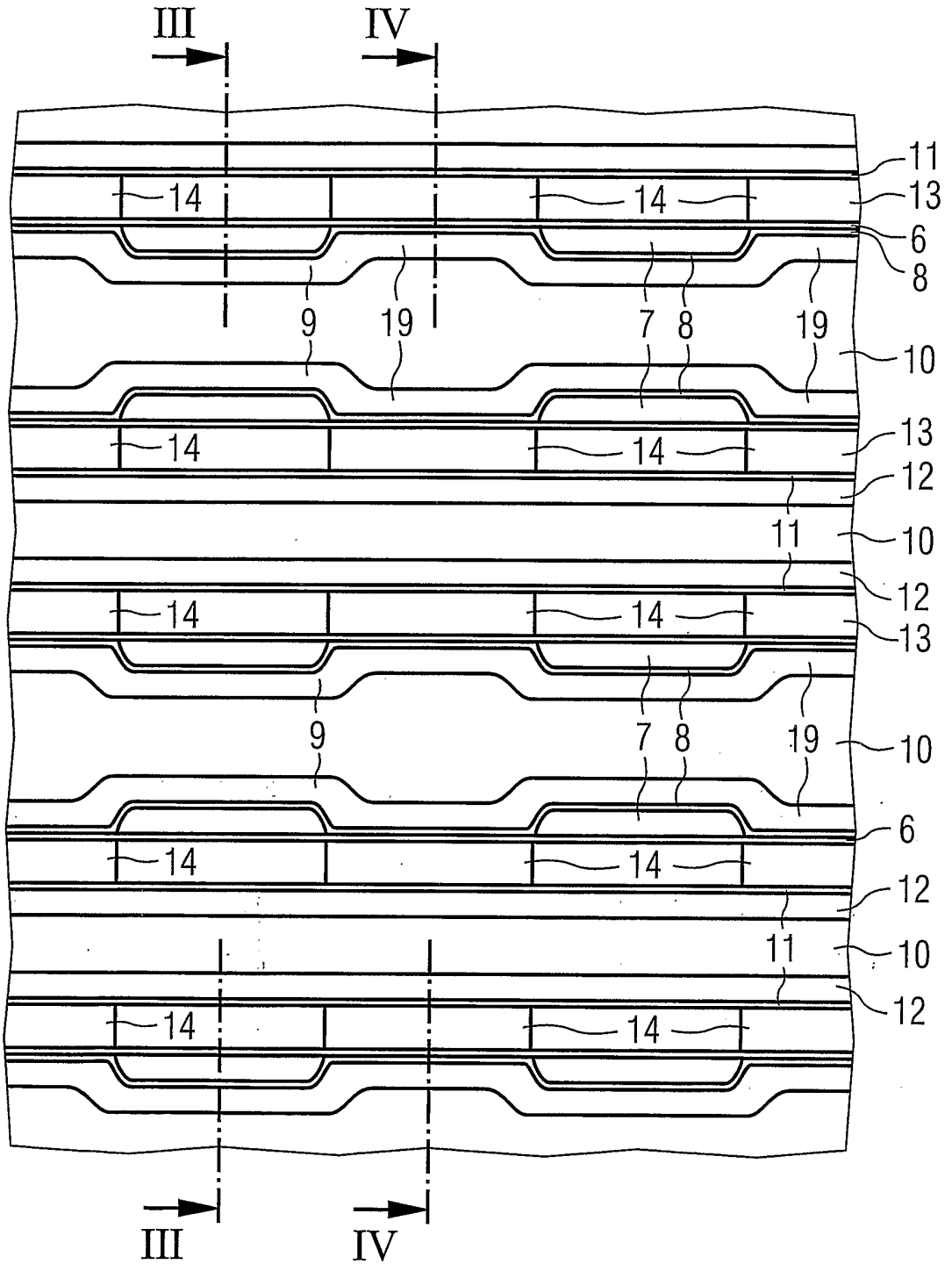
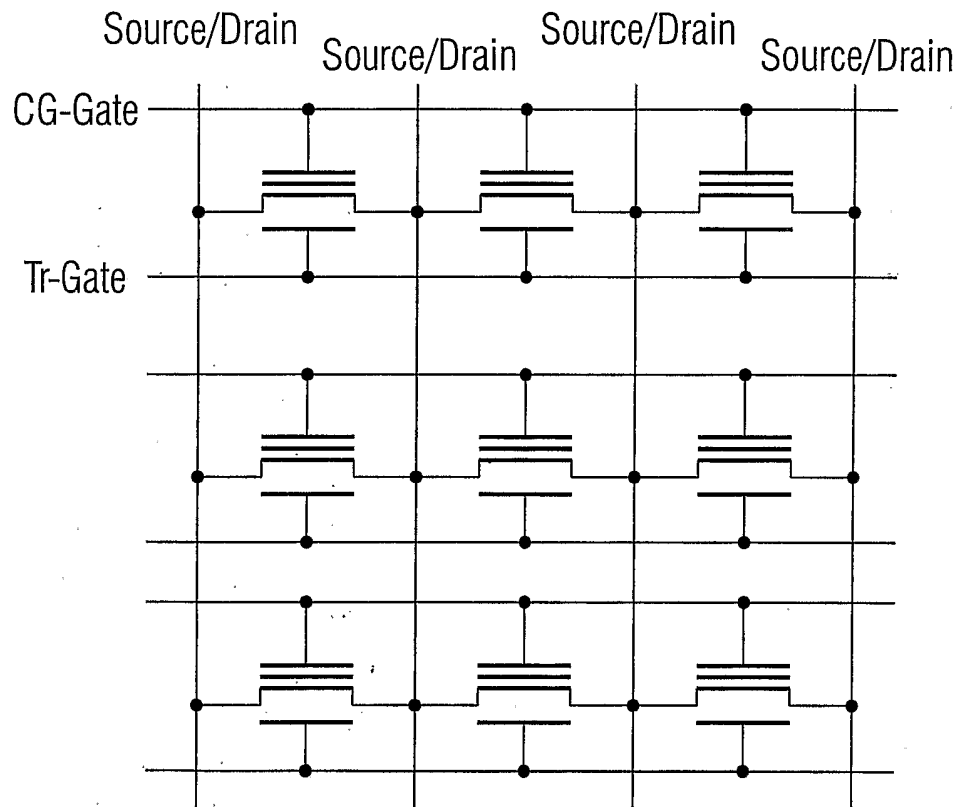




FIG 6

	Drain	CG-Gate	Tr-Gate	Source
Prog	3 V	8 V	0	0
Erase	0	-15 V	0	0 V
Read	1 V	2.5 V	2 V	0



## INTERNATIONAL SEARCH REPORT

Internat	Application No
	PCT/DE 03/01488

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L27/12 H01L27/115 H01L21/84 H01L21/8247 H01L21/28  
H01L29/788

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 411 905 A (WU BEN S ET AL) 2 May 1995 (1995-05-02) the whole document -----	1-6
A	US 5 751 037 A (AOZASA HIROSHI ET AL) 12 May 1998 (1998-05-12) column 8, line 45 - column 14, line 35; figures 4-9f -----	1-6
A	US 5 973 356 A (FORBES LEONARD ET AL) 26 October 1999 (1999-10-26) abstract -----	1-6

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&\* document member of the same patent family

Date of the actual completion of the international search

24 September 2003

Date of mailing of the international search report

02/10/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C.

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Internati Application No

PCT/DE 03/01488

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5411905	A	02-05-1995	DE	19511846 A1	02-11-1995
			JP	2921653 B2	19-07-1999
			JP	7302854 A	14-11-1995
			KR	167467 B1	15-01-1999
US 5751037	A	12-05-1998	JP	3424427 B2	07-07-2003
			JP	9097851 A	08-04-1997
US 5973356	A	26-10-1999	US	6238976 B1	29-05-2001
			US	2001029077 A1	11-10-2001

INTERNATIONALER RECHERCHENBERICHT

Internat is Aktenzeichen  
PCT/DE 03/01488

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L27/12 H01L27/115 H01L21/84 H01L21/8247 H01L21/28  
H01L29/788

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7. H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 411 905 A (WU BEN S ET AL) 2. Mai 1995 (1995-05-02) das ganze Dokument -----	1-6
A	US 5 751 037 A (AOZASA HIROSHI ET AL) 12. Mai 1998 (1998-05-12) Spalte 8, Zeile 45 - Spalte 14, Zeile 35; Abbildungen 4-9f -----	1-6
A	US 5 973 356 A (FORBES LEONARD ET AL) 26. Oktober 1999 (1999-10-26) Zusammenfassung -----	1-6

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\* & \* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. September 2003

Absendedatum des internationalen Recherchenberichts

02/10/2003

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C.

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internatio Aktenzeichen

PCT/DE 03/01488

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5411905	A 02-05-1995	DE	19511846 A1	02-11-1995
		JP	2921653 B2	19-07-1999
		JP	7302854 A	14-11-1995
		KR	167467 B1	15-01-1999
US 5751037	A 12-05-1998	JP	3424427 B2	07-07-2003
		JP	9097851 A	08-04-1997
US 5973356	A 26-10-1999	US	6238976 B1	29-05-2001
		US	2001029077 A1	11-10-2001