

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4984759号  
(P4984759)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.

F I

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 0 2 A

請求項の数 8 (全 19 頁)

<p>(21) 出願番号 特願2006-240340 (P2006-240340)</p> <p>(22) 出願日 平成18年9月5日(2006.9.5)</p> <p>(65) 公開番号 特開2008-65881 (P2008-65881A)</p> <p>(43) 公開日 平成20年3月21日(2008.3.21)</p> <p>審査請求日 平成21年6月25日(2009.6.25)</p>	<p>(73) 特許権者 308014341 富士通セミコンダクター株式会社 神奈川県横浜市港北区新横浜二丁目10番 23</p> <p>(74) 代理人 100090273 弁理士 園分 孝悦</p> <p>(72) 発明者 植竹 俊行 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内</p> <p>審査官 園田 康弘</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

メモリセルと、  
前記メモリセルに接続するワード線と、  
前記ワード線を駆動するワードドライバ回路と、  
前記ワードドライバ回路を選択するためのデコード信号を出力する複数のデコーダ回路  
からなるデコーダ回路群と、  
前記デコーダ回路と前記ワードドライバ回路を接続するデコーダ線と、  
前記デコーダ線を前記デコーダ回路と非導通状態にするとともに、前記デコーダ回路  
群に属する前記デコーダ回路に対応する前記ワードドライバ回路の前記デコーダ線同士を  
イコライズするイコライズ回路と、  
を備えることを特徴とする半導体記憶装置。

【請求項2】

メモリセルと、  
前記メモリセルに接続するワード線と、  
前記ワード線を駆動するワードドライバ回路と、  
前記ワードドライバ回路を選択するための第1デコード信号を出力する複数の第1デコ  
ーダ回路からなる第1デコーダ回路群と、  
前記ワードドライバ回路を選択するための第2デコード信号を出力する複数の第2デコ  
ーダ回路からなる第2デコーダ回路群と、

10

20

前記第 1 デコーダ回路と前記ワードドライバ回路を接続する第 1 デコーダ線と、  
 前記第 2 デコーダ回路と前記ワードドライバ回路を接続する第 2 デコーダ線と、  
 前記第 2 デコーダ線を前記第 2 デコーダ回路と非導通状態にするとともに、前記第 2  
 デコーダ回路群に属する前記第 2 デコーダ回路に対応する前記ワードドライバ回路の前記  
 第 2 デコーダ線同士をイコライズするイコライズ回路と、  
 を備えることを特徴とする半導体記憶装置。

【請求項 3】

前記第 1 デコード信号はパルス信号であることを特徴とする請求項 2 に記載した半導体  
 装置。

【請求項 4】

前記第 1 デコード信号が前記ワードドライバ回路に出力された後に、前記イコライズ回  
 路が動作して、前記第 2 デコーダ線のイコライズがされることを特徴とする請求項 3 に記  
 載した半導体記憶装置。

【請求項 5】

接地電位を有する接地電位電源と、  
 高電位を有する高電位電源と、を備え、

前記第 1 デコード信号は、L 論理状態の時は、前記接地電位であり、H 論理状態の時は  
 前記高電位あり、

前記第 2 デコード信号は、L 論理状態の時は、前記接地電位又は前記高電位を前記第 2  
 デコーダ回路の個数で除した電位であり、H 論理状態の時は、前記高電位であることを特  
 徴とする請求項 4 に記載した半導体記憶装置。

【請求項 6】

前記第 1 デコーダ回路群は、外部からのアドレス信号によって活性化した前記複数の第  
 1 デコーダ回路の内の一つから前記第 1 デコーダ線に前記第 1 デコード信号を出力し、

前記第 2 デコーダ回路群は、外部からのアドレス信号によって活性化した前記複数の第  
 2 デコーダ回路の内の一つから前記第 2 デコーダ線に前記第 2 デコード信号を出力するこ  
 とを特徴とする請求項 5 に記載した半導体記憶装置。

【請求項 7】

前記ワードドライバ回路は、ワード線を活性化する活性化信号を出力する活性化信号出  
 力部を備え、

前記活性化信号出力部は、前記第 1 デコーダ線と、前記第 2 デコーダ線とが接続され、  
 同時に、前記第 1 デコード信号と、前記第 2 デコード信号とが H 論理状態の時に、前記  
 ワード線を活性化する活性化信号を出力することを特徴とする請求項 6 に記載した半導体  
 記憶装置。

【請求項 8】

前記第 1 デコーダ群、前記第 2 デコーダ群、及び、前記イコライズ回路に制御信号を出  
 力するコントロール回路を備え、

前記コントロール回路は外部からのクロック信号に応じて前記制御信号を出力し、

前記第 1 デコーダ回路は前記制御信号に応じて前記第 1 デコーダ信号を出力し、

前記第 2 デコーダ回路は前記制御信号に応じて前記第 2 デコーダ信号を出力し、

前記イコライズ回路は前記第 2 デコーダ線を前記第 2 デコーダ回路と非導通状態にす  
 るとともに、前記第 2 デコーダ回路群に属する前記第 2 デコーダ回路に対応する前記ワー  
 ドドライバ回路の前記第 2 デコーダ線同士をイコライズすることを特徴とする請求項 2 に  
 記載した半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、記憶素子を集積した半導体記憶部及びその記  
 憶素子を選択するためのデコーダ回路を備える半導体記憶装置に関する。

【背景技術】

10

20

30

40

50

## 【0002】

半導体記憶装置の記憶素子を選択するためのデコーダ回路は、アドレス線又はアドレスの組合せによって表される信号を伝えるプリデコード線を受けて、上記の記憶素子に接続しているワード線を選択するための回路である。従って、デコーダ回路の高速化を実現できれば、半導体記憶装置の高速化が実現できる。

## 【0003】

しかし、高速化に適したパルス信号を受信するデコーダ回路（例えば、特許文献1）においては、サイクル毎に信号線の充電、放電が必要になることから、デコーダ回路の高速化によって、デコーダ回路の消費電流は増加する。

## 【0004】

一方、論理状態がサイクル内において一回の充電又は放電しか伴わないデータ型信号を受信するデコーダ回路（例えば、特許文献2）においては、一のデータ信号の論理が、十分に非選択状態となってから、他のデータ信号の論理を選択状態にしないと多重選択を起こすことになる。そのことは、一のデータ信号の選択状態から、他のデータ信号の選択状態に移行する場合に、タイミングをとる必要があることから、デコーダ回路のスピードが低下する原因となっている。

【特許文献1】特開平11-102586号公報

【特許文献2】特開平7-73674号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0005】

以上に述べた従来技術には、信号線の充電、放電が頻繁に行われることによる消費電流の増加、及び、ワード線選択時のスピードの低下という問題点がある。

【課題を解決するための手段】

## 【0006】

本発明の半導体記憶装置は、メモリセルと、前記メモリセルに接続するワード線と、前記ワード線を駆動するワードドライバ回路と、前記ワードドライバ回路を選択するためのデコード信号を出力する複数のデコーダ回路からなるデコーダ回路群と、前記デコーダ回路と前記ワードドライバ回路を接続するデコーダ線と、前記デコーダ線を前記デコーダ回路と非導通状態にするとともに、前記デコーダ回路群に属する前記デコーダ回路に対応する前記ワードドライバ回路の前記デコーダ線同士をイコライズするイコライズ回路と、を備えることを特徴とする。

【発明の効果】

## 【0007】

本発明において、デコーダ線同士をイコライズする回路によって、Hレベルを有するデコーダ線から、他のデコーダ線に電荷が供給されるため、デコーダ信号のLレベルの電圧が上昇する。従って、ワードドライバ回路を選択する際に変化する、デコーダ信号の論理振幅が減少するため、デコーダ線を駆動するデコーダ回路の消費電流が減少する。

【発明を実施するための最良の形態】

## 【0008】

以下、本発明の実施例1について説明する

【実施例1】

## 【0009】

実施例1は、記憶素子に接続するワード線を駆動するワードドライバ回路と、ワードドライバ回路を選択するためのデコーダ線と、を備える半導体記憶装置であって、デコーダ線をフローティング状態にした後、デコーダ線をイコライズする回路をさらに有するものに関する。そして、実施例1を図1乃至図5を用いて説明する。

## 【0010】

図1は、実施例1の半導体記憶装置を示した図である。そして、図1は、メモリセルアレイ1、ワードドライバ2、ワード線3、メモリセル4、ビット線5、デコーダ線6、口

10

20

30

40

50

ウデコーダ回路 7、コントロール信号 8、コントロール回路 9、アドレス信号線 10、クロック信号 11、データ線 12、出力回路 13、データ出力線 14、及び、イコライズ及びフローティング回路 32 を示す。

【0011】

メモリセルアレイ 1 はメモリセル 4 が行列状に配置されているものである。

【0012】

メモリセル 4 は S R A M (Static Random Memory) の記憶素子である。例えば、上記の記憶素子は、6 個のトランジスタによって構成されており、1 ビットの情報を記憶する。そして、ワード線 3 とビット線 5 によって、上記の記憶素子は選択される。

【0013】

ワード線 3 はメモリセルアレイ 1 の列方向に延在し、列方向に配置されているメモリセル 4 に接続している。また、メモリセルアレイ 1 の外側で、ワード線 3 を駆動するワードドライバ 2 と接続している。

【0014】

ビット線 5 はメモリセルアレイ 4 の行方向に延在し、行方向に配置されているメモリセル 4 に接続している。

【0015】

ワードドライバ 2 は、デコーダ線 6 が入力され、デコーダ線 6 に伝わる信号の論理レベルの組合せが所定の組合せになると選択状態となり、ワード線 3 を活性化する。

【0016】

ロウデコーダ回路 7 は、複数のデコーダ群から構成されている。また、上記のデコーダ群は複数のデコーダから構成されている。そして、ロウデコーダ回路 7 は、アドレス信号 10 が入力され、アドレス信号 10 の論理レベルの組合せが所定の組合せになると、所定のデコーダを活性化し、上記のデコーダに接続されているデコーダ線 6 に信号を出力する。

【0017】

デコーダ線 6 は、ロウデコーダ回路 7 を構成するデコーダ群の内の一つのデコーダ各々に接続する信号線である。

【0018】

イコライズ及びフローティング回路 32 は、コントロール信号 8 を受けて、デコーダ線 6 をデコーダからフローティング状態にし、同一のデコーダ群に属するデコーダ線 6 同士をイコライズする回路である。なお、図 3 において、イコライズ及びフローティング回路 32 を詳細に説明する。

【0019】

アドレス信号 10 は、半導体記憶装置の外部端子を通じて入力される複数のアドレスから構成されている。そして、アドレスは、データを引き出したいメモリセル 7 を指定するための信号である。

【0020】

コントロール回路 9 は、クロック信号 11 が入力され、コントロール信号 8 を出力する。

【0021】

クロック信号 11 は、実施例 1 の半導体記憶装置を動作させるのに必要な同期信号である。

【0022】

コントロール信号 8 は、クロック信号 11 に同期した信号であり、ロウデコーダ回路 7、イコライズ及びフローティング回路 32、及び、出力回路 13 に対して出力される。そして、コントロール信号 8 はロウデコーダ回路 7 がデコーダ線 6 に信号を出力するための制御信号となる。さらに、コントロール信号 8 は、出力回路 13 がデータ出力線 8 からデータを出力するための制御信号となる。加えて、コントロール信号 8 はイコライズ及びフローティング回路 32 に動作をさせるためのイコライズ信号 33 となる。

10

20

30

40

50

## 【 0 0 2 3 】

データ線 1 2 は、メモリセルアレイ 1 中のメモリセル 4 から読み出されたデータを、出力回路 1 3 へ伝達する信号線である。

## 【 0 0 2 4 】

出力回路 1 3 は、データ出力線 1 4 から、コントロール信号 8 に同期して、データ線 1 2 から伝達されたデータを出力する回路である。

## 【 0 0 2 5 】

データ出力線 1 4 は、データを半導体記憶装置の外部に出力するために、出力回路 1 3 と外部端子とに接続されている。

## 【 0 0 2 6 】

図 2 は実施例 1 の半導体記憶装置のロウデコーダ回路 7 及びワードドライバ 2 の詳細を示す図である。図 2 は、ワードドライバ 2、P 型 MOS トランジスタ 2 1、2 2、インバータ 2 3、2 4、2 5、及び、N 型 MOS トランジスタ 2 6、2 7、2 8、を示す。また、図 2 はデコーダ線 6、イコライズ及びフローティング回路 3 2、イコライズ信号 3 3、ロウデコーダ回路 7、及び、デコーダ群 3 4、3 5、3 6 を示す。

10

## 【 0 0 2 7 】

ワードドライバ 2 は、デコーダ線 6 を受けてワード線を活性化する活性化信号を出力する活性化信号出力部と、活性化信号出力部からの活性化信号を保持する信号保持部から構成されている。

## 【 0 0 2 8 】

デコード部は、高電位電源と低電位電源間に直列に接続されている P 型 MOS トランジスタ 2 1、N 型 MOS トランジスタ 2 6、N 型 MOS トランジスタ 2 7、及び、N 型 MOS トランジスタ 2 8 から構成されている。そして、P 型 MOS トランジスタ 2 1 と N 型 MOS トランジスタ 2 6 は、ゲートへの信号線を共有しており、その信号線は、ロウデコーダ回路 7 のデコーダ群 3 4 から出力されるデコーダ線 6 と接続している。また、N 型 MOS トランジスタ 2 7、及び、N 型 MOS トランジスタ 2 8 のゲートに接続する信号線は、それぞれ、デコード線と接続している。そして、N 型 MOS トランジスタ 2 7、2 8 のゲートは、デコーダ群 3 5、3 6、それぞれから出力される、一本のデコード線 6 と接続する。

20

## 【 0 0 2 9 】

信号保持部は、デコード部の P 型 MOS トランジスタ 2 1 と N 型 MOS トランジスタ 2 6 の間から出力される信号を保持する P 型 MOS トランジスタ 2 2、及び、ワード線を駆動するためのインバータ 2 3、2 4、2 5 から構成されている。

30

## 【 0 0 3 0 】

ロウデコーダ回路 7 は、複数のデコーダ群 3 4、3 5、3 6 から構成されており、デコーダ群 3 4、3 5、3 6 は複数のデコーダ、例えば、n 個のデコーダから構成されている。また、上記のデコーダはデコード線 6 と接続している。

## 【 0 0 3 1 】

そして、ロウデコーダ回路 7 にアドレス信号線 1 0 からアドレスが入力されると、各デコーダ群において、複数のデコーダの内の一つが活性化し、上記のデコーダに接続されているデコーダ線 6 に信号が出力される。

40

## 【 0 0 3 2 】

なお、デコーダ群 3 4 から出力される信号はパルス信号である。また、デコーダ群 3 5、3 6 から出力される信号はパルス信号又はデータ型信号である。

## 【 0 0 3 3 】

イコライズ及びフローティング回路 3 2 は、イコライズ信号 3 3 を受けて、デコーダ線 6 をデコーダからフローティング状態にし、同一のデコーダ群に属するデコーダ線 6 同士をイコライズする回路である。なお、図 3 において、イコライズ及びフローティング回路 3 2 を詳細に説明する。

## 【 0 0 3 4 】

50

図3は、ロウデコーダ回路7のデコーダ群35に接続されているイコライズ及びフローティング回路56を示す図である。そして、図3は、デコーダ線6、ロウデコーダ回路7のデコーダ群35に接続されているイコライズ及びフローティング回路56、イコライズ信号33、トランスファークゲート41、42、43、44、45、46、47、及び、インバータ40、48、49、50、51、52、53、54、55を示す。

【0035】

すなわち、図3は、4個のデコーダを備えるデコーダ群35に対するイコライズ及びフローティング回路56が、ロウデコーダ回路7とデコーダ線6の間に配置されていることを示す図である。

【0036】

イコライズ及びフローティング回路56を構成するイコライズ回路はトランスファークゲート41、42、43、及び、インバータ40から構成されている。そして、イコライズ回路は、イコライズ信号33を受けると、トランスファークゲート41、42、及び、43が導通し、ロウデコーダ回路7の同一デコーダ群に属するデコード線6間をショートして、デコード線6間の電圧の平均化(イコライズ)を行う。

【0037】

ここで、トランスファークゲート41、42、及び、43は、P型MOSトランジスタとN型MOSトランジスタが並列に接続されたものである。そして、トランスファークゲート41、42、及び、43のN型MOSトランジスタのゲートには、イコライズ信号33が供給されている。一方、トランスファークゲート41、42、及び、43のP型MOSトランジスタのゲートには、インバータ40によって、イコライズ信号33の反転論理信号が供給されている。

【0038】

なお、上記では、デコーダ線6間を導通させるため、トランスファークゲートを使用した。イコライズ信号がHレベルになったときに、オンするスイッチであってもよい。

【0039】

また、イコライズ及びフローティング回路56を構成するフローティング回路はトランスファークゲート44、45、46、47、及び、インバータ40から構成されている。そして、フローティング回路は、イコライズ信号56を受けると、トランスファークゲート41、42、及び、43が非導通となり、デコーダ群35のデコーダから出力されるデコード線30を、そのデコーダから切り離して、フローティングにする回路である。

【0040】

ここで、トランスファークゲート44、45、46、及び、47はP型MOSトランジスタとN型MOSトランジスタが並列に接続されたものである。そして、トランスファークゲート44、45、46、及び、47のP型MOSトランジスタのゲートには、イコライズ信号33が供給されている。一方、トランスファークゲート44、45、46、及び、47のN型MOSトランジスタのゲートには、インバータ40によって、イコライズ信号33の反転論理信号が供給されている。

【0041】

なお、上記では、デコーダとデコーダ線6間を導通させるため、トランスファークゲートを使用した。イコライズ信号がLレベルになったときに、オンするスイッチであってもよい。

【0042】

そして、インバータ48、49、50、51、52、53、54、及び、55はデコード線6を駆動するデコーダ群35を構成するインバータである。

【0043】

図4A及び図4Bは、図3に示すイコライズ及びフローティング回路56を使用しなかった場合、デコーダ線6及びワード線に伝わる信号線の波形を示す。また、上記の信号線が上記のような波形を示す場合の消費電流について示す図である。

【0044】

10

20

30

40

50

そして、図 4 A 及び図 4 B は、デコーダ群 P 0 の 0 番デコーダ線の信号 6 0、デコーダ群 P 1 の 0 番デコーダ線の信号 6 1、デコーダ群 P 1 の 1 番デコーダ線の信号 6 2、デコーダ群 P 2 の 0 番デコーダ線の信号 6 3、デコーダ群 P 2 の 1 番デコーダ線の信号 6 4、0 番ワード線 6 5、1 番ワード線 6 6、及び、消費電流 6 7 を示す。

【 0 0 4 5 】

図 4 A は、デコーダ群が発生する信号のすべてがパルス信号であることを示す。そして、デコーダ群 P 0 の 0 番デコーダ線の信号 6 0、デコーダ群 P 1 の 0 番デコーダ線の信号 6 1、及び、デコーダ群 P 2 の 0 番デコーダ線の信号 6 3 が、時刻 t 1 から論理レベルがグラウンドレベルから H レベルに変化し、時刻 t 2 に論理レベルが H レベルからグラウンドレベルに変化する、パルス信号であることを示す。その結果、ワードドライバ回路が、0 番ワード線 6 5 に、時刻 t 1 から論理レベルがグラウンドレベルから H レベルに変化し、時刻 t 2 に論理レベルが H レベルからグラウンドレベルに変化するパルス信号を、発生することを示す。

【 0 0 4 6 】

ここで、グラウンドレベルは、L 論理として認識されるが、グラウンドレベルの電位は接地電位である。一方、後に示す L レベルは、L 論理として認識されるが、L レベルの電位は高電位電源の電位をデコーダ線の本数 n で除した電位である。さらに、H レベルは、H 論理として認識されるが、H レベルの電位は高電位電源の電位である。

【 0 0 4 7 】

なお、上記のデコーダ線の信号のすべてがパルス信号である場合には、ワードドライバ 2 において、パルスが重なった場合のみ、ワード線が立ち上がるため、デコーダ線の信号のパルス幅を確保しさえすれば、デコーダ線の信号間のマージンをとる必要がない。そうすると、デコーダ線の信号をパルス信号とする場合には、ワード線を立ち上げる周期を短くすることができるため、デコーダの高速な動作が可能である。

【 0 0 4 8 】

ここで、デコーダ線において論理レベルが H レベルからグラウンドレベルに変化したことによる、ロウデコーダ回路の消費電流を「1」とする。そうすると、図 4 A は、時刻 t 1 において、3 本のデコーダ線の信号が変化しているため、ロウデコーダ回路が消費する消費電流 6 7 は「3」であることを示す。また、図 4 A は、時刻 t 2 において、3 本のデコーダ線の信号が変化しているため、ロウデコーダ回路が消費する消費電流 6 7 は「3」であることを示す。従って、時刻 t 1 から時刻 t 2 間にロウデコーダ回路が消費する消費電流は「6」である。

【 0 0 4 9 】

図 4 B は、デコーダ群 P 0 が発生する信号はパルス信号であるが、その他のデコーダ群が発生する信号はデータ型信号であることを示す。そして、デコーダ群 P 0 の 0 番デコーダ線の信号 6 0 が、時刻 t 1 から論理レベルがグラウンドレベルから H レベルに変化し、時刻 t 2 に論理レベルが H レベルからグラウンドレベルに変化する、パルス信号であることを示す。また、デコーダ群 P 1 の 0 番デコーダ線の信号 6 1、及び、デコーダ群 P 2 の 0 番デコーダ線の信号 6 3 は、時刻 t 0 に、論理レベルがグラウンドレベルから H レベルに変化するデータ信号であることを示す。さらに、デコーダ群 P 1 の 1 番デコーダ線の信号 6 2、及び、デコーダ群 P 2 の 1 番デコーダ線の信号 6 4 は、時刻 t 0 に、論理レベルが H レベルからグラウンドレベルに変化するデータ信号であることを示す。その結果、ワードドライバ回路は、0 番目のワード線 6 5 に、時刻 t 1 に、論理レベルがグラウンドレベルから H レベルに変化し、時刻 t 2 に論理レベルが H レベルからグラウンドレベルに変化するパルス信号を、発生することを示す。

【 0 0 5 0 】

なお、上記のようにデコーダ群 P 0 が発生する信号はパルス信号であり、その他のデコーダ線の信号がデータ型信号である場合には、ワードドライバ 2 にデコーダ群 P 0 が発生するパルスが到達するときに、他のデコーダ線の信号の論理が決定されていなければなら

10

20

30

40

50

ない。そうすると、所定のワード線が立ち上がるためには、デコーダ群 P 0 のデコーダ線の信号と、他のデコーダ線の信号との間にマージンをとる必要がある。従って、デコーダ線の信号の一つをパルス信号とし、他のデコーダ線の信号をデータ型信号とするときには、ワード線を立ち上げる周期を短くすることは容易ではない。従って、デコーダの高速な動作は容易ではない。

【 0 0 5 1 】

ここで、図 4 B は、時刻  $t_0$  から時刻  $t_1$  において、5 本のデコーダ線の信号が変化しているため、ロウデコーダ回路が消費する消費電流 6 7 は「5」であることを示す。また、図 4 B は、時刻  $t_2$  において、1 本のデコーダ線の信号が変化しているため、ロウデコーダ回路が消費する消費電流 6 7 は「1」であることを示す。従って、時刻  $t_0$  から時刻  $t_2$  間にロウデコーダ回路が消費する消費電流は「6」である。

10

【 0 0 5 2 】

図 5 A 及び図 5 B は、図 3 に示すイコライズ及びフローティング回路 5 6 を使用した場合、デコーダ線 3 0 及びワード線に伝わる信号線の波形を示す。また、上記の信号線が上記のような波形を示す場合の消費電流について示す図である。

【 0 0 5 3 】

そして、図 5 A 及び図 5 B は、デコーダ群 P 0 の 0 番デコーダ線の信号 7 0、デコーダ群 P 1 の 0 番デコーダ線の信号 7 1、デコーダ群 P 1 の 1 番デコーダ線の信号 7 2、デコーダ群 P 2 の 0 番デコーダ線の信号 7 3、デコーダ群 P 2 の 1 番デコーダ線の信号 7 4、イコライズ信号 7 5、0 番ワード線 7 6、1 番ワード線 7 7、及び、消費電流 7 8 を示す。

20

【 0 0 5 4 】

図 5 A は、0 番ワード線 7 6 が各デコード群のデコーダ線によって、選択されることを示す。

【 0 0 5 5 】

イコライズ信号 7 5 はパルス幅  $t_w$  を有し、時刻  $t_2$  に入力される信号である。

【 0 0 5 6 】

すべてのデコーダ群のデコーダ線の信号はパルス信号である。すなわち、デコーダ群 P 0 の 0 番デコーダ線の信号 7 0 は、時刻  $t_1$  において、グランドレベルから H レベルに変化し、時刻  $t_2$  において、H レベルからグランドレベルに変化する信号である。また、デコーダ群 P 1 の 0 番デコーダ線の信号 7 1、及び、デコーダ群 P 2 の 0 番デコーダ線の信号 7 3 は、時刻  $t_1$  において、グランドレベルから H レベルに変化する信号であり、時刻  $t_2$  において、H レベルから L レベルに変化する信号である。

30

【 0 0 5 7 】

なお、デコーダ群 P 0 に属するデコーダは、パルス信号を発生する。一方、デコーダ群 P 1 のデコーダ、及び、デコーダ群 P 2 のデコーダはデータ型信号を発生する。しかし、上記のようにデコーダ線の信号がパルス信号となるのは、デコーダ群 P 0 がワードドライバに対してパルス信号を出力した後、イコライズ回路とフローティング回路 5 6 を使用すると、デコーダ群 P 1 のデコーダ線、及び、デコーダ群 P 2 のデコーダ線の電圧が平均化（イコライズ）するためである。

40

【 0 0 5 8 】

ここで、上記の L レベルは、H レベルの電圧を  $n$  で除した電圧となる。なぜなら、イコライズ信号 7 5 が入力されることにより、イコライズ回路とフローティング回路が動作すると、フローティング回路が各デコーダからデコーダ線をフローティング状態とするとともに、同一デコーダ群に属する  $n$  本のデコーダ線間がイコライズされる。同一のデコーダ群に属する  $n$  本のデコーダ線うち、H レベルの電圧を有していた一本のデコーダ線に属する電荷が  $n$  本のデコーダ線で共有されることになるため、すべてのデコーダ線の電圧は H レベルの電圧を  $n$  で除した電圧となる。

【 0 0 5 9 】

その結果、各デコーダ群のデコーダ線によって選択された 0 番ワード線 7 6 の論理レベ

50



ルは、時刻  $t_1$  においてグラウンドレベルから H レベルに変化し、時刻  $t_2$  において H レベルからグラウンドレベルに変化する。

【 0 0 6 0 】

さらに、図 5 A は、時刻  $t_1$  において、3 本のデコーダ線の信号が変化しているため、ロウデコーダ回路が消費する消費電流 7 8 は「3」であることを示す。

【 0 0 6 1 】

一方、図 5 A は、時刻  $t_2$  において、ロウデコーダ回路が消費する消費電流 7 8 は「1」であることを示す。デコーダ群 P 0 の 0 番デコーダ線の信号 7 0 の論理レベルを、H レベルからグラウンドレベルに変化させるために、ロウデコーダ回路は電流を消費するためである。なお、その他のデコーダ群のデコーダ線の論理レベルが L レベルとなるのは、イコライズによってなされるため、そのことによって、ロウデコーダ回路は電流を消費しない。

10

【 0 0 6 2 】

図 5 B は、1 番ワード線 7 7 が各デコード群のデコーダ線によって、選択されることを示す。

【 0 0 6 3 】

イコライズ信号 7 5 は図 5 A のイコライズ信号 7 5 と同様である。

【 0 0 6 4 】

すべてのデコーダ群のデコーダ線の信号はパルス信号である。すなわち、デコーダ群 P 0 の 0 番デコーダ線の信号 7 0 は、時刻  $t_1$  において、グラウンドレベルから H レベルに変化し、時刻  $t_2$  において、H レベルからグラウンドレベルに変化する信号である。

20

【 0 0 6 5 】

また、デコーダ群 P 1 の 0 番デコーダ線の信号 7 1 は、時刻  $t_1$  において、L レベルからグラウンドレベルに変化し、時刻  $t_2$  において、グラウンドレベルから L レベルに変化する信号である。デコーダ群 P 1 の 1 番デコーダ線の信号 7 2 は、時刻  $t_1$  において、L レベルから H レベルに変化し、時刻  $t_2$  において、H レベルから L レベルに変化する信号である。デコーダ群 P 2 の 0 番デコーダ線の信号 7 3 は、時刻  $t_1$  において、L レベルからグラウンドレベルに変化する信号であり、時刻  $t_2$  において、グラウンドレベルから L レベルに変化する信号である。デコーダ群 P 2 の 1 番デコーダ線の信号 7 4 は、時刻  $t_1$  において、L レベルから H レベルに変化し、時刻  $t_2$  において、H レベルから L レベルに変化する信号である。

30

【 0 0 6 6 】

なお、デコーダ群 P 0 に属するデコーダは、パルス信号を発生する。一方、デコーダ群 P 1 のデコーダ、及び、デコーダ群 P 2 のデコーダはデータ型信号を発生する。しかし、すべてのデコーダ群のデコーダ線の信号はパルス信号となるのは、図 5 A と同様な理由による。

【 0 0 6 7 】

ここで、上記の L レベルは、H レベルの電圧を  $n$  で除した電圧である点も同様である。

【 0 0 6 8 】

その結果、各デコーダ群のデコーダ線によって選択された 1 番ワード線 7 7 の論理レベルは、時刻  $t_1$  においてグラウンドレベルから H レベルに変化し、時刻  $t_2$  において H レベルからグラウンドレベルに変化する。

40

【 0 0 6 9 】

さらに、図 5 B において、時刻  $t_1$  において、ロウデコーダ回路が消費する消費電流 7 8 は  $(5 - 4 / N)$  であることを示す。消費電流 7 8 が  $(5 - 4 / N)$  になるのは、以下の理由による。まず、デコーダ群 P 0 において、デコーダ線の内の一本の信号をグラウンドレベルから H レベルに変化させるため、ロウデコーダ回路の消費電流は「1」である。次に、デコーダ群 P 1 において、デコーダ線の内の一本の信号を、H レベルの電圧を  $n$  等分した電圧に等しい L レベルから H レベルにするため、ロウデコーダ回路の消費電流は「 $1 - 1 / n$ 」である。また、デコーダ群 P 1 において、残りの  $(n - 1)$  本の信号を L レベル

50

からグラウンドレベルにするため、残りのロウデコーダ回路の消費電流は「 $(n - 1) / n$ 」である。そして、デコーダ群 P 2 において、上記と同様に計算すると、ロウデコーダ回路の消費電流は、「 $1 - 1 / n$ 」と「 $(n - 1) / n$ 」とが加算されたものとなる。従って、デコーダ群 P 0、デコーダ群 P 1、及び、デコーダ群 P 2 において、ロウデコーダ回路が消費する電流は、 $5 - 4 / N$ となる。

【0070】

加えて、図 5 B は、時刻  $t_2$  において、ロウデコーダ回路が消費する消費電流 7 8 は「1」であることを示す。デコーダ群 P 0 の 0 番デコーダ線の信号 7 0 の論理レベルを、H レベルからグラウンドレベルに変化させるために、ロウデコーダ回路は電流を消費するためである。なお、その他のデコーダ群のデコーダ線の論理レベルが L レベルとなるのは、イコライズによってなされるため、そのことによって、ロウデコーダ回路は電流を消費しない。従って、時刻  $t_1$  から時刻  $t_2$  の間において、ロウデコーダ回路が消費する消費電流は「 $6 - 4 / n$ 」となる。

10

【0071】

ところで、図 5 B において、デコーダ群 3 5 とデコーダ群 3 6 に接続するデコーダ線の信号の論理振幅は、時刻  $t_1$  においては、L レベルと H レベルであることから、論理振幅は小さくなっている。そうすると、デコーダ群 3 4 に接続するデコーダ線の信号のパルス中に占める、信号立ち上げ期間を短くすることができる。従って、同一デコーダ線上のパルス間隔を短くできる。その結果、ワード線を立ち上げる周期を短くすることができるため、デコーダの高速な動作が可能である。

20

【0072】

以上より、図 5 A 及び図 5 B で説明したように、イコライズ及びフローティング回路を使用する半導体回路には以下の効果がある。

【0073】

(1) 図 4 A 及び図 4 B で説明した、イコライズ及びフローティング回路を使用しなかった場合に、ロウデコーダ回路が消費する消費電流が「6」であったことを考慮すると、イコライズ及びフローティング回路を使用した場合には、ロウデコーダ回路が消費する消費電流を低減することができる。

【0074】

(2) 図 4 A で説明したデコーダ線の信号の論理振幅は、グラウンドレベルと H レベルの間であるため、論理振幅は大きい。そうすると、イコライズ及びフローティング回路を使用しなかった場合に、同一のデコーダ線においてパルス信号の間隔を短くすることが容易ではない。一方、図 5 B で説明したデコーダ線の論理振幅は小さいため、イコライズ及びフローティング回路を使用した場合は、同一のデコーダ線においてパルス信号の間隔を短くすることが容易である。そうすると、イコライズ及びフローティング回路を使用した場合は、デコーダの高速な動作が可能である。

30

以下に本発明の特徴を付記する。

(付記 1)

メモリセルと、

前記メモリセルに接続するワード線と、

前記ワード線を駆動するワードドライバ回路と、

前記ワードドライバ回路を選択するためのデコード信号を出力する複数のデコーダ回路からなるデコーダ回路群と、

前記デコーダ回路と前記ワードドライバ回路を接続するデコーダ線と、

前記デコーダ線を前記デコーダ回路と非導通状態にするとともに、前記デコーダ回路群に属する前記デコーダ回路に接続する前記デコーダ線同士をイコライズするイコライズ回路と、を備えることを特徴とする半導体記憶装置。

40

(付記 2)

メモリセルと、

前記メモリセルに接続するワード線と、

50

前記ワード線を駆動するワードドライバ回路と、  
 前記ワードドライバ回路を選択するための第1デコード信号を出力する複数の第1デコード回路からなる第1デコード回路群と、  
 前記ワードドライバ回路を選択するための第2デコード信号を出力する複数の第2デコード回路からなる第2デコード回路群と、  
 前記第1デコード回路と前記ワードドライバ回路を接続する第1デコード線と、  
 前記第2デコード回路と前記ワードドライバ回路を接続する第2デコード線と、  
 前記第2デコード線を前記第2デコード回路と非導通状態にするとともに、前記第2デコード回路群に属する前記第2デコード回路に接続する前記第2デコード線同士をイコライズするイコライズ回路と、を備えることを特徴とする半導体記憶装置。

10

(付記3)

前記第1デコード信号はパルス信号であることを特徴とする付記2に記載した半導体装置。

(付記4)

前記第1デコード信号が前記ワードドライバ回路に出力された後に、前記イコライズ回路が動作して、前記第2デコード線のイコライズがされることを特徴とする付記3に記載した半導体記憶装置。

(付記5)

接地電位を有する接地電位電源と、  
 高電位を有する高電位電源と、を備え、

20

前記第1デコード信号は、L論理状態の時は、前記接地電位であり、H論理状態の時は前記高電位あり、

前記第2デコード信号は、L論理状態の時は、前記接地電位又は前記高電位を前記第2デコード線の個数で除した電位であり、H論理状態の時は、前記高電位であることを特徴とする付記4に記載した半導体記憶装置。

(付記6)

前記第1デコード回路群は、外部からのアドレス信号によって活性化した前記複数の第1デコード回路の内の一つから前記第1デコード線に前記第1デコード信号を出力し、

前記第2デコード回路群は、外部からのアドレス信号によって活性化した前記複数の第2デコード回路の内の一つから前記第2デコード線に前記第2デコード信号を出力することを特徴とする付記5に記載した半導体記憶装置。

30

(付記7)

前記ワードドライバ回路は、ワード線を活性化する活性化信号を出力する活性化信号出力部を備え、

前記活性化信号出力部は、前記第1デコード線と、前記第2デコード線とが接続され、同時に、前記第1デコード信号と、前記第2デコード信号とがH論理状態の時に、前記ワード線を活性化する活性化信号を出力することを特徴とする付記6に記載した半導体記憶装置。

(付記8)

前記第1デコード群、前記第2デコード群、及び、前記イコライズ回路に制御信号を出力するコントロール回路を備え、

40

前記コントロール回路は外部からのクロック信号に応じて前記制御信号を出力し、

前記第1デコード回路は前記制御信号に応じて前記第1デコード信号を出力し、

前記第2デコード回路は前記制御信号に応じて前記第2デコード信号を出力し、

前記イコライズ回路は前記制御信号に応じて前記第2デコード線を前記第2デコード回路と非導通状態にするとともに、前記第2デコード回路群に属する前記第2デコード回路に接続する前記第2デコード線同士をイコライズする付記2に記載した半導体記憶装置。

。

(付記9)

前記セルアレイから読み出されたデータを外部に出力する出力回路を備え、

50

前記出力回路は、前記制御信号に応じて、前記データを出力することを特徴とする付記 2 に記載した半導体記憶装置。

(付記 10)

前記イコライズ回路は、

前記第 2 デコーダ線を前記第 2 デコーダ回路と非導通電状態にするフローティング回路と、

前記第 2 デコーダ線同士をイコライズするショート回路と、を備えることを特徴とする付記 2 から付記 9 の内の一に記載された半導体記憶装置。

(付記 11)

前記フローティング回路は、一方の端子が前記第 2 デコーダ回路の出力と接続し、他方の端子が前記第 2 デコーダ線に接続されており、P 型 MOS トランジスタと、N 型 MOS トランジスタからなるトランスファークロウアップゲートであり、

前記ショート回路は、一方の端子が前記第 2 デコーダ線と接続し、他方の端子が他の前記第 2 デコーダ線に接続されており、P 型 MOS トランジスタと、N 型 MOS トランジスタからなるトランスファークロウアップゲートであることを特徴とする付記 10 に記載された半導体記憶装置。

【産業上の利用可能性】

【0075】

本願発明は低消費電流を実現した半導体記憶装置を提供できる。

【図面の簡単な説明】

【0076】

【図 1】図 1 は、実施例 1 の半導体記憶装置を示した図である。

【図 2】図 2 は実施例 1 の半導体記憶装置のロウデコーダ回路 7 及びワードドライバ 2 の詳細を示す図である。

【図 3】図 3 は、ロウデコーダ回路 7 のデコーダ群 3 5 に接続されているイコライズ及びフローティング回路 5 6 を示す図である。

【図 4】図 4 A 及び図 4 B は、図 3 に示すイコライズ及びフローティング回路 5 6 を使用しなかった場合、デコーダ線 6 及びワード線に伝わる信号線の波形を示す。

【図 5】図 5 A 及び図 5 B は、図 3 に示すイコライズ回路とフローティング回路を使用した場合、デコーダ線 3 0 及びワード線に伝わる信号線の波形を示す。

【符号の説明】

【0077】

- 1 メモリセルアレイ
- 2 ワードドライバ
- 3 ワード線
- 4 メモリセル
- 5 ビット線
- 6 デコーダ線
- 7 ロウデコーダ回路
- 8 コントロール信号
- 9 コントロール回路
- 10 アドレス信号線
- 11 クロック信号
- 12 データ線
- 12 出力回路
- 14 データ出力線
- 21、22 P 型 MOS トランジスタ
- 23、24、25 インバータ
- 26、27、28 N 型 MOS トランジスタ
- 32 イコライズ及びフローティング回路

10

20

30

40

50

- 3 3 イコライズ信号
- 3 4、3 5、3 6 デコーダ群
- 4 1、4 2、4 3、4 4、4 5、4 6、4 7 トランスファークラック
- 4 0、4 8、4 9、5 0、5 1、5 2、5 3、5 4、5 5 インバータ
- 5 6 イコライズ及びフローティング回路
- 6 0、7 0 デコーダ群 P 0 の 0 番デコーダ線の信号
- 6 1、7 1 デコーダ群 P 1 の 0 番デコーダ線の信号
- 6 2、7 2 デコーダ群 P 1 の 1 番デコーダ線の信号
- 6 3、7 3 デコーダ群 P 2 の 0 番デコーダ線の信号
- 6 4、7 4 デコーダ群 P 2 の 1 番デコーダ線の信号
- 6 5、7 6 0 番ワード線
- 6 6、7 7 1 番ワード線
- 6 7、7 8 消費電流
- 7 5 イコライズ信号

【図1】

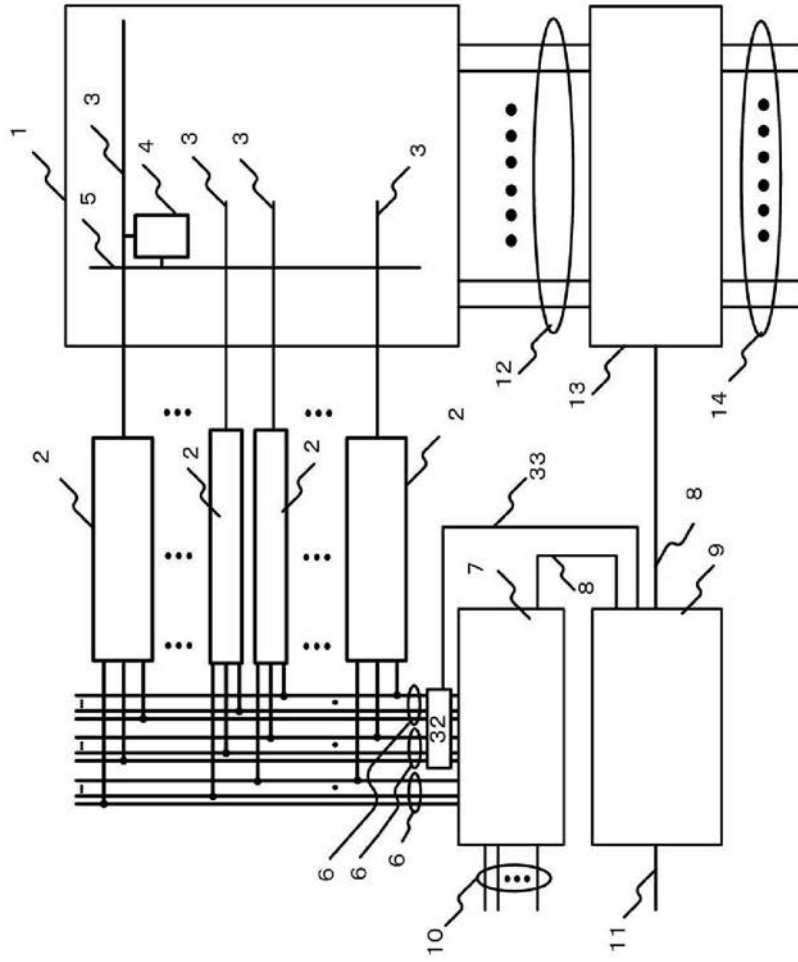
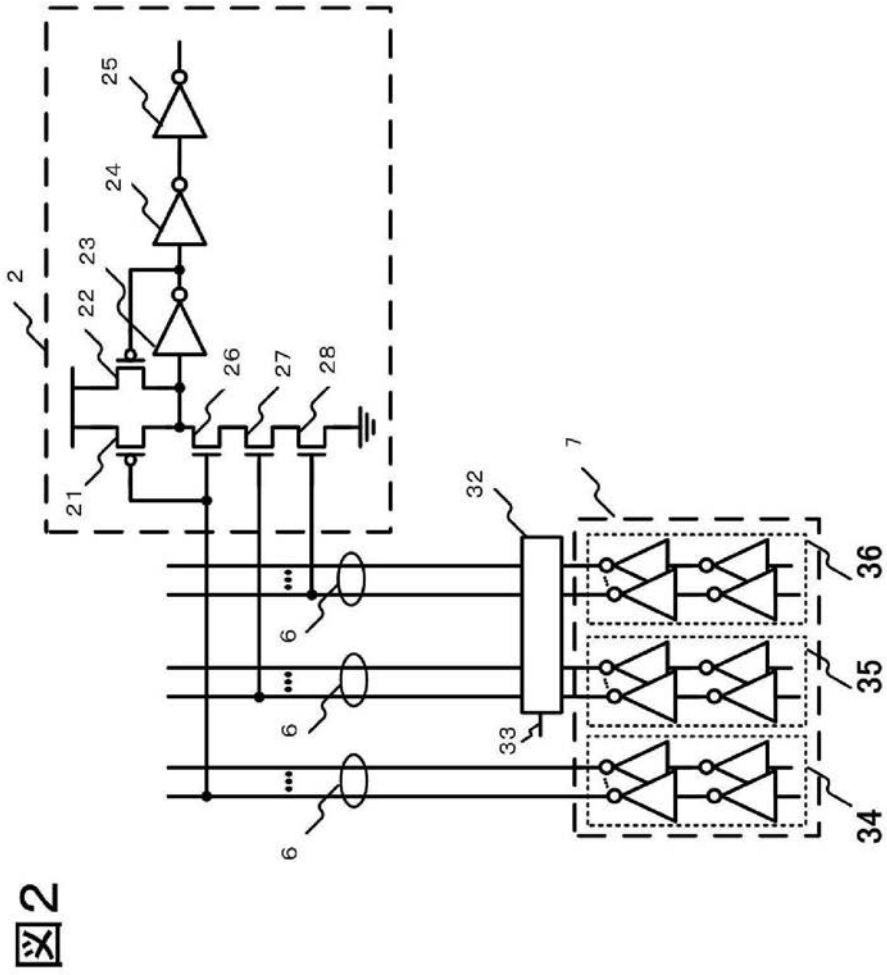


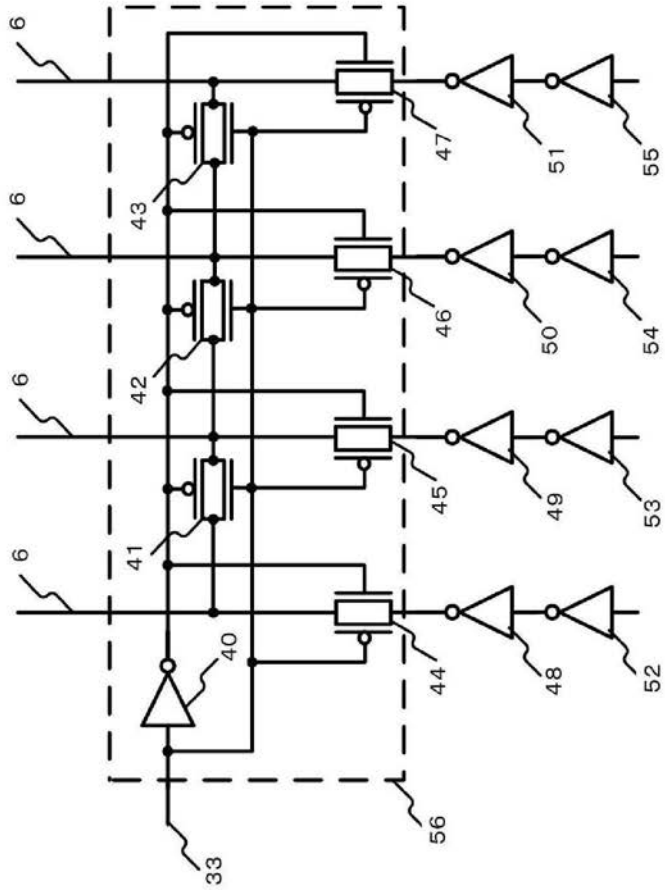
図1

【 図 2 】



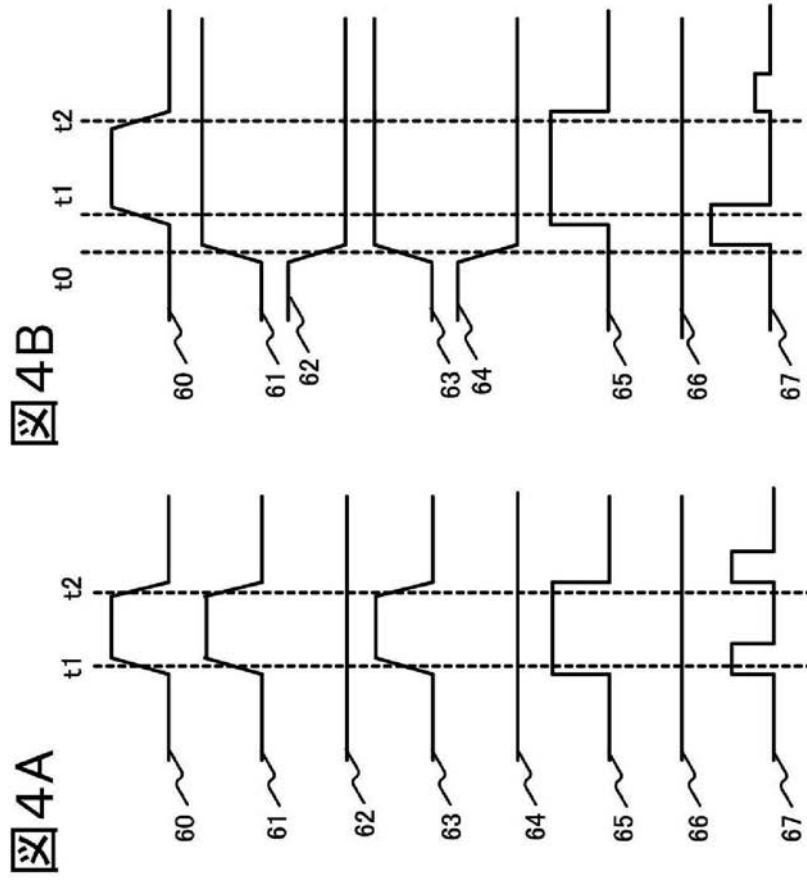
【 図 3 】

図 3

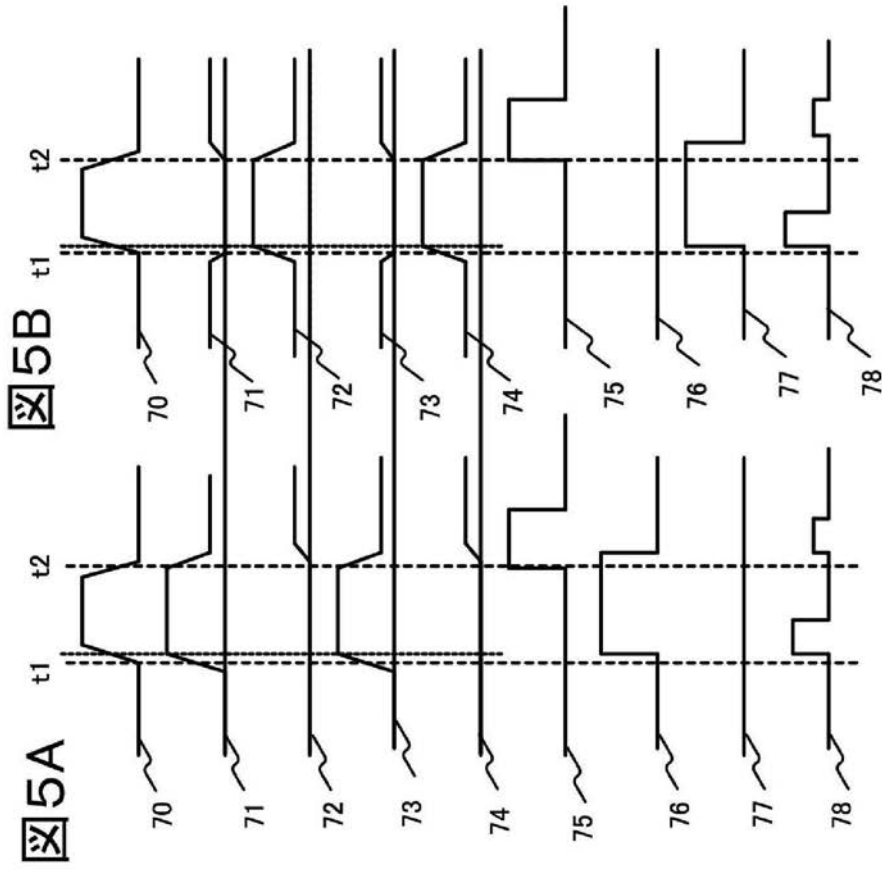




【 図 4 】



【 図 5 】



---

フロントページの続き

- (56)参考文献 特開2007-164922(JP,A)  
特開平11-340813(JP,A)  
特開2002-305437(JP,A)  
特開平11-004575(JP,A)  
特開平07-212215(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 11/413