

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-122186

(P2005-122186A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード(参考)
GO2F 1/1368	GO2F 1/1368	2H092
GO2F 1/1343	GO2F 1/1343	5F033
GO2F 1/1345	GO2F 1/1345	5F110
HO1L 21/3205	HO1L 29/78 624	
HO1L 29/786	HO1L 29/78 612C	

審査請求 有 請求項の数 56 O L (全 49 頁) 最終頁に続く

(21) 出願番号 特願2004-300822 (P2004-300822)  
 (22) 出願日 平成16年10月14日(2004.10.14)  
 (31) 優先権主張番号 2003-071400  
 (32) 優先日 平成15年10月14日(2003.10.14)  
 (33) 優先権主張国 韓国(KR)  
 (31) 優先権主張番号 2003-092698  
 (32) 優先日 平成15年12月17日(2003.12.17)  
 (33) 優先権主張国 韓国(KR)  
 (31) 優先権主張番号 2003-098823  
 (32) 優先日 平成15年12月29日(2003.12.29)  
 (33) 優先権主張国 韓国(KR)  
 (31) 優先権主張番号 2003-100989  
 (32) 優先日 平成15年12月30日(2003.12.30)  
 (33) 優先権主張国 韓国(KR)

(71) 出願人 501426046  
 エルジー・フィリップス エルシーデー  
 カンパニー, リミテッド  
 大韓民国 ソウル, ヨンドゥンポーク, ヨ  
 イドードン 20  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100085176  
 弁理士 加藤 伸晃  
 (74) 代理人 100106703  
 弁理士 産形 和央  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100096943  
 弁理士 臼井 伸一

最終頁に続く

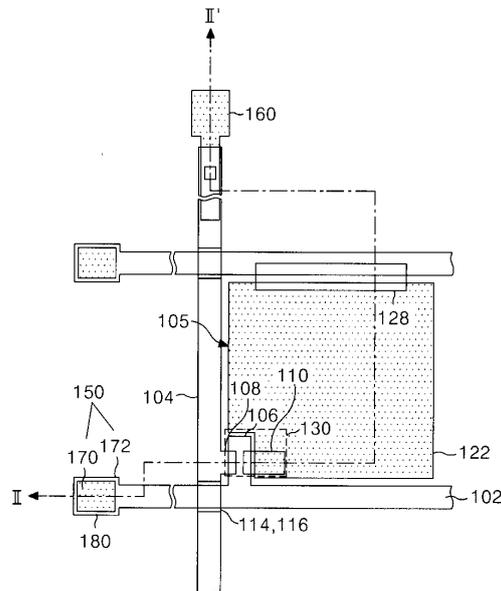
(54) 【発明の名称】 薄膜トランジスタ・アレイ基板、その製造方法、それを利用した液晶表示装置、液晶表示装置の製造方法及び液晶表示装置の検査方法

(57) 【要約】 (修正有)

【課題】 薄膜トランジスタ基板、その製造方法、それを利用した液晶表示装置、液晶表示装置の製造方法及び検査方法を提供する。

【解決手段】 基板上に薄膜トランジスタのゲート電極、ゲート電極と接続されたゲート・ライン、ゲート・ラインと接続されたゲート・パッド下部電極を含む第1導電パターン群と；薄膜トランジスタのソース電極及びドレイン電極、ソース電極と接続されたデータ・ライン、データ・ラインと接続されたデータ・パッド下部電極を含む第2導電パターン群と；第2導電パターン群の下部に形成した半導体パターンと；ドレイン電極と接続された画素電極、ゲート・パッド下部電極と接続されたゲート・パッド上部電極、データ・パッド下部電極と側面接続され前記基板と接続されたデータ・パッド上部電極を含む第3導電パターン群と；第3導電パターン群を除いた残りの領域に積層して形成されたゲート絶縁パターン及び保護膜パターンとを具備する。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

基板の上に薄膜トランジスタのゲート電極、そのゲート電極と接続されたゲート・ライン、そのゲート・ラインと接続されたゲート・パッド下部電極を含む第 1 導電パターン群と、前記薄膜トランジスタのソース電極及びドレイン電極、そのソース電極と接続されたデータ・ライン、そのデータ・ラインと接続されたデータ・パッド下部電極を含む第 2 導電パターン群と、前記第 2 導電パターン群につれてその下部に形成された半導体パターンと、前記ドレイン電極と接続された画素電極、前記ゲート・パッド下部電極と接続されたゲート・パッド上部電極、前記データ・パッド下部電極と側面接続されて前記基板と接続されたデータ・パッド上部電極を含む第 3 導電パターン群と、前記第 1 導電パターン群と第 2 導電パターン群の間に形成されたゲート絶縁パターンと、前記第 3 導電パターン群の画素電極、ゲートパッド上部電極及びデータパッド上部電極の間に形成される保護膜パターンと、を具備することを特徴とする薄膜トランジスタ・アレイ基板。

10

## 【請求項 2】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は検査用のピンの対応幅より大きいことを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

## 【請求項 3】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は  $26\ \mu\text{m}$  以上であることを特徴とする請求項 2 記載の薄膜トランジスタ・アレイ基板。

20

## 【請求項 4】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は  $34\sim 38\ \mu\text{m}$  以上であることを特徴とする請求項 3 記載の薄膜トランジスタ・アレイ基板。

## 【請求項 5】

前記データ・パッド下部電極の少なくとも一側面と基板を露出させる少なくとも一つのデータ・コンタクトホールとを更に具備することを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

## 【請求項 6】

前記データ・コンタクトホールは前記データ・パッド下部電極の一側面を露出させる第 1 データ・コンタクトホールと、前記第 1 データ・コンタクトホールと所定間隔に離隔されて前記データ・パッド下部電極の他側面を露出させる第 2 データ・コンタクトホールを含むことを特徴とする請求項 5 記載の薄膜トランジスタ・アレイ基板。

30

## 【請求項 7】

前記少なくとも一つのデータ・コンタクトホール内の前記データ・パッド上部電極と下部基板の間に位置する少なくとも一つのダミー・パターンとを更に具備することを特徴とする請求項 5 記載の薄膜トランジスタ・アレイ基板。

## 【請求項 8】

前記ダミー・パターンは前記ゲート絶縁パターンと同一物質であることを特徴とする請求項 9 記載の薄膜トランジスタ・アレイ基板。

40

## 【請求項 9】

前記画素電極は前記ドレイン電極と側面接触されると共に前記基板と接触されることを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

## 【請求項 10】

前記ゲート・ライン、そのゲート・ラインと前記ゲート絶縁パターン及び半導体パターンを間に置いて重畳されて前記画素電極と側面接触されるストレージ電極を含むストレージキャパシティとを更に具備することを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

## 【請求項 11】

基板の上に形成されたゲート・ラインと、前記ゲート・ラインと交差に形成されて画素

50

領域を定義するデータ・ラインと、前記ゲート・ライン及びデータ・ラインの間に形成されるゲート絶縁膜と、前記ゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタと、前記画素領域に形成されて前記薄膜トランジスタと接続された画素電極と、前記ゲート・ラインと接続されたゲート・パッドと、前記データ・ラインと接続されたデータ・パッドとを具備して、前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つは前記基板と接触されて透明導電膜が露出されるように形成されることを特徴とする薄膜トランジスタ・アレイ基板。

【請求項 1 2】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする請求項 1 1 記載の薄膜トランジスタ・アレイ基板。

10

【請求項 1 3】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $26\ \mu\text{m}$  以上であることを特徴とする請求項 1 2 記載の薄膜トランジスタ・アレイ基板。

【請求項 1 4】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $34\sim 38\ \mu\text{m}$  以上であることを特徴とする請求項 1 3 記載の薄膜トランジスタ・アレイ基板。

【請求項 1 5】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする請求項 1 1 記載の薄膜トランジスタ・アレイ基板。

20

【請求項 1 6】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする請求項 1 1 記載の薄膜トランジスタ・アレイ基板。

【請求項 1 7】

前記透明導電膜は  $\text{TO}$ 、 $\text{ITO}$ 、 $\text{IZO}$  及び  $\text{ITZO}$  の中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、 $\text{Mo}$ 、 $\text{Cu}$ 、 $\text{Cr}$ 、 $\text{Ta}$  及び  $\text{Ti}$  の中の少なくともいずれか一つを含むことを特徴とする請求項 1 5 及び 1 6 記載の薄膜トランジスタ・アレイ基板。

30

【請求項 1 8】

ゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記薄膜トランジスタを保護するための保護膜、前記薄膜トランジスタと接続される画素電極、前記ゲート・ライン及びデータ・ラインの中の少なくともいずれか一つと接続されて基板と接続される透明導電膜を含むパッドを有する薄膜トランジスタ・アレイ基板と、前記薄膜トランジスタ・アレイ基板と対向に合着されるカラーフィルター・アレイ基板とを具備して、前記保護膜は前記カラーフィルター・アレイ基板と重畳される領域に形成されて前記パッドに含まれた透明導電膜を露出させることを特徴とする液晶表示装置。

40

【請求項 1 9】

前記パッドは前記ゲート・ラインと接続されたゲート・パッドと、前記データ・ラインと接続されたデータ・パッドを含むことを特徴とする請求項 1 8 記載の液晶表示装置。

【請求項 2 0】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする請求項 1 9 記載の液晶表示装置。

【請求項 2 1】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $26\ \mu\text{m}$  以上であることを特徴とする請求項 2 0 記載の液晶表示装置。

50

## 【請求項 22】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は $3.4 \sim 3.8 \mu\text{m}$ 以上であることを特徴とする請求項 21 記載の液晶表示装置。

## 【請求項 23】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする請求項 19 記載の液晶表示装置。

## 【請求項 24】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする請求項 18 記載の液晶表示装置。

10

## 【請求項 25】

前記透明導電膜は $\text{TO}$ 、 $\text{ITO}$ 、 $\text{IZO}$ 及び $\text{ITZO}$ の中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、 $\text{Mo}$ 、 $\text{Cu}$ 、 $\text{Cr}$ 、 $\text{Ta}$ 及び $\text{Ti}$ の中の少なくともいずれか一つを含むことを特徴とする請求項 23 及び 24 記載の液晶表示装置。

## 【請求項 26】

前記ゲート絶縁膜及び前記ゲート・パッドのゲート金属膜を貫通するコンタクトホールを通して前記ゲート・パッドの露出された透明導電膜と接続された導電性フィルムとを更に具備することを特徴とする請求項 23 記載の液晶表示装置。

20

## 【請求項 27】

基板の上に薄膜トランジスタのゲート電極、そのゲート・ラインと接続されたゲート・ライン、そのゲート・ラインと接続されたゲート・パッド下部電極を含む第 1 導電パターン群を形成する段階と、前記第 1 導電パターン群が形成された基板の上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜の上に前記薄膜トランジスタのソース電極及びドレイン電極、そのソース電極と接続されたデータ・ライン、そのデータ・ラインと接続されたデータ・パッド下部電極を含む第 2 導電パターン群を形成すると共に前記第 2 導電パターン群につれてその下部に形成された半導体パターンを形成する段階と、前記ドレイン電極と接続された画素電極、前記ゲート・パッド下部電極と接続されたゲート・パッド上部電極、前記データ・パッド下部電極と側面接続されたデータ・パッド上部電極を含む第 3 導電パターン群を形成する段階と、前記第 1 及び第 2 導電パターン群の間にゲート絶縁パターンを形成する段階と、前記第 3 導電パターン群の画素電極、ゲートパッド上部電極及びデータパッド上部電極の間に保護膜パターンを形成する段階と、を含むことを特徴とする薄膜トランジスタアレイ基板の製造方法。

30

## 【請求項 28】

前記第 3 導電パターン群を形成する段階は検査用のピンの対応幅より大きい線幅を有するように前記ゲート・パッド上部電極及びデータ・パッド上部電極の中の少なくともいずれか一つを形成する段階を含むことを特徴とする請求項 27 記載の薄膜トランジスタ・アレイ基板の製造方法。

40

## 【請求項 29】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は $2.6 \mu\text{m}$ 以上であることを特徴とする請求項 28 記載の薄膜トランジスタ・アレイ基板の製造方法。

## 【請求項 30】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は $3.4 \sim 3.8 \mu\text{m}$ 以上であることを特徴とする請求項 29 記載の薄膜トランジスタ・アレイ基板の製造方法。

## 【請求項 31】

前記ゲート絶縁パターン及び保護膜パターンを形成する段階は前記データ・パッド下部

50

電極の少なくとも一側面と基板を露出させるデータ・コンタクトホールを有する前記ゲート絶縁パターン及び保護膜パターンを形成する段階を含むことを特徴とする請求項 27 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 32】

前記ゲート絶縁パターン及び保護膜パターンを形成する段階は前記データ・コンタクトホールは前記データ・パッド下部電極の一側面を露出させる第 1 データ・コンタクトホールと、前記第 1 データ・コンタクトホールと所定間隔に離隔されて前記データ・パッド下部電極の他側面を露出させる第 2 データ・コンタクトホールを有する前記ゲート絶縁パターン及び保護膜パターンを形成する段階を含むことを特徴とする請求項 31 記載の薄膜トランジスタ・アレイ基板の製造方法。

10

【請求項 33】

前記データ・コンタクトホール内の前記データ・パッド上部電極と下部基板の間に少なくとも一つのダミー・パターンを形成する段階を更に含むことを特徴とする請求項 31 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 34】

前記ダミーパターンを形成する段階は前記データ・パッド下部電極が形成された基板の上に保護膜を形成する段階と；前記保護膜の上にフォトレジスト・パターンを形成する段階と、 $SF_6$  より  $O_2$  が更に添加された第 1 蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記保護膜をパターンニングする段階と、 $O_2$  より  $SF_6$  が更に添加された第 2 蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記データ・パッド下部電極をパターンニングする段階と、 $Cl_2$  及び  $HCl$  の中のいずれか一つが含まれた第 3 蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記半導体パターンをパターンニングして前記半導体パターンを少量残存する半導体パターンと重畳される位置に前記ゲート絶縁膜を少量残存させる段階を含むことを特徴とする請求項 33 記載の薄膜トランジスタ・アレイ基板の製造方法。

20

【請求項 35】

前記  $SF_6$  より  $O_2$  が更に添加された第 1 蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記保護膜をパターンニングする段階は前記  $SF_6$  と  $O_2$  の比率が 1 : 3 である第 1 蝕刻ガスを利用して前記保護膜をパターンニングする段階を含むことを特徴とする請求項 34 記載の薄膜トランジスタ・アレイ基板の製造方法。

30

【請求項 36】

前記  $O_2$  より  $SF_6$  が更に添加された第 2 蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記データ・パッド下部電極をパターンニングする段階は前記  $O_2$  と  $SF_6$  の比率が 1 : 3 ~ 10 である第 2 蝕刻ガスを利用して前記データ・パッド下部電極をパターンニングする段階を含むことを特徴とする請求項 34 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 37】

前記第 3 導電パターン群、ゲート絶縁パターン及び保護膜パターンを形成する段階は前記第 2 導電パターン群が形成されたゲート絶縁膜の上に保護膜を形成する段階と；前記保護膜の上にフォトレジスト・パターンを形成する段階と；前記フォトレジスト・パターンをマスクで  $SF_6$  及び  $O_2$  を含む蝕刻ガスを利用して前記保護膜、ゲート絶縁膜、ドレイン電極及び半導体パターンをパターンニングして前記ゲート絶縁パターン、保護膜パターン、前記保護膜パターン及びゲート絶縁パターンと側面部が並んだドレイン電極を形成する段階と；前記フォトレジスト・パターンが残っている基板の上に透明導電膜を蒸着する段階と；前記フォトレジスト・パターンとその上の透明導電膜をストリップ工程に除去して第 3 導電パターン群を形成する段階を含むことを特徴とする請求項 27 記載の薄膜トランジスタ・アレイ基板の製造方法。

40

【請求項 38】

前記ゲート・ライン、そのゲート・ラインと前記ゲート絶縁パターン及び半導体パターンを間に置いて重畳されて前記画素電極と側面接触されるストレージ電極を含むストレ

50

ジ・クアパシティを形成する段階を更に含むことを特徴とする請求項 27 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 39】

基板の上に形成されたゲート・ライン、前記ゲート・ラインとゲート絶縁膜を間に置いて交差に形成されて画素領域を定義するデータ・ライン、前記ゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記画素領域の前記基板の上に形成されて前記薄膜トランジスタと接続された画素電極、前記ゲート・ラインと接続されたゲート・パッド、前記データ・ラインと接続されたデータ・パッドを形成する段階を含み、前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つは前記基板と接触されて前記基板の上に透明導電膜が露出されるように形成されることを特徴とする薄膜トランジスタ・アレイ基板の製造方法。

10

【請求項 40】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする請求項 39 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 41】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $26\ \mu\text{m}$  以上であることを特徴とする請求項 40 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 42】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $34\sim 38\ \mu\text{m}$  以上であることを特徴とする請求項 41 記載の薄膜トランジスタ・アレイ基板の製造方法。

20

【請求項 43】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする請求項 39 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 44】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする請求項 39 記載の薄膜トランジスタ・アレイ基板の製造方法。

30

【請求項 45】

前記透明導電膜は  $\text{TO}$ 、 $\text{ITO}$ 、 $\text{IZO}$  及び  $\text{ITZO}$  の中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、 $\text{Mo}$ 、 $\text{Cu}$ 、 $\text{Cr}$ 、 $\text{Ta}$  及び  $\text{Ti}$  の中の少なくともいずれか一つを含むことを特徴とする請求項 43 及び 44 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 46】

ゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記薄膜トランジスタを保護するための保護膜、前記薄膜トランジスタと接続される画素電極、前記ゲート・ライン及びデータ・ラインの中の少なくともいずれか一つと接続されて基板と接触される透明導電膜を含むパッドを有する薄膜トランジスタ・アレイ基板を設ける段階と；前記薄膜トランジスタ・アレイ基板と対向するカラーフィルター・アレイ基板を設ける段階と；前記薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板を合着する段階と、上記保護膜内のパッドに含まれた透明導電膜の少なくとも一部を露出させることを特徴とする液晶表示装置の製造方法。

40

【請求項 47】

前記パッドを有する薄膜トランジスタ・アレイ基板を設ける段階は前記ゲート・ラインと接続されたゲート・パッドを形成する段階と；前記データ・ラインと接続されたデータ・パッドを形成する段階を含むことを特徴とする請求項 46 記載の液晶表示装置の製造方法。

50

## 【請求項 48】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする請求項 47 記載の液晶表示装置の製造方法。

## 【請求項 49】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $26\ \mu\text{m}$  以上であることを特徴とする請求項 48 記載の液晶表示装置の製造方法。

## 【請求項 50】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は  $34\sim 38\ \mu\text{m}$  以上であることを特徴とする請求項 49 記載の液晶表示装置の製造方法。

10

## 【請求項 51】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする請求項 47 記載の液晶表示装置の製造方法。

## 【請求項 52】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする請求項 46 記載の液晶表示装置の製造方法。

20

## 【請求項 53】

前記透明導電膜は  $\text{TO}$ 、 $\text{ITO}$ 、 $\text{IZO}$  及び  $\text{ITZO}$  の中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、 $\text{Mo}$ 、 $\text{Cu}$ 、 $\text{Cr}$ 、 $\text{Ta}$  及び  $\text{Ti}$  の中の少なくともいずれか一つを含むことを特徴とする請求項 51 及び 52 記載の液晶表示装置の製造方法。

## 【請求項 54】

前記ゲート絶縁膜及び前記ゲート・パッドのゲート金属膜を貫通するコンタクトホールを通して露出された前記ゲート・パッドの透明導電膜の上に導電性フィルムを取り付ける段階を更に含むことを特徴とする請求項 46 記載の液晶表示装置の製造方法。

## 【請求項 55】

ゲートラインと接続されたゲートパッド及びデータラインと接続されたデータパッドの中から少なくともいずれか上に形成された保護膜パターンにより露出した透明導電膜に検査用ピンを直接接触させる段階と、前記ゲートパッド及びデータパッドの中から少なくともいずれかと接続された検査用ピンに検査信号を供給する段階と、前記ゲートライン及びデータラインの中から少なくともいずれかの不良有無を検査する段階と、を含むことを特徴とする液晶表示装置の検査方法。

30

## 【請求項 56】

前記自動検査部の検査板の線幅は  $26\ \mu\text{m}$  未満であり、前記ゲート・パッド及びデータ・パッドに含まれた透明導電膜の幅は  $26\ \mu\text{m}$  以上であることを特徴とする請求項 55 記載の液晶表示装置の検査方法。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はマスク工程数を節減することができて、自動検査の際に自動検査用のピンの接触が容易にするようにした薄膜トランジスタ・アレイ基板、製造方法、それを利用した液晶表示装置、液晶表示装置の製造方法及び液晶表示装置の検査方法に関することである。

## 【背景技術】

## 【0002】

液晶表示装置は電界を利用して液晶の光透過率を調節することで画像を表示するようになる。このような液晶表示装置は上/下部基板に対向に配置された画素電極と共通電極の

50

間に形成される電界によって液晶を駆動するようになる。

【0003】

液晶パネルは相互対向する薄膜トランジスタ・アレイ基板及びカラーフィルター・アレイ基板と、二基板の間でセルキャップを一定に維持させるスペースとセルキャップに埋められた液晶とを具備する。

【0004】

薄膜トランジスタ・アレイ基板は多数の信号配線など及び薄膜トランジスタと、それらの上に液晶背向のために塗布された背向膜で構成される。カラーフィルター・アレイ基板はカラー具現のためのカラーフィルター及び光漏の防止のためのブラック・マトリックスと、それらの上に液晶背向のために塗布された背向膜で構成される。

10

【0005】

このような液晶表示装置で薄膜トランジスタ・アレイ基板は半導体工程を含むと共に多数のマスク工程を必要とすることにつれて製造工程が複雑で液晶パネルの製造単価の上昇の重要原因になっている。これを解決するために、薄膜トランジスタ・アレイ基板はマスク工程数を減らす方向に発展している。これは一つのマスク工程が蒸着工程、洗浄工程、フォトリソグラフィ工程、蝕刻工程、フォトレジスト剥離工程、検査工程などのような多くの工程を含んでいるためである。これにつれて、最近には薄膜トランジスタ・アレイ基板の標準マスク工程であった5マスク工程で一つのマスク工程を減らした4マスク工程が台頭されている

図1は従来4マスク工程を利用した水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を表す平面図であり、図2は図1で線 I I につれて切断して取った薄膜トランジスタ・アレイ基板を表す断面図である。

20

【0006】

図1及び図2を参照すると、従来液晶表示パネルゲート絶縁膜(12)を間に置いて交差に形成されたゲート・ライン(2)及びデータ・ライン(4)と、その交差部毎に形成された薄膜トランジスタ(30)と、その交差構造で設けられた画素領域に形成された画素電極(22)と、ゲート・ライン(2)とストレージ電極(28)の重畳部に形成されたストレージ・キャパシティ(40)と、ゲート・ライン(2)と接続されるゲート・パッド(50)と、データ・ライン(4)と接続されるデータ・パッド(60)とを更に具備する。

30

【0007】

ゲート信号を供給するゲート・ライン(2)とデータ信号を供給するデータ・ライン(4)は交差構造で形成されて画素領域(5)を定義する。

【0008】

薄膜トランジスタ(30)はゲート・ライン(2)のゲート信号に応答してデータ・ライン(4)の画素信号が画素電極(22)に充電されて維持されるようにする。このために、薄膜トランジスタ(30)はゲート・ライン(2)に接続されたドレイン電極(10)とを具備する。また、薄膜トランジスタ(30)はゲート電極(6)とゲート絶縁膜(12)を間に置いて重畳されながらソース電極(8)とドレイン電極(10)の間にチャンネルを形成する活性層(14)とを更に具備する。

40

【0009】

そして、活性層(14)はデータ・ライン(4)、データ・パッド下部電極(62)及びストレージ電極(28)と重畳に形成される。このような活性層(14)の上にはデータ・ライン(4)、ソース電極(8)、ドレイン電極(10)、データ・パッド下部電極(62)及びストレージ電極(28)とオーミック接触のためのオーミック接触層(16)が更に形成される。

【0010】

画素電極(22)は保護膜(18)を貫通する第1コンタクトホール(20)を通して薄膜トランジスタ(30)のドレイン電極(10)と接続されて画素領域(5)に形成される。

50

## 【0011】

これにつれて、薄膜トランジスタ(30)を通して画素信号が供給された画素電極(22)と基準電圧が供給された共通電極(示さない)の間には電界が形成される。このような電界によって下部アレイ基板と上部アレイ基板の間の液晶分子などが誘電異方性により、回転するようになる。そして、液晶分子などの回転程度につれて画素領域(5)を透過する光の透過率が異なってくるようになることでグラデーションを具現するようになる。

## 【0012】

ストレージ・キャパシティ(40)はゲート・ライン(2)と、そのゲート・ライン(2)とゲート絶縁膜(12)、活性層(14)及びオーミック接触層(16)を間に置いて重畳されるストレージ電極(28)で構成される。ここで、ストレージ電極(28)は保護膜(18)に形成された第2コンタクトホール(42)を通して画素電極(22)と接続される。このようなストレージ・キャパシティ(40)は画素電極(22)に充電された画素信号が次の画素信号が充電される際にまで安定的に維持されるようになる。

10

## 【0013】

ゲート・パッド(50)はゲート・ドライバ(図示しない)と接続されてゲート・ライン(2)にゲート信号を供給する。このようなゲート・パッド(50)はゲート・ライン(2)から延長されるゲート・パッド下部電極(52)と、ゲート絶縁膜(12)及び保護膜(18)を貫通する第3コンタクトホール(54)を通してゲート・パッド下部電極(52)と接続されたゲート・パッド上部電極(54)で構成される。

## 【0014】

データ・パッド(60)はデータ・ドライバ(図示しない)と接続されてデータ・ライン(4)にデータ信号を供給する。このようなデータ・パッド(60)はデータ・ライン(4)から延長されるデータ・パッド下部電極(62)と、保護膜(18)を貫通する第4コンタクトホール(66)を通してデータ・パッド下部電極(62)と接続されたデータ・パッド上部電極(64)で構成される。

20

## 【0015】

このような構成を有する薄膜トランジスタ・アレイ基板の製造方法を4マスク工程を利用して詳細にすると図3a乃至図3dに示すところのようである。

## 【0016】

図3aを参照すると、第1マスク工程を利用して下部基板(1)の上にゲート・ライン(2)、ゲート電極(6)、ゲート・パッド下部電極(52)を含む第1導電パターン群が形成される。

30

## 【0017】

これを詳細に説明すると、下部基板(1)の上にスパッタリング方法などの蒸着方法を通してゲート金属層が形成される。続いて、第1マスクを利用したフォトリソグラフィ工程と蝕刻工程にゲート金属層がパターンニングされることでゲート・ライン(2)、ゲート電極(6)、ゲート・パッド下部電極(52)を含む第1導電パターン群が形成される。ここで、ゲート金属層としてはアルミニウム系金属などが利用される。

## 【0018】

図3bを参照すると、第1導電パターン群が形成された下部基板(1)の上にゲート絶縁膜(12)が塗布される。そして、第2マスク工程を利用してゲート絶縁膜(12)の上に活性層(14)及びオーミック接触層(16)を含む半導体パターンと；データ・ライン(4)、ソース電極(8)、ドレイン電極(10)、データ・パッド下部電極(62)、ストレージ電極(28)を含む第2導電パターン群が形成される。

40

## 【0019】

これを詳細に説明すると、第1導電パターン群が形成された下部基板(1)の上にPECVD、スパッタリングなどの蒸着方法を通してゲート絶縁膜(12)、非晶質シリコン層、n+非晶質シリコン層、そしてデータ金属層が順次に形成される。ここで、ゲート絶縁膜(12)の材料としては酸化シリコン(SiO<sub>x</sub>)または窒化シリコン(SiN<sub>x</sub>)などの無機絶縁物質が利用される。データ金属層としてはモリブデン、チタン、タンタル

50

、モリブデン合金などが利用される。

【0020】

続いて、データ金属層の上に第2マスクを利用したフォトリソグラフィ工程にフォトレジスト・パターンを形成するようになる。この場合、第2マスクとしては薄膜トランジスタのチャンネル部に回折露光部を有する回折露光マスクを利用することでチャンネル部のフォトレジスト・パターンが異なる領域部のフォトレジスト・パターンより低い高さを有するようにする。

【0021】

続いて、フォトレジスト・パターンを利用した湿式蝕刻工程にデータ金属層がパターンニングされることでデータ・ライン(4)、ソース電極(8)、そのソース電極(10)と一体化されたドレイン電極(10)、ストレージ電極(28)を含む第2導電パターン群が形成される。

10

【0022】

次いで、同一のフォトレジスト・パターンを利用した乾式蝕刻工程にn+非晶質シリコン層と非晶質シリコン層が同時にパターンニングされることでオーミック接触層(14)と活性層(16)が形成される。

【0023】

そして、アッシング工程にチャンネル部で相対的に低い高さを有するフォトレジスト・パターンが除去された後、乾式蝕刻工程にチャンネル部のデータ金属層及びオーミック接触層(16)が蝕刻される。これにつれて、チャンネル部の活性層(14)が露出されてソース電極(8)とドレイン電極(10)が分離される。

20

【0024】

続いて、ストリップ工程に第2導電パターン群の上に残っているフォトレジスト・パターンが除去される。

【0025】

図3cを参照すると、第2導電パターン群が形成されたゲート絶縁膜(12)の上に第3マスク工程を利用して第1乃至第4コンタクトホールなど(20, 42, 56, 66)を含む保護膜(18)が形成される。

【0026】

詳細にすると、第2導電パターン群が形成されたゲート絶縁膜(12)の上にPECVDなどの蒸着方法に保護膜(18)が全面形成される。続いて、保護膜(18)は第3マスクを利用したフォトリソグラフィ工程と蝕刻工程にパターンニングされることで第1乃至第4コンタクトホールなど(20, 42, 56, 66)が形成される。第1コンタクトホール(20)は保護膜(18)を貫通してドレイン電極(10)を露出させて、第2コンタクトホール(26)は保護膜(18)を貫通してストレージ電極(42)を露出させる。第3コンタクトホール(56)は保護膜(18)及びゲート絶縁膜(12)を貫通してゲート・パッド下部電極(52)を露出させて、第4コンタクトホール(66)は保護膜(18)を貫通してデータ・パッド下部電極(62)を露出させる。ここで、データ金属としてモリブデン(Mo)のように乾式蝕刻比の大きい金属が利用される場合、第1、第2、第4コンタクトホール(20, 42, 66)のそれぞれはドレイン電極(10)、ストレージ電極(28)、データ・パッド下部電極(62)まで貫通してそれらの側面を露出させるようになる。

30

40

【0027】

保護膜(18)の材料としてはゲート絶縁膜(12)のような無機絶縁物質か、誘電率が小さいアクリル系有機化合物、BCBまたはPFCBなどのような有機絶縁物質が利用される。

【0028】

図3dを参照すると、第4マスク工程を利用して保護膜(18)の上に画素電極(22)、ゲート・パッド上部電極(54)、データ・パッド上部電極(64)を含む第3導電パターン群が形成される。

50

## 【0029】

これを詳細に説明すると、保護膜(18)の上にスパッタリングなどの蒸着方法に透明導電膜が塗布される。続いて、第4マスクを利用したフォトリソグラフィ工程と蝕刻工程を通して透明導電膜がパターンングされることで画素電極(22)、ゲート・パッド上部電極(54)、データ・パッド上部電極(64)を含む第3導電パターン群が形成される。画素電極(22)は第1コンタクトホール(20)を通してドレイン電極(10)と電氣的に接続されて、第2コンタクトホール(42)を通してストレージ電極(28)と電氣的に接続される。ゲート・パッド上部電極(54)は第3コンタクトホール(56)を通してゲート・パッド下部電極(52)と電氣的に接続される。データ・パッド上部電極(64)は第4コンタクトホール(66)を通してデータ・パッド下部電極(64)と電氣的に接続される。

## 【0030】

ここで、透明導電膜の材料としてはインジウム錫酸化物(ITO)、錫酸化物(TO)、インジウム亜鉛酸化物(IZO)またはインジウム錫亜鉛酸化物(ITZO)などの中のいずれかが一つが利用される。

## 【0031】

このように、従来の薄膜トランジスタ・アレイ基板及びその製造方法は4マスク工程を採用することで5マスク工程を利用した場合より製造工程数を減らすことと共にそれに比例する製造単価を節減することができるようになる。しかし、4マスク工程もまた相変わらず製造工程が複雑で原価節減に限界があるので製造工程をもっと単純化して製造単価をもっと減らすことができる法案が要求される。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0032】

従って、本発明の目的はマスク工程数を節減することができる薄膜トランジスタ・アレイ基板、その製造方法、それを利用した液晶表示装置、液晶表示装置の製造方法及び液晶表示装置の検査方法を提供することである。

## 【0033】

本発明の異なる目的は自動検査の際に自動検査用のピンの接触が容易になるようにした薄膜トランジスタ・アレイ基板、その製造方法、それを利用した液晶表示装置、液晶表示装置の製造方法及び液晶表示装置の検査方法を提供することである。

## 【課題を解決するための手段】

## 【0034】

前記目的を達成するために、本発明の実施例による薄膜トランジスタ・アレイ基板は基板の上に薄膜トランジスタのゲート電極、そのゲート電極と接続されたゲート・ライン、そのゲート・ラインと接続されたゲート・パッド下部電極を含む第1導電パターン群と；前記薄膜トランジスタのソース電極及びドレイン電極、そのソース電極と接続されたデータ・ライン、そのデータ・ラインと接続されたデータ・パッド下部電極を含む第2導電パターン群と；前記第2導電パターン群につれてその下部に形成された半導体パターンと；前記ドレイン電極と接続された画素電極、前記ゲート・パッド下部電極と接続されたゲート・パッド上部電極、前記データ・パッド下部電極と側面接続されて前記基板と接続されたデータ・パッド上部電極を含む第3導電パターン群と；前記第1導電パターン群と第2導電パターン群の間に形成されたゲート絶縁パターンと、前記第3導電パターン群の画素電極、ゲートパッド上部電極及びデータパッド上部電極の間に形成される保護膜パターンと、を具備することを特徴とする。

前記第3導電パターン群が形成された領域を除いた残りの領域で積層されて形成されたゲート絶縁パターン及び保護膜パターンとを具備することを特徴とする。

## 【0035】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は検査用のピンの対応幅より大きいことを特徴とする。

10

20

30

40

50

## 【0036】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は26 $\mu\text{m}$ 以上であることを特徴とする。

## 【0037】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は34～38 $\mu\text{m}$ 以上であることを特徴とする。

## 【0038】

前記データ・パッド下部電極の少なくとも一側面と基板を露出させる少なくとも一つのデータ・コンタクトホールとを更に具備することを特徴とする。

## 【0039】

前記データ・コンタクトホールは前記データ・パッド下部電極の一側面を露出させる第1データ・コンタクトホールと；前記第1データ・コンタクトホールと所定間隔に離隔されて前記データ・パッド下部電極の他側面を露出させる第2データ・コンタクトホールを含むことを特徴とする。

10

## 【0040】

前記少なくとも一つのデータ・コンタクトホール内の前記データ・パッド上部電極と下部基板の間に位置する少なくとも一つのダミー・パターンとを更に具備することを特徴とする。

## 【0041】

前記ダミー・パターンは前記ゲート絶縁パターンと同一物質であることを特徴とする。

20

## 【0042】

前記画素電極は前記ドレイン電極と側面接触されると共に前記基板と接触されることを特徴とする。

## 【0043】

前記ゲート・ライン、そのゲート・ラインと前記ゲート絶縁パターン及び半導体パターンを間に置いて重畳されて前記画素電極と側面接触されるストレージ電極を含むストレージキャパシティとを更に具備することを特徴とする。

## 【0044】

前記目的を達成するために、本発明による薄膜トランジスタ・アレイ基板は基板の上に形成されたゲート・ラインと；前記ゲート・ラインと交差に形成されて画素領域を定義するデータ・ラインと；前記ゲートライン及びデータラインの間に形成されるゲート絶縁膜と、前記ゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタと；前記画素領域に形成されて前記ゲート・ラインと接続されたゲート・パッドと；前記データ・ラインと接続されたデータ・パッドとを具備して；前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つは前記基板と接触されて透明導電膜が露出されるように形成されることを特徴とする。

30

## 【0045】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする。

## 【0046】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は26 $\mu\text{m}$ 以上であることを特徴とする。

40

## 【0047】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は34～38 $\mu\text{m}$ 以上であることを特徴とする。

## 【0048】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする。

## 【0049】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明

50

導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする。

【0050】

前記透明導電膜はTO, ITO, IZO及びITZOの中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、Mo, Cu, Cr, Ta及びTiの中の少なくともいずれか一つを含むことを特徴とする。

【0051】

前記目的を達成するために、本発明による液晶表示装置はゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記薄膜トランジスタを保護するための保護膜、前記薄膜トランジスタと接続される画素電極、前記ゲート・ライン及びデータ・ラインの中の少なくともいずれか一つと接続されて基板と接続される透明導電膜を含むパッドを有する薄膜トランジスタ・アレイ基板と；前記薄膜トランジスタ・アレイ基板と対向に合着されるカラーフィルター・アレイ基板とを具備して；前記保護膜は前記カラーフィルター・アレイ基板と重畳される領域に形成されて前記パッドに含まれた透明導電膜を露出させることを特徴とする。

10

【0052】

前記パッドは前記ゲート・ラインと接続されたゲート・パッドと；前記データ・ラインと接続されたデータ・パッドを含むことを特徴とする。

【0053】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする。

20

【0054】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は26 μm以上であることを特徴とする。

【0055】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は34 ~ 38 μm以上であることを特徴とする。

【0056】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする。

【0057】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする。

30

【0058】

前記透明導電膜はTO, ITO, IZO及びITZOの中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、Mo, Cu, Cr, Ta及びTiの中の少なくともいずれか一つを含むことを特徴とする。

【0059】

前記ゲート絶縁膜及び前記ゲート・パッドのゲート金属膜を貫通するコンタクトホールを通して前記ゲート・パッドの露出された透明導電膜と接続された導電性フィルムとを更に具備することを特徴とする。

40

前記目的を達成するために、本発明による薄膜トランジスタ・アレイ基板の製造方法においては、基板の上に薄膜トランジスタのゲート電極、そのゲート・ラインと接続されたゲート・ライン、そのゲート・ラインと接続されたゲート・パッド下部電極を含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜の上に前記薄膜トランジスタのソース電極及びドレイン電極、そのソース電極と接続されたデータ・ライン、そのデータ・ラインと接続されたデータ・パッド下部電極を含む第2導電パターン群を形成すると共に前記第2導電パターン群につれてその下部に形成された半導体パターンを形成する段階と；前記ドレイン電極と接続された画素電極、前記ゲート・パッド下部電極と接続されたゲート・パッド上部電極、前記データ・パッド下部電極と側面接続されたデータ・パッド上部電極を含

50

む第3導電パターン群を形成する段階と；前記第1及び第2導電パターン群の間にゲート絶縁パターンを形成する段階と、前記第3導電パターン群の画素電極、ゲートパッド上部電極及びデータパッド上部電極の間に保護膜パターンを形成する段階と、を含むことを特徴とする。

【0060】

前記第3導電パターン群を形成する段階は検査用のピンの対応幅より大きい線幅を有するように前記ゲート・パッド上部電極及びデータ・パッド上部電極の中の少なくともいずれか一つを形成する段階を含むことを特徴とする。

【0061】

前記ゲート・パッド上部電極及びデータ・パッド上部電極の中のいずれか一つの線幅は 26  $\mu\text{m}$  以上であることを特徴とする。 10

【0062】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は 34 ~ 38  $\mu\text{m}$  以上であることを特徴とする。

【0063】

前記ゲート絶縁パターン及び保護膜パターンを形成する段階は前記データ・パッド下部電極の少なくとも一側面と基板を露出させるデータ・コンタクトホールを有する前記ゲート絶縁パターン及び保護膜パターンを形成する段階を含むことを特徴とする。

【0064】

前記ゲート絶縁パターン及び保護膜パターンを形成する段階は前記データ・コンタクトホールは前記データ・パッド下部電極の一側面を露出させる第1データ・コンタクトホールと；前記第1データ・コンタクトホールと所定間隔に離隔されて前記データ・パッド下部電極の他側面を露出させる第2データ・コンタクトホールを有する前記ゲート絶縁パターン及び保護膜パターンを形成する段階を含むことを特徴とする。 20

【0065】

前記データ・コンタクトホール内の前記データ・パッド上部電極と下部基板の間に少なくとも一つのダミー・パターンを形成する段階を更に含むことを特徴とする。

前記ダミーパターンを形成する段階は前記データ・パッド下部電極が形成された基板の上に保護膜を形成する段階と；前記保護膜の上にフォトレジスト・パターンを形成する段階と； $\text{SF}_6$  より  $\text{O}_2$  が更に添加された第1蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記保護膜をパターニングする段階と； $\text{O}_2$  より  $\text{SF}_6$  が更に添加された第2蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記データ・パッド下部電極をパターニングする段階と； $\text{Cl}_2$  及び  $\text{HCl}$  の中のいずれか一つが含まれた第3蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記半導体パターンをパターニングして前記半導体パターンを少量残存する半導体パターンと重畳される位置に前記ゲート絶縁膜を少量残存させる段階を含むことを特徴とする。 30

前記  $\text{SF}_6$  より  $\text{O}_2$  が更に添加された第1蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記保護膜をパターニングする段階は前記  $\text{SF}_6$  と  $\text{O}_2$  の比率が 1 : 3 である第1蝕刻ガスを利用して前記保護膜をパターニングする段階を含むことを特徴とする。 40

前記  $\text{O}_2$  より  $\text{SF}_6$  が更に添加された第2蝕刻ガスを利用して前記フォトレジスト・パターンをマスクで前記データ・パッド下部電極をパターニングする段階は前記  $\text{O}_2$  と  $\text{SF}_6$  の比率が 1 : 3 ~ 10 である第2蝕刻ガスを利用して前記データ・パッド下部電極をパターニングする段階を含むことを特徴とする。

【0066】

前記第3導電パターン群、ゲート絶縁パターン及び保護膜パターンを形成する段階は前記第2導電パターン群が形成されたゲート絶縁膜の上に保護膜を形成する段階と；前記保護膜の上にフォトレジスト・パターンを形成する段階と；前記フォトレジスト・パターンをマスクで  $\text{SF}_6$  及び  $\text{O}_2$  を含む蝕刻ガスを利用して前記保護膜、ゲート絶縁膜、ドレイン電極及び半導体パターンをパターニングして前記ゲート絶縁パターン、保護膜パターン 50

、前記保護膜パターン及びゲート絶縁パターンと側面部が並んだドレイン電極を形成する段階と；前記フォトレジスト・パターンが残っている基板の上に透明導電膜を蒸着する段階と；前記フォトレジスト・パターンとその上の透明導電膜をストリップ工程に除去して第3導電パターン群を形成する段階を含むことを特徴とする。

【0067】

前記薄膜トランジスタ・アレイ基板の製造方法は前記ゲート・ライン、そのゲート・ラインと前記ゲート絶縁パターン及び半導体パターンを間に置いて重畳されて前記画素電極と側面接触されるストレージ電極を含むストレージ・クアパシティを形成する段階を更に含むことを特徴とする。

【0068】

前記目的を達成するために、本発明による薄膜トランジスタ・アレイ基板の製造方法は基板の上に形成されたゲート・ライン、前記ゲート・ラインとゲート絶縁膜を間に置いて交差に形成されて画素領域を定義するデータ・ライン、前記ゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記画素領域の前記基板の上に形成されて前記薄膜トランジスタと接続された画素電極、前記ゲート・ラインと接続されたゲート・パッド、前記データ・ラインと接続されたデータ・パッドを形成する段階を含めて；前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つは前記基板と接触されて前記基板の上に透明導電膜が露出されるように形成されることを特徴とする。

【0069】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする。

【0070】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は26 $\mu$ m以上であることを特徴とする。

【0071】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は34～38 $\mu$ m以上であることを特徴とする。

【0072】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする。

【0073】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする。

【0074】

前記透明導電膜はTO, ITO, IZO及びITZOの中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、Mo, Cu, Cr, Ta及びTiの中の少なくともいずれか一つを含むことを特徴とする。

前記目的を達成するために、本発明による液晶表示装置はゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記薄膜トランジスタを保護するための保護膜、前記薄膜トランジスタと接続される画素電極、前記ゲート・ライン及びデータ・ラインの中の少なくともいずれか一つと接続されて基板と接触される透明導電膜を含むパッドを有する薄膜トランジスタ・アレイ基板を設ける段階と；前記薄膜トランジスタ・アレイ基板と対向するカラーフィルター・アレイ基板を設ける段階と；前記薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板を合着する段階と；前記保護膜内のパッドに含まれた透明導電膜の少なくとも一部を露出させることを特徴とする。

【0075】

前記パッドを有する薄膜トランジスタ・アレイ基板を設ける段階は前記ゲート・ラインと接続されたゲート・パッドを形成する段階と；前記データ・ラインと接続されたデータ・パッドを形成する段階を含むことを特徴とする。

【0076】

10

20

30

40

50

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は検査用のピンの対応幅より大きいことを特徴とする。

【0077】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は26 μm以上であることを特徴とする。

【0078】

前記ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つの露出された透明導電膜の線幅は34 ~ 38 μm以上であることを特徴とする。

【0079】

前記ゲート・パッドは前記透明導電膜、その透明導電膜が少なくとも一部露出されるように前記透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする。 10

【0080】

前記ゲート・ライン及びゲート電極は前記透明導電膜、その透明導電膜の上に前記透明導電膜と重畳されるように形成されたゲート金属膜を含むことを特徴とする。

【0081】

前記透明導電膜はT O , I T O , I Z O及びI T Z Oの中の少なくともいずれか一つを含めて、前記ゲート金属膜はアルミニウム系金属、M o , C u , C r , T a及びT iの中の少なくともいずれか一つを含むことを特徴とする。

【0082】

前記ゲート絶縁膜及び前記ゲート・パッドのゲート金属膜を貫通するコンタクトホールを通して露出された前記ゲート・パッドの透明導電膜の上に導電性フィルムを取り付ける段階を更に含むことを特徴とする。 20

【0083】

前記目的を達成するために、本発明による液晶表示装置の検査方法はゲートラインと接続されたゲートパッド及びデータラインと接続されたデータパッドの中から少なくともいずれか上に形成された保護膜パターンにより露出した透明導電膜に検査用ピンを直接接触させる段階と、前記ゲートパッド及びデータパッドの中から少なくともいずれかと接続された検査用ピンに検査信号を供給する段階と、前記ゲートライン及びデータラインの中から少なくともいずれかの不良有無を検査する段階と、を含むことを特徴とする。

【0084】

前記自動検査部の検査板の線幅は26 μm未満であり、前記ゲート・パッド及びデータ・パッドに含まれた透明導電膜の幅は26 μm以上であることを特徴とする。 30

【発明の効果】

【0085】

本発明による薄膜トランジスタ・アレイ基板はリフト・オフ方法とパッド・オープン方法を利用した3マスク工程で工程によって形成される。これにつれて、薄膜トランジスタ・アレイ基板の構造、液晶表示装置の構造及び製造工程を単純化できて製造原価を節減できることと共に製造数率を向上させることができるようになる。

【0086】

また、本発明による薄膜トランジスタ・アレイ基板及び液晶表示装置はゲート・パッド及びデータ・パッドに含まれて露出された透明導電膜の線幅を検査装置の検査ピンの線幅より広く形成する。これにつれて、自動検査工程の際に検査ピンの接触が容易になり信号ラインの不良有無の判断が容易になる。 40

【発明を実施するための最良の形態】

【0087】

[実施例]

以下、本発明の実施例などを図4及び図32dを参照して詳細に説明する。

【0088】

図4は本発明の第1実施例による液晶表示パネルの薄膜トランジスタ・アレイ基板を示した平面図であり、図5は図4で線 II II につれて切り取った薄膜トランジスタ・ 50

アレイ基板を示した断面図である。

【0089】

図4及び図5に示された薄膜トランジスタ・アレイ基板は下部基板(101)の上にゲート絶縁パターン(112)を間に置いて交差に形成されたゲート・ライン(102)及びデータ・ライン(104)と、その交差部毎に形成された薄膜トランジスタ(130)と、その交差構造で設けられた画素領域(105)に形成された画素電極(122)と、画素電極(122)とゲート・ライン(102)の重畳部に形成されたストレージ・キャパシティ(140)と、ゲート・ライン(102)で延長されたゲート・パッド(150)と、データ・ライン(104)で延長されたデータ・パッド部(160)とを具備する。

10

【0090】

ゲート信号を供給するゲート・ライン(102)とデータ信号を供給するデータ・ライン(104)は交差構造で形成されて画素領域を定義する。

【0091】

薄膜トランジスタ(130)はゲート・ライン(102)のゲート信号にตอบสนองしてデータ・ライン(104)の画素信号が画素電極(122)に充電されて維持されるようにする。このために、薄膜トランジスタ(130)はゲート・ライン(102)に接続されたゲート電極(106)と、データ・ライン(104)に接続されたソース電極(108)と、画素電極(122)と接続されたドレイン電極(110)とを具備する。また、薄膜トランジスタ(130)はゲート電極(106)とゲート絶縁膜(112)を間に置いて重畳されながらソース電極(108)とドレイン電極(110)の間にチャンネルを形成する半導体パターン(114, 116)とを具備する。

20

【0092】

ゲート電極(106)とゲート・ライン(102)を含む第1導電パターン群は透明導電膜(170)と、その透明導電膜(170)の上にゲート金属膜(172)が積層された構造で形成される。

【0093】

半導体パターンはソース電極(108)とドレイン電極(110)の間のチャンネルを形成して、ゲート絶縁パターン(112)を間に置いてゲートパターンと部分的に重畳に形成された活性層(114)とを具備する。そして、半導体パターンは活性層(114)の上に形成されてストレージ電極(128)、ソース電極(108)及びドレイン電極(110)とオーミック接触のためのオーミック接触層(116)が更に形成される。このような半導体パターンはセルとセルの間には分離になるように形成されてその半導体パターンによるセルなどの間の信号干渉を防止するようになる。

30

【0094】

画素電極(122)は画素領域(105)に透明導電膜(170)に形成されて薄膜トランジスタ(130)のドレイン電極(110)と直接接続される。

【0095】

これにつれて、薄膜トランジスタ(130)を通して画素信号が供給された画素電極(122)と基準電圧が供給された共通電極(示さない)の間には垂直電界が形成される。このような垂直電界によって上部アレイ基板と下部アレイ基板の間の液晶分子などが誘電異方性により、回転するようになる。そして、液晶分子などの回転程度につれて画素領域(105)を透過する光の透過率が異なってくるようになることでグラデーションを具現するようになる。

40

【0096】

ストレージ・キャパシティ(140)はゲート・ライン(102)と、そのゲート・ライン(102)とゲート絶縁パターン(112)、活性層(114)及びオーミック接触層(116)を間に置いて重畳されて画素電極(122)と直接接続されたストレージ電極(128)で構成される。このようなストレージ・キャパシティ(140)は画素電極(122)に充電された画素信号が次の画素信号が充電される際にまで安定的に維持され

50

るようになる。

【0097】

ゲート・パッド(150)はゲート・ドライバ(示しない)と接続されてゲート・ドライバで生成されたゲート信号をゲート・ライン(102)に供給する。ここで、ゲート・パッド(150)は透明導電膜(170)と、その透明導電膜(170)の上に形成されたゲート金属層(172)で形成される。このような、ゲート・パッド(150)はゲート・ライン(102)から伸長された透明導電膜(170)がゲート絶縁パターン(112)とゲート金属層(172)を貫通するコンタクトホール(180)を通して露出されるように形成される。

【0098】

データ・パッド(160)はデータ・ドライバ(示しない)と接続されてデータ・ドライバで生成されたデータ信号をデータ・ライン(104)に供給する。このようなデータ・パッド(160)はデータ・ライン(104)と直接接続されて透明導電膜(170)が露出された構造で形成される。一方、データ・パッド(160)は透明導電膜(170)とその透明導電膜(170)の上にデータ・ライン(104)と重畳される領域に形成される金属膜(172)とになることができる。

【0099】

このように、本発明の第1実施例による薄膜トランジスタ・アレイ基板はゲート・パッド(150)及びデータ・パッド(160)の透明導電膜(170)が露出されて、基板(101)の側面にゲート金属膜(172)の露出になり、基板(101)側面にゲート金属膜(172)が露出されることでゲート金属膜(172)の露出が最小化されて腐蝕に対する信頼性が向上される。また、透明導電膜(170)が露出されるように形成されたゲート・パッド(150)及びデータ・パッド(160)はTCPの反復的な取り付け工程で断線不良を防止することができる。

【0100】

図6a及び図6bは本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第1マスク工程を説明するための平面図及び断面図である。

【0101】

図6a及び図6bを参照すると、第1マスク工程に下部基板(101)の上に二層構造のゲート・ライン(102)、ゲート電極(106)、ゲート・パッド(150)、データ・パッド(160)及びゲート金属膜(172)を含む画素電極(122)を含む第1導電パターン群が形成される。

【0102】

これのために、下部基板(101)の上にスパッタリング方法などの蒸着方法を通して透明導電膜(170)とゲート金属膜(172)が順次に形成される。ここで、透明導電膜(170)はインジウム錫酸化物(ITO)、錫酸化物(TO)、インジウム亜鉛酸化物(IZO)またはインジウム錫亜鉛酸化物(TZO)などのような透明導電性物質が利用されて、ゲート金属膜(172)はアルミニウム/ネオジウム(AlNd)を含むアルミニウム/ネオディウム(AlNd)を含むアルミニウム(Al)系金属、モリブデン(Mo)、銅(Cu)、クロム(Cr)、タンタル(Ta)、チタン(Ti)などのような金属が利用される。続いて、透明導電膜(170)とゲート金属層(172)が第1マスクを利用した利用したフォトリソグラフィ工程と蝕刻工程によってパターンングされることで二層構造のゲート・ライン(102)、ゲート電極(106)、ゲート・パッド(150)、データ・パッド(160)及びゲート金属膜(172)を含む画素電極(122)を含む第1導電パターン群が形成される。

図7a及び図7bは本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第2マスク工程を説明するための平面図及び断面図である。

【0103】

図7a及び図7bに示したところのように第2マスク工程で第1導電パターン群が形成された下部基板(101)の上にゲート絶縁パターン(112)と；活性層(114)及

10

20

30

40

50

びオーミック接触層(116)を含む半導体パターンが形成される。そして、データ・パッド(160)及び画素電極(122)に含まれたゲート金属膜(172)が除去されて透明導電膜(170)が露出されて、半導体パターン、ゲート絶縁パターン(112)及びゲート金属膜(172)を貫通してゲート・パッド(150)の透明導電膜(170)を露出させるコンタクトホール(180)が形成される。このような第2マスク工程を図8a乃至8cを参照して詳細にすると次のようである。

#### 【0104】

まず、第1導電パターン群が形成された下部基板(101)の上に図8aに示されたようにPECVE、スパッタリングなどの蒸着方法を通して示されたようにゲート絶縁膜(111)と第1及び第2半導体層(115, 117)が順次に形成される。ここで、ゲート絶縁膜(111)の材料としては酸化シリコン(SiO<sub>x</sub>)または窒化シリコン(SiN<sub>x</sub>)などの無機絶縁物質が利用されて、第1半導体層(113)は不純物がドーピングされない非晶質シリコンが利用されて、第2半導体層(117)はN型またはP型の不純物がドーピングされた非晶質シリコンが利用される。続いて、第2半導体層(117)の上にフォトレジスト膜(156)が全面形成された後、下部基板(101)の上部に第2マスク(162)が整列される。第2マスク(162)は透明な材質であるマスク基板(152)と、マスク基板(152)の遮断領域(S2)に形成された遮断部(154)とを具備する。ここで、マスク基板(152)が露出された領域は露光領域(S1)になる。このような第2マスク(162)を利用したフォトレジスト膜(156)を露光及び現像することで図8bに示されたように第2マスク(162)の遮断部(154)と対応してフォトレジスト・パターン(158)が形成される。このようなフォトレジスト・パターン(158)を利用した蝕刻工程に第1及び第2半導体パターン(115, 117)とゲート絶縁膜(111)がパターンニングされる。これにつれて、図8cに示されたようにゲート絶縁パターン(112)と、そのゲート絶縁パターン(112)の上に第1導電パターン群より幅広い活性層(114)及びオーミック接触層(116)を含む半導体パターンが形成される。これは半導体パターンがゲート電極(106)の幅より狭い場合、チャンネル特性が低下されるのでこれを防止するためである。また、ゲート絶縁パターン(112)と半導体パターンを貫通してゲート・パッド(150)のゲート金属膜(172)を露出させるコンタクトホール(180)が形成される。

#### 【0105】

次いで、ゲート絶縁パターン(112)と半導体パターン(114, 116)をマスクで利用して露出されたゲート金属膜(172)が湿式蝕刻で除去される。即ち、データ・パッド(160)及び画素電極(122)に含まれたゲート金属膜(172)が除去されてこれら(160, 122)に含まれた透明導電膜(170)が露出されて、ゲート・パッド(150)の露出されたゲート金属膜(172)がコンタクトホール(180)につれて除去されてゲート・パッド(150)の透明導電膜(170)が露出される。

#### 【0106】

図9a及び図9bを参照すると、本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第3マスク工程を説明するための平面図及び断面図である。

#### 【0107】

図9a及び図9bに示されたように第3マスク工程でゲート絶縁膜(112)と半導体パターンが形成された下部基板(101)の上に、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、ストレージ電極(128)を含む第2導電パターン群が形成される。このような第3マスク工程を図10a乃至図10eを参照して詳細にすると次のようである。

#### 【0108】

図10aに示されたように半導体パターンが形成された下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層(109)とフォトレジスト膜(178)が順次に形成される。ここで、データ金属層(109)はモリブデン(Mo)、銅(Cu)などのような金属とになされる。

10

20

30

40

50

## 【0109】

次いで、部分露光マスクである第3マスク(161)が下部基板(101)の上部に整列される。第3マスク(161)は透明な材質であるマスク基板(164)と、マスク基板(164)の遮断領域(S2)に形成された遮断部(166)と、マスク基板(164)の部分露光領域(S3)に形成された回折露光部(168)(または反透過部)とを具備する。ここで、マスク基板(164)の露出された領域は露光領域(S1)になる。このような第3マスク(161)を利用したフォトレジスト膜(178)を露光した後、現像することで図10bに示されたように第3マスク(161)の遮断部(166)と回折露光部(168)に対応して遮断領域(S2)と部分露光領域(S3)で段差を有するフォトレジスト・パターン(179)が形成される。即ち、部分露光領域(S3)に形成されたフォトレジスト・パターン(179)は遮断領域(S2)で形成されたフォトレジスト・パターン(179)より低い高さを有するようになる。

10

## 【0110】

このようなフォトレジスト・パターン(179)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされることでストレージ電極(128)、データ・ライン(104)、データ・ライン(104)と接続されたソース電極(108)とドレイン電極(110)を含む第2導電パターン群が形成される。

## 【0111】

そして、フォトレジスト・パターン(179)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。これは活性層(114)及びオーミック接触層(116)を含む半導体パターンによるセル間の段落を防止するためである。

20

## 【0112】

続いて、酸素(O<sub>2</sub>)プラズマを利用したアッシング工程で部分露光領域(S3)に位置するレジスタフォター・パターン(179)は図10cに示されたように除去されて、遮断領域(S2)に位置するフォトレジスト・パターン(179)は最初高さより高さが低くなった状態になる。このようなフォトレジスト・パターン(179)を利用した蝕刻工程で部分露光領域(S3)、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層(116)が除去されることでドレイン電極(110)とソース電極(108)が分離される。そして、第2導電パターン群の上に残っているフォトレジスト・パターン(230)は図10dに示されたようにストリップ工程で除去される。

30

## 【0113】

続いて、第2導電パターン群が形成された基板(101)の全面に図10eに示されたように保護膜(118)が形成される。保護膜(118)としてはゲート絶縁パターン(112)のような無機絶縁物質か、誘電率が小さいアクリル(acryl)系有機化合物、BCBまたはPFCBなどのような有機絶縁物質が利用される。

## 【0114】

図11は本発明の第2実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図12は図11に示された線 III-III につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

40

## 【0115】

図11及び図12を参照すると、本発明の第2実施例による薄膜トランジスタ・アレイ基板は図4及び図5に示された薄膜トランジスタ・アレイ基板と比較してゲート・パッドを透明導電膜で形成することを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

## 【0116】

ゲート・パッド(150)はゲート・ドライバ(示さない)と接続されてゲート・ドラ

50

イバで生成されたゲート信号をゲート・ライン(102)に供給する。このようなゲート・パッド(150)はゲート・ライン(102)から伸張された透明導電膜(170)が露出された構造で形成される。一方、ゲート・ライン(102)は透明導電膜(170)と透明導電膜(170)の上に形成されたゲート金属層(172)で形成される。

【0117】

このように、本発明の第2実施例による薄膜トランジスタ・アレイ基板はゲート・パッド(150)及びデータ・パッド(160)の透明導電膜(170)が露出されるので腐蝕に対する信頼性が向上される。また、透明導電膜(170)が露出されるように形成されたゲート・パッド(150)及びデータ・パッド(160)はTCPの反復的な取り付け工程でも断線不良を防止することができる。

10

【0118】

図13a乃至図13cは本発明の第2実施例による薄膜トランジスタ・アレイ基板の製造方法を表す断面図である。

【0119】

図13aを参照すると、第1マスク工程に下部基板(101)の上に二層構造のゲート・ライン(102)、ゲート電極(106)、ゲート・パッド(150)、データ・パッド(160)及びゲート金属膜(172)を含む画素電極(122)を含む第1導電パターン群が形成される。

【0120】

これのために、下部基板(101)の上にスパッタリング方法などの蒸着方法を通して透明導電膜(170)とゲート金属膜(172)が順次に形成される。続いて、透明導電膜とゲート金属層が第1マスクを利用したフォトリソグラフィ工程と蝕刻工程にゲート金属層がパターニングされることで二層構造のゲート・ライン(102)、ゲート電極(106)、ゲート・パッド(150)、データ・パッド(160)及びゲート金属膜(172)を有する画素電極(122)を含む第1導電パターン群が形成される。

20

【0121】

図13bを参照すると、第2マスク工程に第1導電パターン群が形成された下部基板(101)の上にゲート絶縁パターン(112)と；活性層(114)及びオーミック接触層(116)を含む半導体パターンが形成される。ここで、ゲート・パッド(150)、データ・パッド(160)及び画素電極(122)に含まれたゲート金属膜(172)が除去されて透明導電膜(170)が露出される。

30

【0122】

このために、第1導電パターン群が形成された下部基板(101)の上にPECVD、スパッタリングなどの蒸着方法を通して第1及び第2半導体層が順次に形成される。ここで、ゲート絶縁膜と第1及び第2半導体層を第2マスクを利用したフォトリソグラフィ工程と蝕刻工程によってパターニングされることでゲート絶縁パターン(112)と、そのゲート絶縁パターン(112)の上に第1導電パターン群より幅広い活性層(114)及びオーミック接触層(116)を含む半導体パターンが形成される。

【0123】

次いで、ゲート絶縁パターン(112)と半導体パターン(114, 116)をマスクで利用して露出されたゲート金属膜(172)が湿式蝕刻で除去される。即ち、ゲート・パッド(150)、データ・パッド(160)及び画素電極(122)に含まれたゲート金属膜(172)が除去されてこれら(150, 160, 122)に含まれた透明導電膜(170)が露出される。

40

【0124】

図13cを参照すると、第3マスク工程でゲート絶縁パターン(112)と半導体パターンが形成された下部基板(101)の上にデータ・ライン(104)、ソース電極(108)、ドレイン電極(110)及びストレージ電極(128)を含む第2導電パターン群が形成される。

【0125】

50

このために、下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層が形成される。部分露光マスクを利用したフォトリソグラフィ工程によって形成された段差になったフォトレジスト・パターンをマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターンングされることでストレージ電極(128)、データ・ライン(104)、データ・ライン(104)と接続されたソース電極(108)及びドレイン電極(110)を含む第2導電パターン群が形成される。そして、フォトレジスト・パターンをマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。続いて、アッシング工程によって相対的に高さが低いフォトレジスト・パターンが除去されて相対的に高さが高いフォトレジスト・パターン高さが低くなる。このようなフォトレジスト・パターンを利用して薄膜トランジスタのチャンネル部に形成された金属層とオーミック接触層(116)が除去されることでソース電極(8)とドレイン電極(10)が分離される。続いて、第2導電パターン群が形成された基板(101)の全面に保護膜(118)が形成される。

10

**【0126】**

図14及び図15は図4及び図5に示した薄膜トランジスタ・アレイ基板を含む液晶表示装置を表す平面図及び断面図であり、図16及び図17は図11及び図12に示した薄膜トランジスタ・アレイ基板を含む液晶表示装置を示す平面図及び断面図である。

**【0127】**

図14乃至図17に示された液晶表示装置は本発明の第1及び第2実施例による薄膜トランジスタ・アレイ基板と、上部基板(88)の上にカラーフィルター・アレイ(96)が形成されたカラーフィルター・アレイ基板を実材(94)を利用して合着して完成する。この場合、カラーフィルター・アレイ基板は薄膜トランジスタ・アレイ基板でゲート・パッド(150)及びデータ・パッド(160)が形成されるパッド領域が露出されるように合着される。

20

**【0128】**

次いで、パッド・オープン工程を通してカラーフィルター・アレイ基板によって露出されたパッド領域の保護膜(118)を除去してゲート・パッド(150)及びデータ・パッド(160)に含まれた透明導電膜(170)が露出される。この際、図14及び図15に示されたゲート・パッド(150)を通して透明導電膜(170)が一部露出されていて、図16及び図17にゲート・パッド(150)は透明導電膜(170)が完全に露出されている。

30

**【0129】**

続いて、露出されたゲート・パッド(150)及びデータ・パッド(160)の透明導電膜(170)と検査装置の検査ピンが接触されてゲート・ライン(102)及びデータ・ライン(104)を含む信号ラインの異常有無を判断する。この際、検査ピンと透明導電膜(170)の接触を容易にするために外部に露出された透明導電膜(170)の線幅(d1)は26 $\mu$ m以上である。例えば、ゲート・パッド(150)及びデータ・パッド(160)の中のいずれか一つの線幅(d2)が40~44 $\mu$ mである場合、外部に露出された透明導電膜(170)の線幅は34~48 $\mu$ m程度である。

**【0130】**

検査工程以後、薄膜トランジスタ・アレイ基板のパッド領域にドライバICなどが実装されたTCP(80,84)を導電ボール(90)が含まれたACF(Anisotropic Conductive Film)(92)を利用して取り付けさせるようになる。これにつれて、TCP(80,84)に形成された出力パッドなど(76,82)はACF(92)の導電ボール(90)を通してゲート・パッド(150)及びデータ・パッド(160)のそれぞれと電氣的に接続される。具体的に、ゲートTCP(84)のベース・フィルム(74)の上に形成されたTCPパッド(82)はゲート・パッド(150)の透明導電膜(170)と、データTCP(80)のベース・フィルム(74)の上に形成されたデータTCPパッド(76)はデータ・パッド(160)とACF(92)を通して電氣的に接続される。この場合、ゲート・パッド(150)及びデータ・パッド(160)は強度及び耐蝕性

40

50

の強い金属層である透明導電膜(170)が露出された構造を有しているのでTCP(80, 84)の取り付け工程を繰り返してもパッドの断線不良は防止される。

【0131】

一方、パッドオープン工程は大気圧プラズマ発生部によって生成されたプラズマを利用してカラーフィルター・アレイ基板によって露出されたそれぞれのパッドを順次にスキヤニングするか、パッド単位別に一括的にスキヤニングしてゲート・パッド(150)及びデータ・パッド(160)と共通パッド(180)の透明導電膜(170)を露出させる。またはチャンパー内で液晶パネルを多数個挿入した後、上圧プラズマを利用してカラーフィルター・アレイ基板によって露出されたパッド領域の保護膜(118)を蝕刻してゲート・パッド(150)及びデータ・パッド(160)の透明導電膜(170)が露出させる。または液晶パネル全体を蝕刻液に浸し濡らすか、ゲート・パッド(150)及びデータ・パッド(160)の透明導電膜(170)を露出させる。

10

【0132】

一方、薄膜トランジスタ・アレイ基板の保護膜を一部除去してパッドを露出させるパッドオープン工程は合着以前に背向膜をマスクで利用した蝕刻工程にも実行されることができ。

【0133】

図18は本発明の第3実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図19は図18に示された線VI-VIにつれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

20

【0134】

図18及び図19に示された薄膜トランジスタ・アレイ基板は図4及び図5に示された薄膜トランジスタ・アレイ基板と比較して保護膜パターン(298)を除いた残りの領域に形成された画素電極(272)、ゲート・パッド下部電極(256)及びゲート・パッド上部電極(274)を有するゲート・パッド(282)、データ・パッド下部電極(264)及びデータ・パッド上部電極(276)を有するデータ・パッド(284)を除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

【0135】

画素電極(272)は保護膜パターン(298)の外部に露出された薄膜トランジスタ(280)のドレイン電極(262)と接続されて下部基板(288)の上に形成される。画素電極(272)は充電された画素電圧によって図示しない上部基板に形成される共通電極と電位差を発生させるようになる。この電位差によって薄膜トランジスタ基板と上部基板の間に位置する液晶が誘電異方性によって回転するようになり、図示しない光源が画素電極(272)を経由して入射される光を上部基板側に透過させるようになる。

30

【0136】

ストレージ・キャパシティ(278)は前段ゲート・ライン(252)と、そのゲート・ライン(252)とゲート絶縁パターン(290)、活性層(292)及びオーミック接触層(294)を間に置いて重畳されて画素電極(272)と接続されたストレージ電極(266)で構成される。ここで、画素電極(272)は保護膜パターン(298)の外部に露出されたストレージ電極(266)と接続される。このようなストレージ・キャパシティ(278)は画素電極(272)に充電された画素信号が次の画素信号が充電される際にまで安定的に維持されるようになる。

40

【0137】

ゲート・ライン(252)はゲート・パッド(282)を通してゲート・ドライバ(図示しない)と接続される。ゲート・パッド(282)はゲート・ライン(252)から延長されるゲート・パッド下部電極(256)と、ゲート絶縁パターン(290)及び保護膜パターン(298)を貫通するゲートコンタクトホール(230)と、ゲートコンタクトホール(230)を通してゲート・パッド下部電極(256)と接続されたゲート・パッド上部電極(274)で構成される。

50

## 【0138】

データ・ライン(258)はデータ・パッド(284)を通してデータ・ドライバ(図示しない)と接続される。データ・パッド(284)はゲート絶縁パターン(290)の上に形成された半導体パターン(247)と同一パターンで形成されてデータ・ライン(258)から延長されるデータ・パッド下部電極(264)と、ゲート絶縁パターン(290)を露出させるデータコンタクトホール(238)と、データコンタクトホール(238)を通してデータ・パッド下部電極(264)と側面接触されるデータ・パッド上部電極(276)で構成される。

## 【0139】

ゲート絶縁パターン(290)と保護膜パターン(298)は画素電極(272)とゲート・パッド上部電極(274)及びパッド上部電極(276)が形成されない領域に形成される。

## 【0140】

このような構成を有する薄膜トランジスタ・アレイ基板は3マスク工程で形成される。3マスク工程を利用した本発明の実施例による薄膜トランジスタ・アレイ基板の製造方法は第1導電パターン群を形成するための第1マスク工程と、半導体パターン及び第2導電パターン群を形成するための第2マスク工程と、ゲート絶縁パターンと保護膜パターン及び第3導電パターン群を形成するための第3マスク工程を含むようになる。

## 【0141】

図20a乃至図22dは本発明の第3実施例による薄膜トランジスタ・アレイ基板の製造方法を段階的に示した平面図及び断面図でなどある。

## 【0142】

図20a及び図20bは本発明の第3実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第1マスク工程に下部基板(288)の上に形成された第1導電パターン群を示した平面図及び断面図である。

## 【0143】

下部基板(288)の上にスパッタリング方法などの蒸着方法を通してゲート金属層が形成される。ここで、第1マスクを利用したフォトリソグラフィ工程と蝕刻工程によってパターンングされることでゲート・ライン(252)、ゲート電極(254)、ゲート・パッド下部電極(256)を含む第1導電パターン群が形成される。ゲート金属としてはCr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd), Cr/Al(Nd)などが単一層または二重層構造で利用される。

## 【0144】

図21a及び図21cは本発明の第3実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第2マスク工程で形成された半導体パターン及び第2導電パターン群を含む基板の平面図及び断面図である。

## 【0145】

具体的に、第1導電パターン群が形成された下部基板(288)の上にPECVD、スパッタリングなどの蒸着方法を通してゲート絶縁層(290a)、非晶質シリコン層、n+非晶質シリコン層、そして、データ金属層が順次に形成される。ゲート絶縁層(290a)の材料としては酸化シリコン(SiO<sub>x</sub>)または窒化シリコン(SiN<sub>x</sub>)などの無機絶縁物質が利用される。データ金属層としてはモリブデン(Mo)、チタン、タンタル、モリブデン合金などが利用される。

## 【0146】

続いて、第2マスクを利用したフォトリソグラフィ工程と蝕刻工程で図21bに示されたようにフォトレジスト・パターン(271b)を形成するようになる。この場合、第2マスクとしては薄膜トランジスタのチャンネル部に回折露光部を有する回折露光マスクを利用することでチャンネル部のフォトレジスト・パターンが異なる領域部のフォトレジスト・パターンより低い高さを有するようになる。

## 【0147】

10

20

30

40

50

続いて、図 2 1 c を参照すると、フォトレジスト・パターン ( 2 7 1 b ) を利用した湿式蝕刻工程にデータ金属層がパターニングされることでデータ・ライン ( 2 5 8 )、ソース電極 ( 2 6 0 )、そのソース電極 ( 2 6 0 ) と一体化されたドレイン電極 ( 2 6 2 )、ストレージ電極 ( 2 6 6 )、データ・パッド下部電極 ( 2 6 4 ) を含む第 2 導電パターン群が形成される。

【 0 1 4 8 】

次いで、同一のフォトレジスト・パターン ( 2 1 7 b ) を利用した乾式蝕刻工程に n + 非晶質シリコン層と非晶質シリコン層が同時にパターニングされることでオーミック接触層 ( 2 9 4 ) と活性層 ( 2 9 2 ) が形成される。

【 0 1 4 9 】

そして、チャンネル部で相対的に低い高さを有するフォトレジスト・パターンが ( 2 7 1 a ) がアッシング工程に除去された後、乾式蝕刻工程にチャンネル部のデータ金属層及びオーミック接触層 ( 2 9 4 ) が蝕刻される。これにつれて、チャンネル部の活性層 ( 2 9 2 ) が露出されてソース電極 ( 2 6 0 ) とドレイン電極 ( 2 6 2 ) が分離される。

【 0 1 5 0 】

続いて、ストリップ工程に第 2 導電パターン群の上に残っているフォトレジスト・パターンが除去される。

【 0 1 5 1 】

図 2 2 a 乃至図 2 2 d は本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程で形成されたゲート絶縁パターン ( 2 9 0 ) と保護膜パターン ( 2 9 8 ) 及び第 3 導電パターン群を含む基板の平面図及び断面図である。

【 0 1 5 2 】

具体的に、第 2 導電パターン群が形成されたゲート絶縁膜 ( 2 9 0 a ) の上にスパッタリングなどの蒸着方法を通して  $\text{SiO}_x$ 、 $\text{SiN}_x$  などの無機絶縁物質か、誘電率が小さいアクリル系有機化合物、BCB または PFCB などのような有機絶縁物質が利用される保護膜 ( 2 9 8 a ) が全面蒸着されて保護膜 ( 2 9 8 a ) の上にフォトレジストが全面塗布される。続いて、第 3 マスクを利用したフォトリソグラフィ工程に図 2 2 b に示されたようにフォトレジスト・パターン ( 2 7 1 c ) が形成される。続いて、フォトレジスト・パターン ( 2 7 1 c ) をマスクで保護膜 ( 2 9 8 a )、第 2 導電パターン群、半導体パターン ( 2 4 7 ) 及びゲート絶縁膜 ( 2 9 0 a ) がパターニングされて図 2 2 c に示されたように第 3 導電パターン群が形成される領域を除いた残りの領域にゲート・コンタクトホール ( 2 3 0 ) 及びゲート・コンタクトホール ( 2 3 0 ) を有するゲート絶縁パターン ( 2 9 0 ) 及び保護膜パターン ( 2 9 8 ) が形成される。

【 0 1 5 3 】

一方、保護膜 ( 2 9 8 a ) の蝕刻の際に利用される蝕刻ガスに対する反応比が保護膜 ( 2 9 8 a ) よりゲート絶縁膜 ( 2 9 0 a ) が大きくてゲート絶縁膜 ( 2 9 0 a ) が過蝕刻される場合がたびたび発生される。この場合、図 2 3 に示されたようにドレイン電極 ( 2 6 2 )、ストレージ電極 ( 2 6 6 ) を含む第 2 導電パターン群及び半導体パターン ( 2 4 7 ) 下部のアンダーカット現象が発生されて画素電極 ( 2 7 2 ) の断線 ( A ) が発生されることがある。これを防止するために保護膜 ( 2 9 8 a ) を蝕刻した後、画素電極 ( 2 7 2 ) の蝕刻の際に利用されたフォトレジスト・パターン ( 2 7 1 c ) をマスクで第 2 導電パターン群と半導体パターン ( 2 4 7 ) の一部を  $\text{SF}_6$  と  $\text{O}_2$  が含まれた蝕刻ガスを利用した乾式蝕刻工程によって蝕刻することで画素電極 ( 2 7 2 ) の断線を防止ようになる。これにつれて、ゲート・コンタクトホール ( 2 3 0 ) 及びデータ・コンタクトホール ( 2 3 8 ) を有するゲート絶縁パターン ( 2 9 0 ) 及び保護膜パターン ( 2 9 8 ) が形成される。ゲート・コンタクトホール ( 2 3 0 ) 保護膜 ( 2 9 8 a ) 及びゲート絶縁膜 ( 2 9 0 a ) を貫通してゲート・パッド下部電極 ( 2 5 6 ) を露出させる。データ・コンタクトホール ( 2 3 8 ) は保護膜 ( 2 9 8 a )、データ・パッド下部電極 ( 2 6 4 )、半導体パターン ( 2 4 7 ) 及びゲート絶縁膜 ( 2 9 0 a ) を貫通して下部基板 ( 2 8 8 ) を露出させる。

10

20

30

40

50

## 【0154】

続いて、フォトレジスト・パターン(271c)の残っている基板(288)の上にスパッタリングなどの蒸着方法で透明導電膜(274a)が全面蒸着される。透明導電膜(274a)としてはITO, TOまたはIZOなどが利用される。透明導電膜(274a)が全面蒸着された薄膜トランジスタ・アレイ基板でリフト・オフ方法を利用したストリップ工程によってフォトレジスト・パターン(271c)の上に蒸着された透明導電膜(274a)はフォトレジスト・パターン(271c)と共に除去されて図22dに示されたようにゲート・パッド上部電極(274)、画素電極(272)及びデータ・パッド上部電極(276)を含む第3導電パターン群が形成される。

## 【0155】

ゲート・パッド上部電極(274)はゲート・パッド下部電極(256)の表面と接続される。画素電極(272)は薄膜トランジスタのドレイン電極(262)及びストレージ・キャパシティ(278)のストレージ電極(266)と電気的に接続される。データ・パッド上部電極(276)はデータ・パッド下部電極(264)と側面に接続されて下部基板(288)の表面と接続される。

## 【0156】

図24は本発明の第4実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図25は図24で示された薄膜トランジスタ・アレイ基板を線VII-VIIにつれて切り取って示した断面図である。

## 【0157】

図24及び図25に示された薄膜トランジスタ・アレイ基板は図18及び図19に示された薄膜トランジスタ・アレイ基板と対比してデータ・パッド上部電極(376)と下部基板(388)の間にダミーパターン(385)が位置することを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

## 【0158】

図24及び図25に示された薄膜トランジスタ・アレイ基板のゲート・パッド(382)はゲート・ライン(352)から延長されるゲート・パッド下部電極(356)と、そのゲート・パッド下部電極(356)の上に接続されたゲート・パッド上部電極(374)で構成される。ここで、ゲート・パッド(382)の線幅(d2)が40~44 $\mu$ m程度である場合、ゲート・パッド上部電極(374)と接触されるゲート・パッド上部電極(374)の線幅(d1)は26 $\mu$ m以上であり、好ましくは34~38 $\mu$ m程度である。

## 【0159】

データ・パッド(384)はデータ・ライン(358)から延長されるデータ・パッド下部電極(364)と、そのデータ・パッド下部電極(364)の上に接続されたデータ・パッド上部電極(376)で構成される。また、データ・パッド(384)はデータ・パッド下部電極(364)と下部基板(388)の間に形成されたゲート絶縁パターン(390)、活性層(392)、そしてオーミック接触層(394)を更に含む。ここで、データ・パッド(384)の線幅(d2)が40~44 $\mu$ m程度である場合、データ・パッド下部電極(364)と接触されるデータ・パッド上部電極(376)の線幅(d1)は26 $\mu$ m以上であり、好ましくは34~38 $\mu$ m程度である。

## 【0160】

このように、ゲート・パッド上部電極(374)及びデータ・パッド上部電極(376)は従来に比べて相対的に広い線幅を有するように形成される。これで自動検査(A/P)工程の際に線幅が26 $\mu$ m程度である検査ピンが用意にゲート・パッド上部電極(374)及びデータ・パッド上部電極(376)と接触されることができるようになるのでゲート・ライン(352)及びデータ・ライン(358)の不良有無を判断することができるようになる。

## 【0161】

また、データ・パッド上部電極(376)とデータ・パッド下部電極(364)は図2

10

20

30

40

50

3に示されたアンダーカット現象による画素電極(372)の断線を防止するために側面接触するようになる。データ・パッド上部電極(376)とデータ・パッド下部電極(364)の接触面(F)は屈曲になるように形成されることで接触面積が多少広がる。

【0162】

ゲート・パッド下部電極(356)とゲート・パッド上部電極(374)の間と、下部基板(388)とデータ・パッド上部電極(376)の間に少なくとも一つのダミーパターン(385)が形成される。個の少なくとも一つのダミーパターン(385)は保護膜のパターニングの際に半導体パターン(347)及びゲート絶縁パターン(390)の蝕刻の速度を適切に調節することでゲート絶縁膜(90)の一部とになって形成される。このような、ダミーパターン(385)はデータ・パッド上部電極(376)の形成など、その他の後続工程の際に静電気発生を最小化することができるようにする。更に、相対的に接着力の弱いデータ・パッド(384)のコーナーに位置することでデータ・パッド上部電極(376)と下部基板(388)との接着力を向上させることができる役割をする。

10

【0163】

このような構成を有する液晶表示装置の薄膜トランジスタ・アレイ基板は3マスク工程で形成される。この中の第1及び第2マスク工程は図20aないし図21cに示された本発明の第3実施例による薄膜トランジスタ・アレイ基板の第1及び第2マスク工程と同一であるのでこれに対する説明は省略する。

【0164】

第3マスク工程でゲート絶縁パターンと保護膜パターン及び第3導電パターン群が形成される。

20

【0165】

具体的に、第2導電パターン群が形成されたゲート絶縁膜の上に無機絶縁物質か、有機絶縁物質が利用される保護膜が全面蒸着される。この保護膜及びゲート絶縁膜が第3マスクによって形成されたフォトレジスト・パターンをマスクでパターニングされる。これにつれて、第3導電パターン群が形成される領域を除いた残りのゲート絶縁パターン及び保護膜のパターンが形成されて、データ・パッドにゲート絶縁膜のパターニングの際に除去されない少量の絶縁物質とになったダミーパターンが形成される。

【0166】

先に、図26aに示されたように基板全面に形成された保護膜の上にフォトレジスト・パターン(371c)及びダミーパターン(385)が形成される過程を図26a乃至図26dを参照して詳細に説明すると次のようである。

30

【0167】

先に、図26aに示されたように基板全面に形成された保護膜にフォトレジスト・パターン(371c)が形成される。このフォトレジスト・パターン(371c)によって露出される保護膜(398a)の線幅(d2)が40~44 $\mu\text{m}$ である場合、約26 $\mu\text{m}$ 以上、好ましくは34~38 $\mu\text{m}$ である。また、フォトレジスト・パターン(371c)によって露出される保護膜(398a)の線幅(d1)はゲート・パッド(382)の線幅(d2)が40~44 $\mu\text{m}$ である場合、約26 $\mu\text{m}$ 以上、好ましくは34~38 $\mu\text{m}$ である。

40

【0168】

続いて、フォトレジスト・パターン(371c)をマスクで利用した乾式蝕刻工程によって保護膜(398a)がパターニングされる。乾式蝕刻の際にSF<sub>6</sub>よりO<sub>2</sub>が相対的に更に添加された蝕刻ガスが利用される。例えば、SF<sub>6</sub>とO<sub>2</sub>の比率は1:3程度である。

【0169】

この際、図26bに示されたようにフォトレジスト・パターン(371c)が少量除去されながら保護膜(398a)と同一または類似物質であるゲート絶縁膜(390a)の一部(D)が蝕刻される。

50

## 【0170】

続いて、図23に示されたように過蝕刻による画素電極(372)断線(A)を防止するために前記フォトレジスト・パターン(371c)をマスクで利用した蝕刻工程によってデータ・パッド下部電極(364)がパターンングされる。蝕刻の際に $O_2$ より $SF_6$ が相対的に更に含まれた蝕刻ガスを利用する。例えば、 $SF_6$ と $O_2$ の比率は3~10:1程度である。

## 【0171】

続いて、フォトレジスト・パターン(371c)をマスクで利用すると共に $Cl_2$ または $HCl$ が含まれた蝕刻ガスを利用した乾式蝕刻工程によって前記半導体パターンが蝕刻される。この際、蝕刻速度を適切に調節することで図26cに示されたようにフォトレジスト・パターン(371c)のコーナー部(C)と重畳される少量の半導体パターンの一部(374a)を残存させる。

10

## 【0172】

続いて、フォトレジスト・パターン(371c)をマスクで利用すると共に $SF_6$ より $O_2$ が相対的に更に添加された蝕刻ガスを利用した乾式蝕刻工程によってゲート絶縁膜(390)が蝕刻される。ここで、蝕刻速度を調節して残存する少量の半導体のパターンの一部(374a)と重畳される領域に少量のゲート絶縁膜を残存させることで図26dに示されたようにダミーパターン(385)が形成される。

## 【0173】

続いて、フォトレジスト・パターンが残っている基板の上に透明導電膜が全面蒸着される。透明導電膜が全面蒸着された薄膜トランジスタ・アレイ基板でリフト・オフ方法を利用したストリップ工程によってフォトレジスト・パターンは除去される。この際、フォトレジスト・パターンの上に蒸着された透明導電膜はフォトレジスト・パターンと除去される。これにつれて、画素電極(372)、ゲート・パッド上部電極(374)及びデータ・パッド上部電極(376)を含む透明電極パターンが形成される。

20

## 【0174】

本発明の実施例による液晶表示装置の検査方法は上述したゲート及びデータ・パッド(382、384)のコンタクトホール(330、338)を自動検査装置の検査ピン(示さない)の直径(または線幅)より大きく形成される。このコンタクトホール(330、338)内に形成されたゲート・パッド上部電極(374)及びデータ・パッド上部電極(376)に自動検査装置の検査ピンが接続される。これで、ゲート・ライン(352)及びデータ・ライン(358)の不良有無を検査することができるようになる。ここで、検査ピン(380)の直径が26~30 $\mu m$ 程度であり、コンタクトホール(330、338)内に形成されたデータ・パッド上部電極(376)及びゲート・パッド上部電極(374)の線幅は少なくとも26 $\mu m$ 以上であり、好ましくは34~38 $\mu m$ 程度である。

30

## 【0175】

このように、本発明の第4実施例による薄膜トランジスタ・アレイ基板及びその製造方法はデータ・パッド上部電極(376)と下部基板(388)の間にダミーパターン(385)が残存するようになる。これにつれて、データ・パッド上部電極(376)形成などその他の後続工程の際に静電気発生を最小化すると共にデータ・パッド上部電極(376)と下部基板(388)との接着力を向上させることができる。

40

## 【0176】

また、本発明による液晶表示装置の検査方法はゲート・パッド上部電極(374)及びデータ・パッド上部電極(376)の線幅を自動検査(A/P)工程の際に利用される検査ピンの直径より広く形成する。これにつれて、パッド上部電極と検査ピンの接触が容易になり、ゲート・ライン(352)及びデータ・ライン(358)の不良有無の判断が可能になる。

## 【0177】

図27は本発明の第5実施例による液晶表示装置のデータ・パッド部を表す平面図であ

50

り、図28は図27で線 VIII VIII につれて切り取ったデータ・パッドを表す断面図である。

【0178】

図27のように、本発明の第5実施例による液晶表示装置のデータ・パッドは所定間隔に離隔されて形成された複数個のデータ・パッドの上にそれぞれ形成されるコンタクトホール(430)の幅を自動検査のピン(430)の対応幅より大きく形成される。ここで、自動検査のピン(430)の対応幅は自動検査のピン(430)の幅及び左右シフティング・マージン幅が顧慮されたことである。即ち、自動検査のピン(430)の幅は約10 $\mu$ mであり、左右シフティング・マージン幅は約10 $\mu$ mであるので、自動検査のピン(430)の基板の対応幅は約28 $\pm$ 2 $\mu$ mである。従って、前記コンタクトホール(425)の幅を30 $\mu$ mよりは大きく形成して前記自動検査のピン(430)がいずれかの側にシフティングされても自動検査の際にコンタクトホール(425)内に形成されてデータ・パッド上部電極(413a)に対応されるようにする。

【0179】

前記コンタクトホール(425)は前記データ・パッド下部電極(422)に形成されて、その形状は一部分の幅が他の部位より相対的に太い形状である。前記他の部位より相対的に太い一部分でのコンタクトホール(425)は前記データ・パッド下部電極(422)の一侧を過ぎて形成される。この際、図28に示されたように、コンタクトホール(425)の他の側だけでデータ・パッド下部電極(422)が残っていて、前記コンタクトホール(425)の他の側ではデータ・パッド下部電極(422)が残っていない。この場合、データ・パッド下部電極(422)の他の側と前記コンタクトホール(425)内のデータ・パッド上部電極(413a)は側面接触する。

【0180】

図29a乃至図29dは図28に示された薄膜トランジスタ・アレイ基板の画素部とゲート・パッド製造方法は図20a乃至22dと同一であるためにこれに対する詳細な説明は省略する。

【0181】

図29aに示されたように、基板(400)の全面に、ゲート絶縁膜(415)、非晶質シリコン層、n+層、データ金属層を次第に蒸着する。

【0182】

続いて、画素部のデータ・ライン形成の工程を同時にデータ金属層、n+層、非晶質シリコン層を選択的に除去してデータ・パッド下部電極(422)、データ・パッド下部電極(422)の下部にそれと同一のパターンのオーミック接触層(414b)及び活性層(414a)が形成される。

【0183】

続いて、データ・パッド下部電極(422)が形成された下部基板(400)の全面に保護膜(416)を蒸着する。

【0184】

続いて、保護膜(416)の上部にフォトレジストを塗布した後、これを露光及び焼き増ししてフォトレジスト・パターン(417)を形成する。この際、フォトレジスト・パターン(417)はデータ・パッド下部電極(422)の所定部分に対応してデータ・パッド下部電極(422)の一侧がオープンされる形状に形成される。(図29bの425参照)

図29bに示されたように、フォトレジスト・パターン(417)をマスクして保護膜(416)、データ・パッド下部電極(422)、オーミック接触層(414b)、活性層(414a)、ゲート絶縁膜(415)を所定幅除去してコンタクトホール(425)を形成する。前記フォトレジスト・パターン(417)によってコンタクトホール(425)が形成されるので、コンタクトホール(425)は図28のように、データ・パッド下部電極(422)の所定部分でデータ・パッド下部電極(422)の一侧をオープンして一侧でデータ・パッド下部電極(422)を除去されるようにして太い幅で形成されて

10

20

30

40

50

、その他の部分ではデータ・パッド下部電極（４２２）内部に形成される。

【０１８５】

図２９ｃに示したところのように、コンタクトホール（４２５）を含むフォトレジスト・パターン（４１７）の上部に透明導電膜（４１３）を蒸着する。この際、コンタクトホール（４２５）内部ではフォトレジスト・パターン（４１７）が残っていない状態で、前記透明導電膜（４１３）は保護膜（４１６）の側壁及びその内部に直接接触している状態である。

【０１８６】

図２９ｄに示したところのように、前記保護膜（４１６）上部に残っているフォトレジスト・パターン（４１７）をフォトレジスト・パターン（４１７）下部に位置する透明導電膜（４１３）と共にリフト・オフして除去する。この際、フォトレジスト・パターン（４１７）はコンタクトホール（４２５）を除いた領域に残っていて、前記コンタクトホール（４２５）内部だけに残っていないので、リフト・オフ工程の後、透明導電膜（４１３）はコンタクトホール（４２５）内部及び側壁だけに残ってデータ・パッド上部電極（４１３ａ）で利用される。

【０１８７】

このような形成方法で形成された本発明の第５実施例による液晶表示装置のパッドは、コンタクトホール（４２５）がデータ・パッド下部電極（４２２）の一侧を過ぎて形成されて、その内部のデータ・パッド上部電極（４１３ａ）を形成した後、上部に自動検査用のピン（４３０）を対応させるようになり、自動検査用のピン（４３０）の対応の幅（自動検査用のピンの幅＋左右移動の幅）より広い接触面積を確保して安定な検査工程を期待することができる。

【０１８８】

図３０は本発明の第６実施例による薄膜トランジスタ・アレイ基板のデータ・パッド部を表す平面図であり、図３１は図３０で線 IX IX につれて切り取った薄膜トランジスタ・アレイ基板を表す断面図である。

【０１８９】

図３０及び図３１に示されたように、本発明の第６実施例による薄膜トランジスタ・アレイ基板のデータ・パッドは第１及び第２コンタクトホールを通して両側面が露出されるデータ・パッド下部電極と、そのデータ・パッド下部電極と側面接触されるデータ・パッド上部電極とになる。

【０１９０】

データ・パッド下部電極（５２２）は基板（５００）の上に同一の間隔で離隔されて複数個形成される。

【０１９１】

保護膜（５１６）はデータ・パッド下部電極（５２２）を囲むように形成されて第１及び第２コンタクトホール（５３５ａ、５３５ｂ）を有するように形成される。

【０１９２】

第１及び第２コンタクトホール（５３５ａ、５３５ｂ）は各データ・パッド下部電極（５２２）の所定部位で相互離隔されて前記データ・パッド下部電極（５２２）の両側面をそれぞれ露出させるように保護膜（５１６）、データ・パッド下部電極（５２２）、オーミック接触層（５１４ｂ）、活性層（５１４ａ）、ゲート絶縁膜（５１５）を除去するように形成される。

【０１９３】

データ・パッド上部電極（１５３ａ）は第１及び第２コンタクトホール（５３５ａ、５３５ｂ）内部とその側壁及び前記第１及び第２コンタクトホール（５３５ａ、５３５ｂ）の間を過ぎていくように形成されてデータ・パッド下部電極（５２２）と側面接触される。

【０１９４】

データ・パッド上部電極は第１及び第２コンタクトホールを通してデータ・パッド下部

10

20

30

40

50

電極の両側と接触される。これにつれて、データ・パッド上部電極はデータ・パッド下部電極（522）より大きい幅に形成されて自動検査用のピン（530）との接触領域が広がる。

【0195】

例えば、データ・パッド下部電極（522）が36 μmであるとする際、自動検査用のピン（530）がデータ・パッド下部電極（522）上部にどこに位置しても自動検査用のピン（530）とデータ・パッドは安定的に接触される。

【0196】

一方、第1及び第2コンタクトホール（535a、535b）はデータ・パッド下部電極（522）の両端段を貫通してデータ・パッド下部電極（522）の両端段の側面を露出させる。半面に、第1及び第2コンタクトホール（535a、535b）を除いた残りの領域に位置するコンタクトホールは図30に示したところのようにデータ・パッド下部電極（522）の中心部、即ち、データ・パッド下部電極（522）の内部に形成される。

10

【0197】

図32a乃至図32dで図31に示した薄膜トランジスタ・アレイ基板のデータ・パッドの製造方法を表す断面図である。ここで、薄膜トランジスタ・アレイ基板の画素部とゲート・パッドの製造方法は図20a乃至22dと同一であるためにこれに対する詳細な説明は省略する。

【0198】

図32aのように、基板（500）の全面に、ゲート絶縁膜（515）、非晶質シリコン層、n+層、データ金属層を次第に蒸着する。

20

【0199】

続いて、画素部のデータ・ライン形成の工程を同時にデータ金属層、n+層、非晶質シリコン層を選択的に除去してデータ・パッド下部電極（522）を形成する。このデータ・パッド下部電極（522）の下部にデータ・パッド下部電極（522）と同一のパターンのオーミック接触層（514b）及び活性層（514a）が形成される。

【0200】

続いて、データ・パッド下部電極（522）が形成された下部基板（500）の全面に保護膜（516）を蒸着する。

30

【0201】

続いて、保護膜（516）の上部にフォトレジストを塗布した後、これを露光及び焼き増ししてフォトレジスト・パターン（527）を形成する。この際、フォトレジスト・パターン（527）はデータ・パッド下部電極（522）に対応してそれぞれ相互所定間隔に離隔されて各データ・パッド下部電極（522）の一侧が、他側をオープンする第1及び第2コンタクトホールの領域を定義するように形成される。

【0202】

図32bのように、フォトレジスト・パターン（527）をマスクして保護膜（516）、データ・パッド下部電極（522）、オーミック接触層（514b）、活性層（514a）、ゲート絶縁膜（515）を所定幅に除去して第1及び第2コンタクトホール（535a、535b）が形成される。第1及び第2コンタクトホール（535a、535b）は図30のように、データ・パッド下部電極（522）の所定部分でデータ・パッド下部電極（522）の一侧を、他側が除去されて形成される。第1及び第2コンタクトホール（535a、535b）を除いた残りの領域でのデータ・パッド下部電極（522）の内部を貫通するように形成される。

40

【0203】

図32cのように、第1及び第2コンタクトホール（535a、535b）を含むフォトレジスト・パターン（527）が残っている基板の上に透明導電膜が全面蒸着される。

【0204】

図32dのように、フォトレジスト・パターン（527）をリフト・オフしてフォトレジスト

50

・パターン(527)と共にその下部に位置する透明導電膜(513)をストリップする。この際、フォトレジスト・パターン(527)は第1及び第2コンタクトホール(535a、535b)を除いた領域に残っていて、第1及び第2コンタクトホール(535a、535b)内部には残っていない。これにつれて、透明導電膜(513)は第1及び第2コンタクトホール(535a、535b)の内部及び側壁、そして、第1及び第2コンタクトホール(535a、535b)の間に残ってデータ・パッド上部電極(513a)に利用される。

【0205】

このような方法で形成された本発明の第6実施例による薄膜トランジスタ・アレイ基板のパッドは第1及び第2コンタクトホール(535a、535b)がデータ・パッド下部電極(522)の一侧、他側を過ぎて、第1及び第2コンタクトホール(535a、535b)を過ぎていくようにデータ・パッド上部電極(513a)が形成される。データ・パッド下部電極の線幅より広い線幅のデータ・パッド上部電極(513a)が自動検査用のピン(530)を対応される。これにつれて、自動検査用のピンとデータ・パッド上部電極(513a)の間の広い接触面積を確保して安定な検査工程を期待することができる。

10

【0206】

このように、本発明の第5及び第6実施例による薄膜トランジスタ・アレイ基板のパッド及び形成方法は、3マスク工程の際にコンタクトホールの幅にデータ・パッド上部電極の線幅が決定されるので、コンタクトホールがパッド下部電極の一侧を過ぎるか、または

20

【0207】

パッド下部電極の一侧、他側を過ぎていくように形成してコンタクトホールの幅を伸ばす。これにつれて、コンタクトホール内部及び側壁に形成されるパッド上部電極と自動検査用のピンと広い面積で余裕に対応されることができる。

【0208】

上述した第5及び第6実施例ではデータ・パッドだけに説明したが、これはゲート・パッド下部電極とデータ・パッド上部電極のコンタクトになる部分に自動検査用のピンが対応されるゲート・パッドでその実施例を拡張、変更することができる。

30

【図面の簡単な説明】

【0209】

【図1】従来の薄膜トランジスタ・アレイ基板を示す平面図である。

【図2】図1に示されたI-I線につれて切断した薄膜トランジスタ・アレイ基板を示す断面図である。

【図3a】図2に示された薄膜トランジスタ・アレイ基板の製造方法を示した断面図である。

【図3b】図2に示された薄膜トランジスタ・アレイ基板の製造方法を示した断面図である。

40

【図3c】図2に示された薄膜トランジスタ・アレイ基板の製造方法を示した断面図である。

【図3d】図2に示された薄膜トランジスタ・アレイ基板の製造方法を示した断面図である。

【図4】本発明の第1実施例による薄膜トランジスタ・アレイ基板を示した平面図である。

【図5】図4で線II-IIにつれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

【図6a】本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第1マスク工程を説明するための平面図及び断面図である。

50

【図 6 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための平面図及び断面図である。

【図 7 a】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 7 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 8 a】図 7 a 及び図 7 b に示した第 2 マスク工程を具体的に説明するための断面図である。

【図 8 b】図 7 a 及び図 7 b に示した第 2 マスク工程を具体的に説明するための断面図である。

【図 8 c】図 7 a 及び図 7 b に示した第 2 マスク工程を具体的に説明するための断面図である。

【図 9 a】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 9 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 10 a】図 9 a 及び図 9 b に示した第 3 マスク工程を具体的に説明するための断面図である。

【図 10 b】図 9 a 及び図 9 b に示した第 3 マスク工程を具体的に説明するための断面図である。

【図 10 c】図 9 a 及び図 9 b に示した第 3 マスク工程を具体的に説明するための断面図である。

【図 10 d】図 9 a 及び図 9 b に示した第 3 マスク工程を具体的に説明するための断面図である。

【図 10 e】図 9 a 及び図 9 b に示した第 3 マスク工程を具体的に説明するための断面図である。

【図 11】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板を示した平面図である。

【図 12】図 11 に示された薄膜トランジスタ・アレイ基板を線 III - III につれて切り取って示した断面図である。

【図 13 a】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための平面図及び断面図である。

【図 13 b】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための平面図及び断面図である。

【図 13 c】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための平面図及び断面図である。

【図 14】図 4 に示された薄膜トランジスタ・アレイ基板を含む液晶表示装置を表す平面図である。

【図 15】図 14 で線 IV - IV につれて切り取った液晶表示装置を示す断面図である。

【図 16】図 11 に示された薄膜トランジスタ・アレイ基板を含む液晶表示装置を表す平面図である。

【図 17】図 16 で線 V - V につれて切り取った液晶表示装置を示す断面図である。

【図 18】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板を示した平面図である。

【図 19】図 18 に示された薄膜トランジスタ・アレイ基板を線 VI - VI につれて切り取って示す断面図である。

【図 20 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を具体的に説明するための断面図である。

10

20

30

40

50

【図 2 0 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を具体的に説明するための断面図である。

【図 2 1 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 2 1 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 2 1 c】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 2 2 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

10

【図 2 2 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 2 2 c】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 2 2 d】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 2 3】画素電極の断線を説明するための断面図である。

【図 2 4】本発明の第 4 実施例による薄膜トランジスタ・アレイ基板を示した平面図である。

【図 2 5】図 2 4 に示された薄膜トランジスタ・アレイ基板を線 VII - VII につれて切り取って示す断面図である。

20

【図 2 6 a】図 2 5 に示されたダミーパターンの形成過程を詳細に示す図面である。

【図 2 6 b】図 2 5 に示されたダミーパターンの形成過程を詳細に示す図面である。

【図 2 6 c】図 2 5 に示されたダミーパターンの形成過程を詳細に示す図面である。

【図 2 6 d】図 2 5 に示されたダミーパターンの形成過程を詳細に示す図面である。

【図 2 7】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板を示した平面図である。

【図 2 8】図 2 7 で線 VIII - VIII につれて切り取ったデータ・パッドを示す断面図である。

【図 2 9 a】図 2 8 に示されたデータパッドの製造方法を示す断面図である。

30

【図 2 9 b】図 2 8 に示されたデータパッドの製造方法を示す断面図である。

【図 2 9 c】図 2 8 に示されたデータパッドの製造方法を示す断面図である。

【図 2 9 d】図 2 8 に示されたデータパッドの製造方法を示す断面図である。

【図 3 0】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板のパッドを表す断面図である。

【図 3 1】図 3 0 で線 IX - IX につれて切り取ったデータ・パッドを示す断面図である。

【図 3 2 a】図 3 1 に示されたデータ・パッドの製造方法を表す断面図である。

【図 3 2 b】図 3 1 に示されたデータ・パッドの製造方法を表す断面図である。

【図 3 2 c】図 3 1 に示されたデータ・パッドの製造方法を表す断面図である。

40

【図 3 2 d】図 3 1 に示されたデータ・パッドの製造方法を表す断面図である。

【符号の説明】

【 0 2 1 0 】

2 , 1 0 2 : ゲート・ライン

4 , 1 0 4 : データ・ライン

6 , 1 0 6 : ゲート電極

8 , 1 0 8 : ソース電極

1 0 , 1 1 0 : ドレイン電極

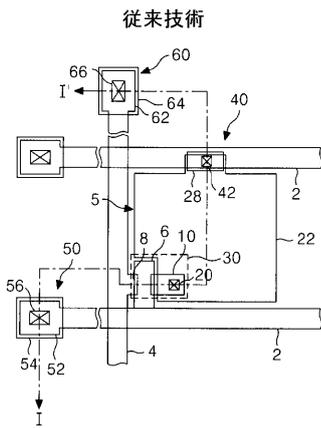
1 2 , 1 1 2 : ゲート絶縁膜

1 4 , 1 1 4 : 活性層

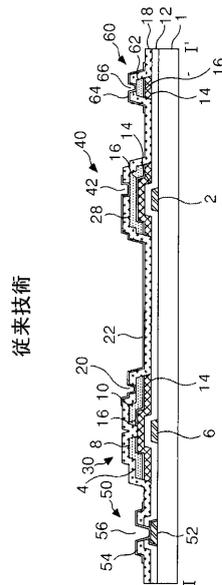
50

- 16, 116 : オーミック接触層
- 18, 118 : 保護膜
- 22, 122 : 画素電極
- 20, 42, 56, 66, 180 : 接触ホール
- 28, 128 : ストレージ電極
- 40, 140 : ストレージキャパシティ
- 50, 150 : ゲート・パッド
- 60, 160 : データ・パッド
- 64 : データ・パッド上部電極
- 170 : 透明導電膜
- 172 : ゲート金属膜

【図1】



【図2】



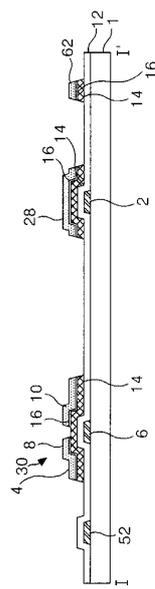
【図 3 a】

従来技術



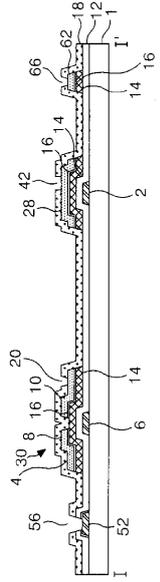
【図 3 b】

従来技術



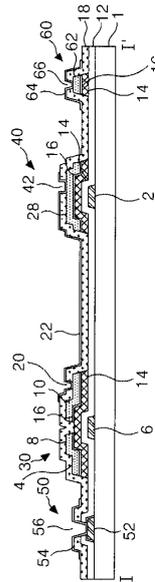
【図 3 c】

従来技術

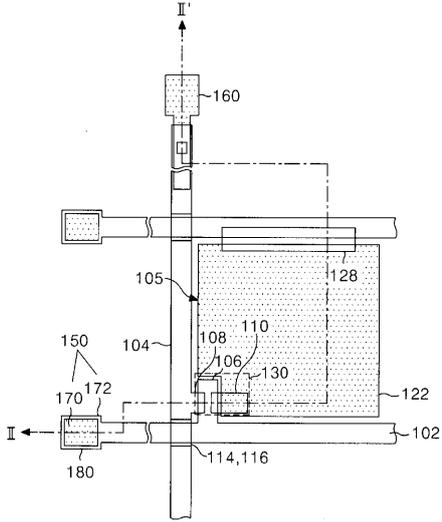


【図 3 d】

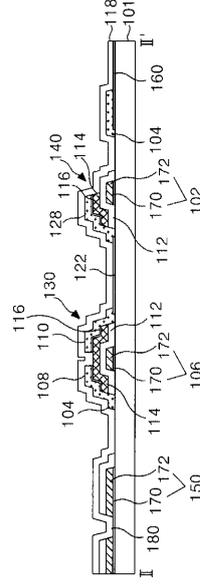
従来技術



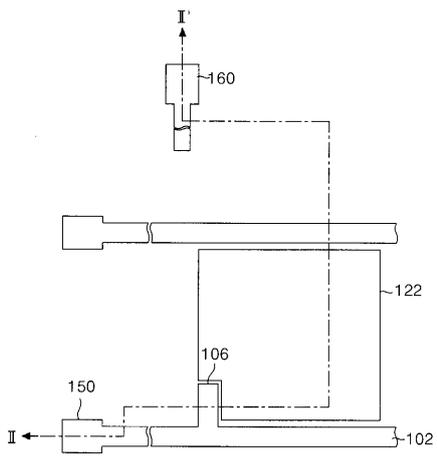
【 図 4 】



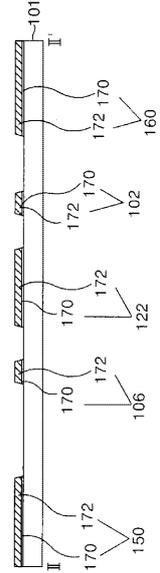
【 図 5 】



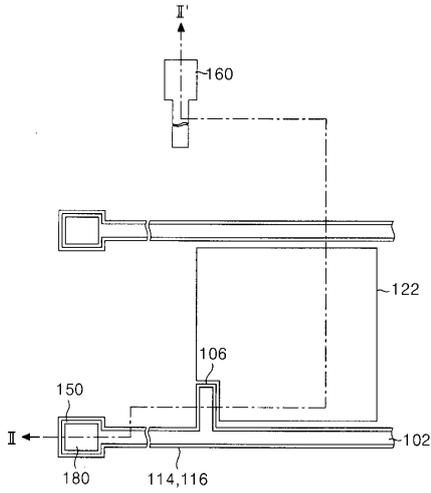
【 図 6 a 】



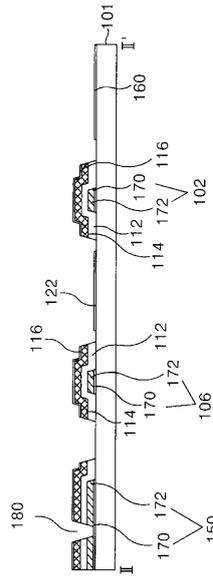
【 図 6 b 】



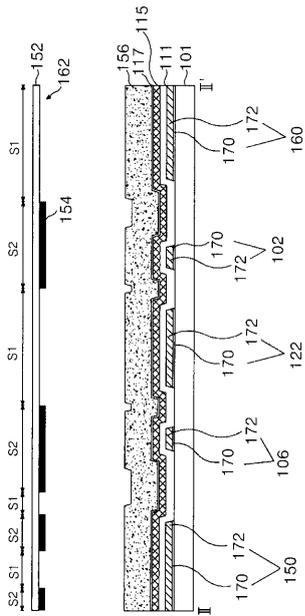
【 7 a 】



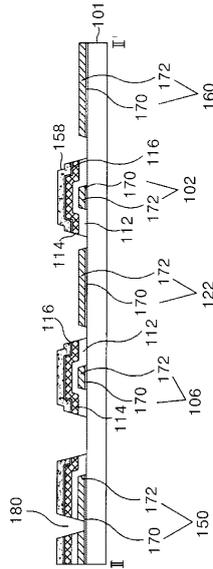
【 7 b 】



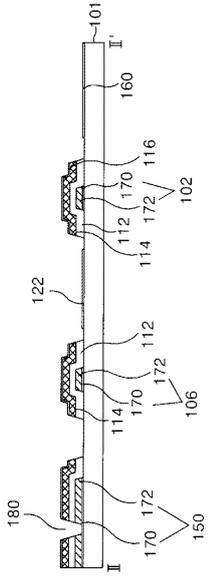
【 8 a 】



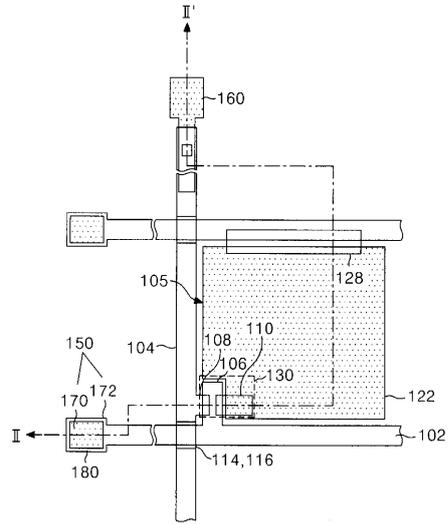
【 8 b 】



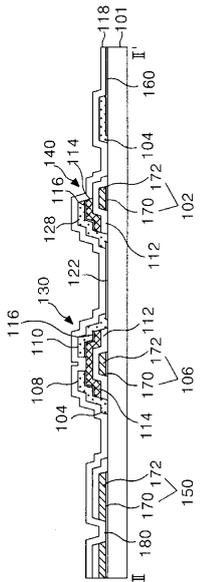
【 8 c 】



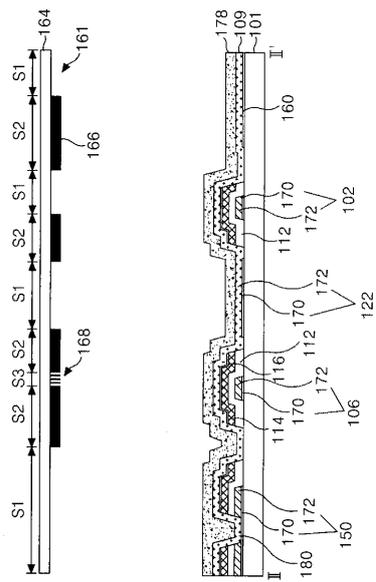
【 9 a 】



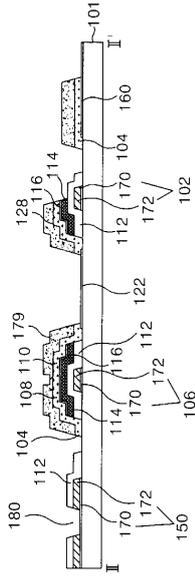
【 9 b 】



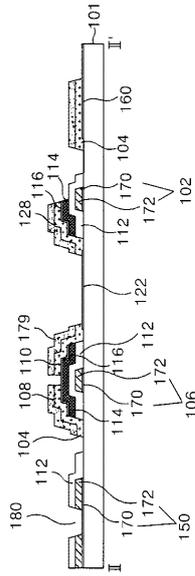
【 10 a 】



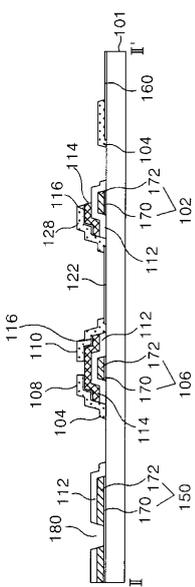
【図 10 b】



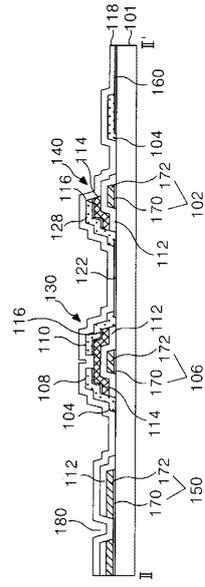
【図 10 c】



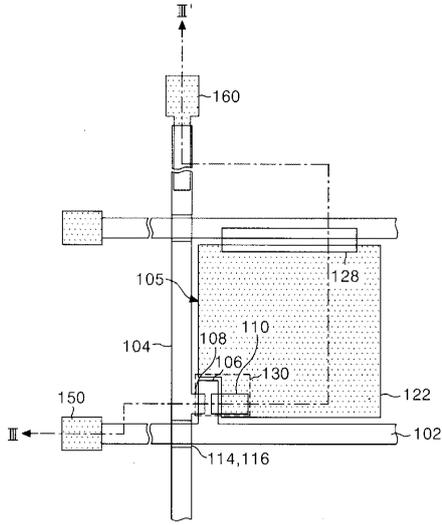
【図 10 d】



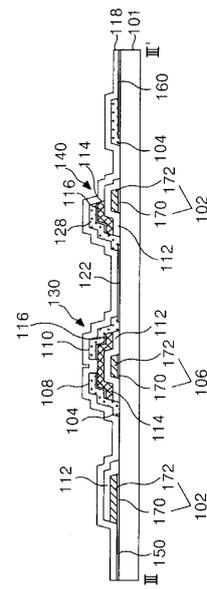
【図 10 e】



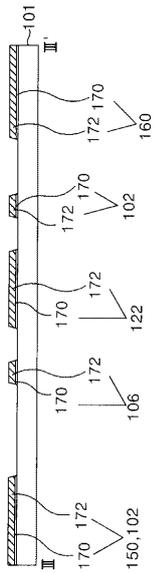
【図 1 1】



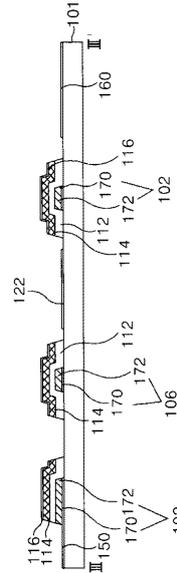
【図 1 2】



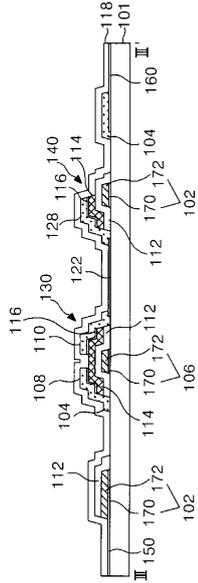
【図 1 3 a】



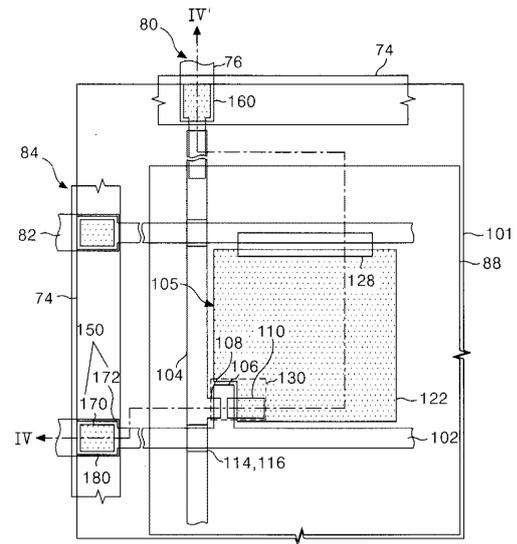
【図 1 3 b】



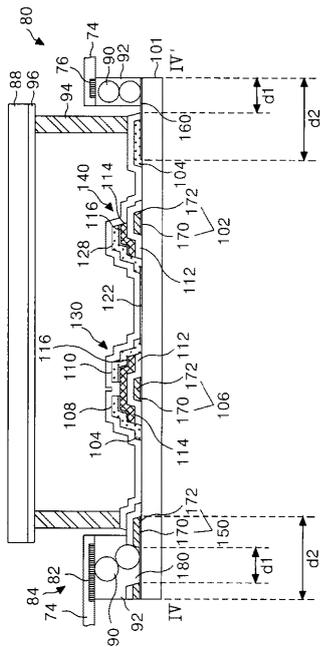
【 図 1 3 c 】



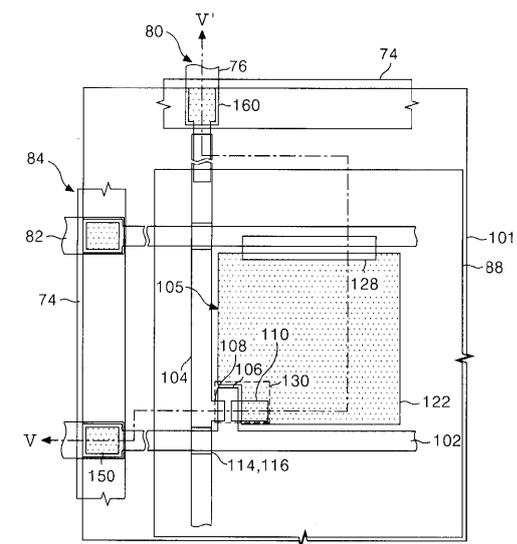
【 図 1 4 】



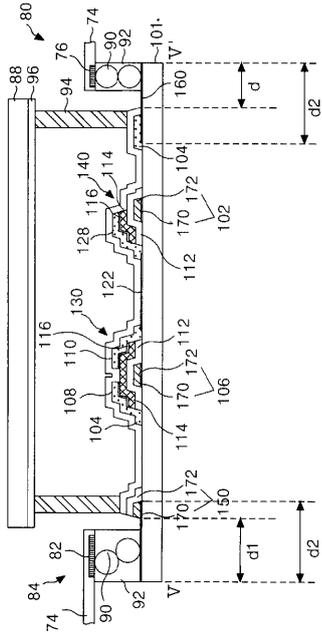
【 図 1 5 】



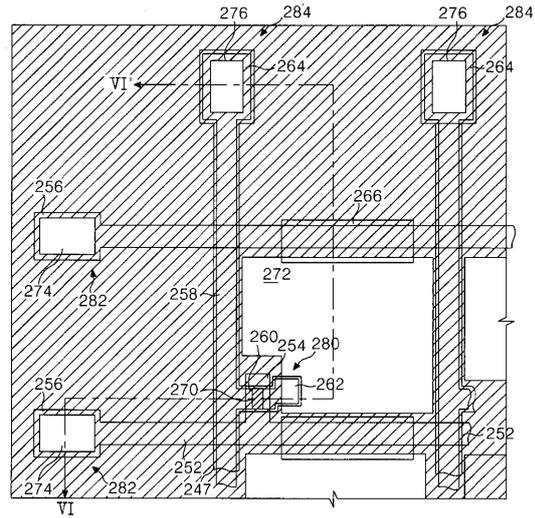
【 図 1 6 】



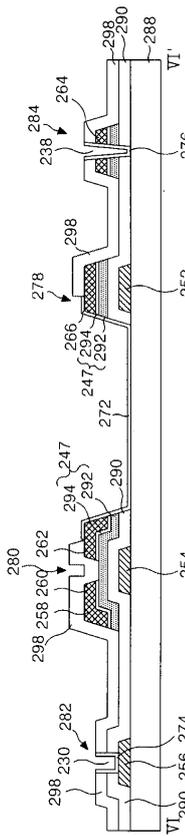
【 図 1 7 】



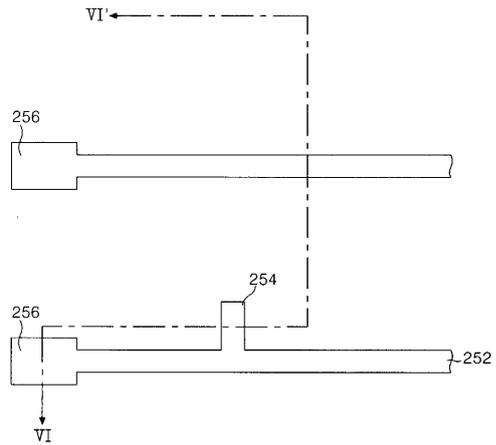
【 図 1 8 】



【 図 1 9 】



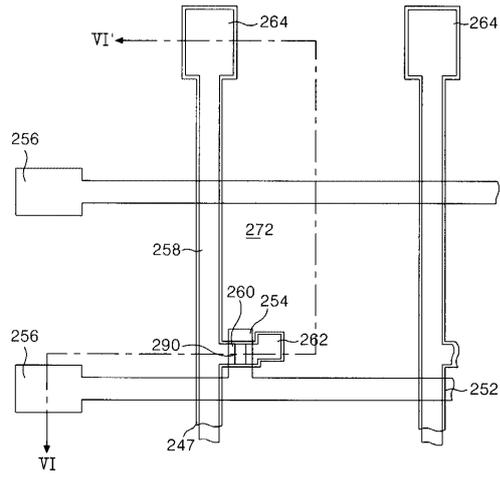
【 図 2 0 a 】



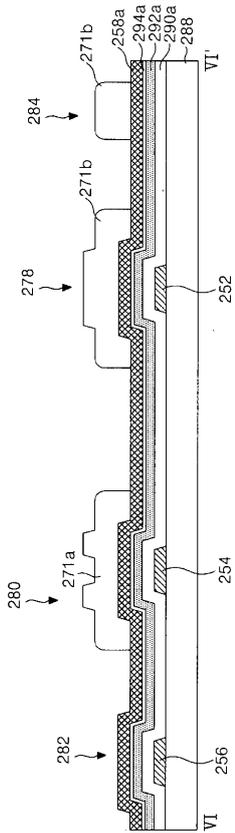
【 20 b 】



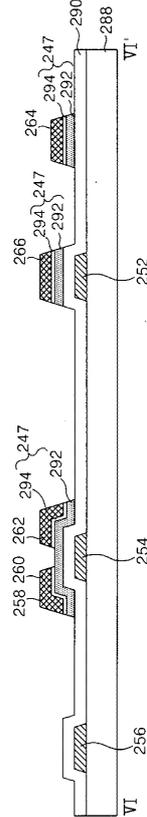
【 21 a 】



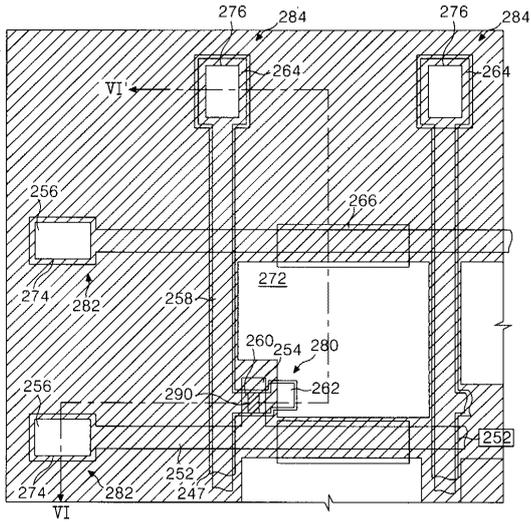
【 21 b 】



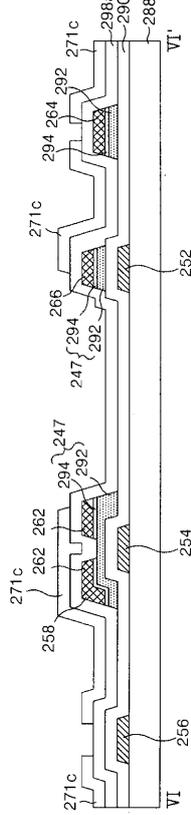
【 21 c 】



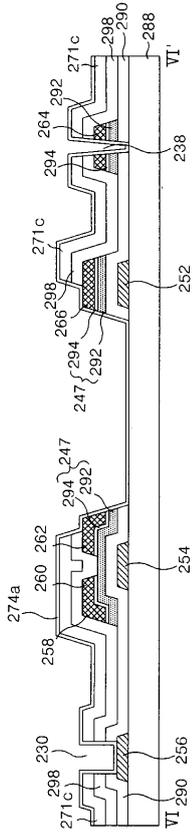
【 図 2 2 a 】



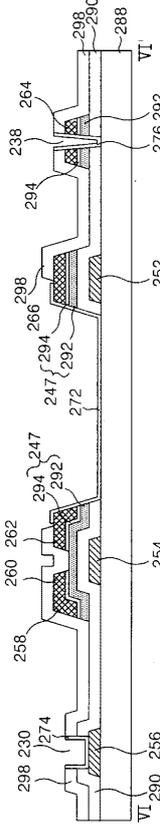
【 図 2 2 b 】



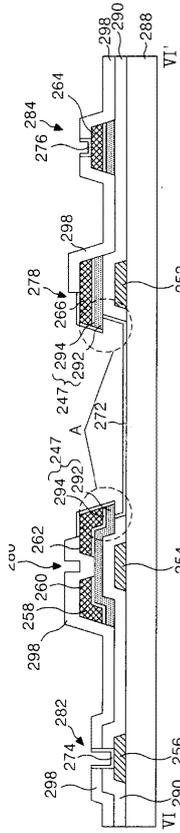
【 図 2 2 c 】



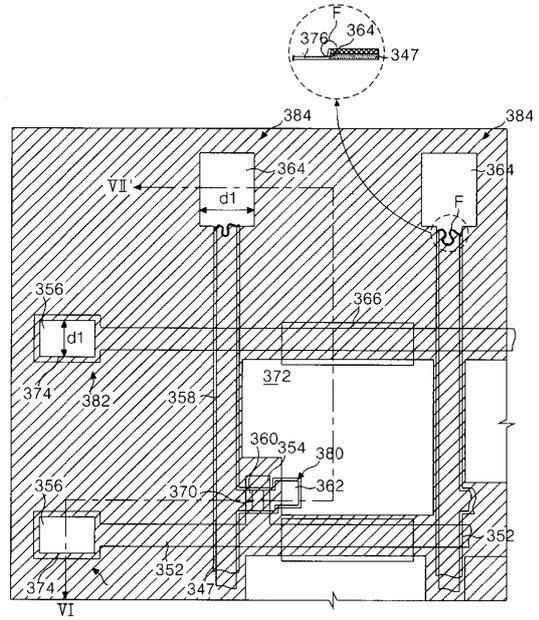
【 図 2 2 d 】



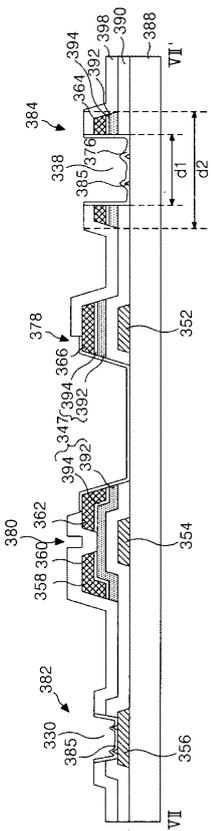
【 図 2 3 】



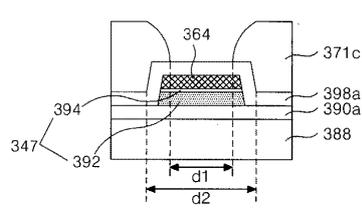
【 図 2 4 】



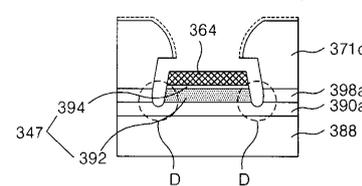
【 図 2 5 】



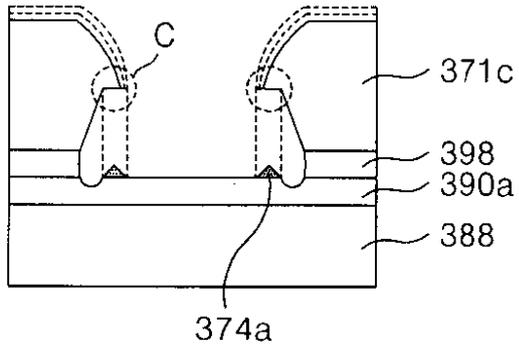
【 図 2 6 a 】



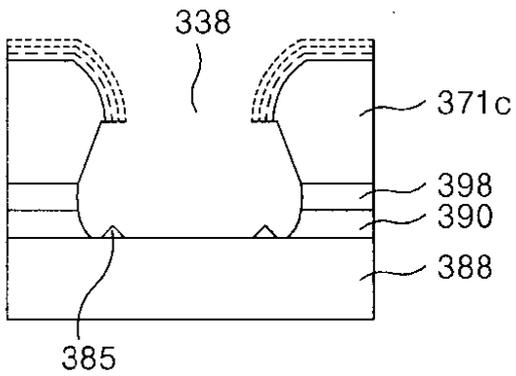
【 図 2 6 b 】



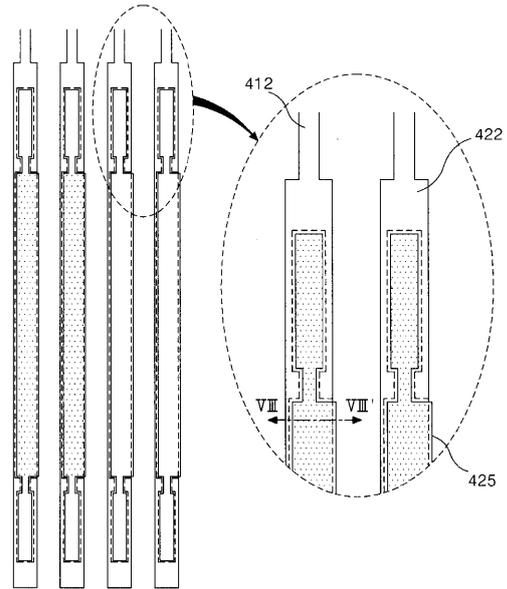
【図 26c】



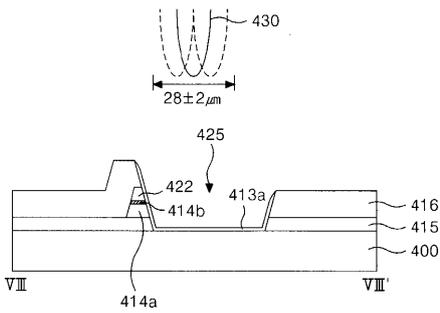
【図 26d】



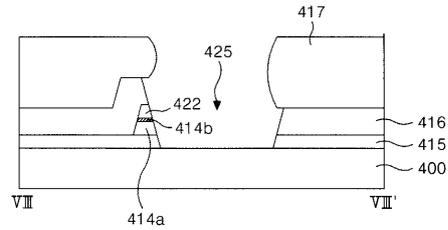
【図 27】



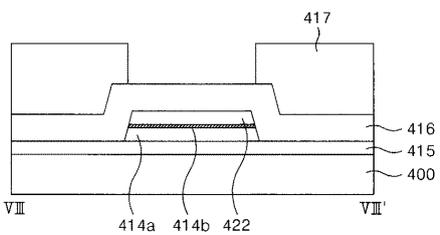
【図 28】



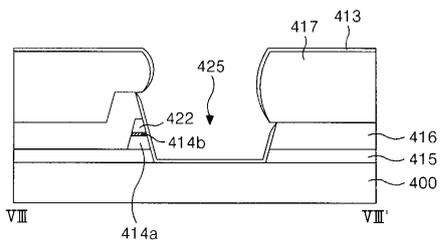
【図 29b】



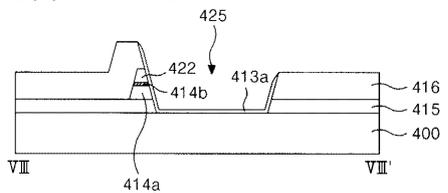
【図 29a】



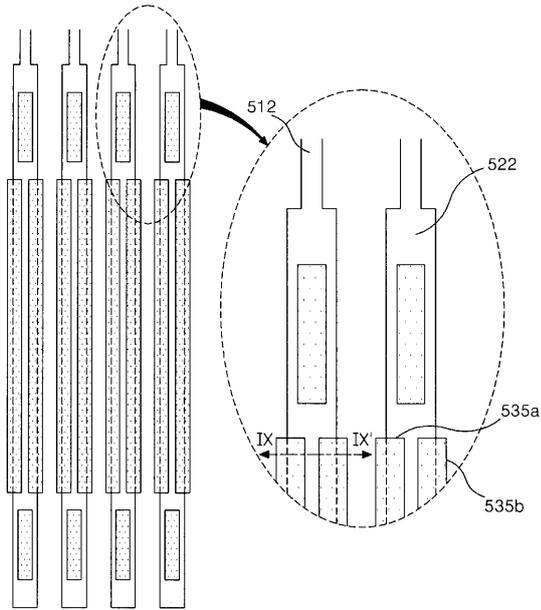
【図 29c】



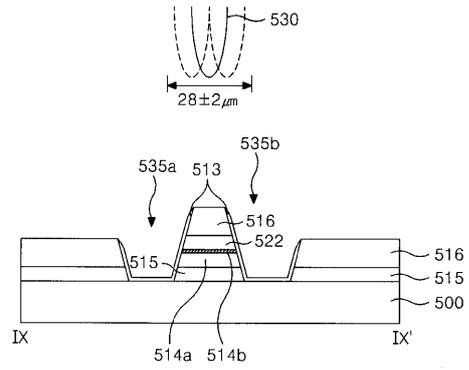
【図 29d】



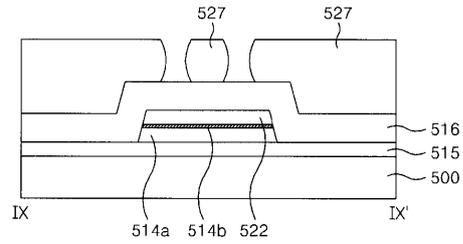
【 図 3 0 】



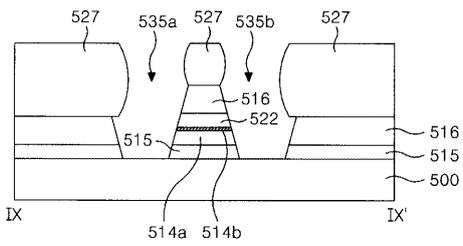
【 図 3 1 】



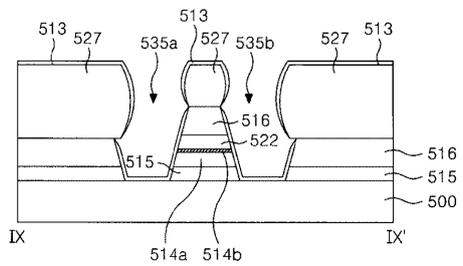
【 図 3 2 a 】



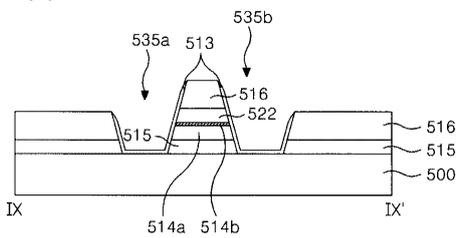
【 図 3 2 b 】



【 図 3 2 c 】



【 図 3 2 d 】



## フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 1 L 21/88 Z

- (74)代理人 100101498  
弁理士 越智 隆夫
- (74)代理人 100096688  
弁理士 本宮 照久
- (74)代理人 100104352  
弁理士 朝日 伸光
- (74)代理人 100128657  
弁理士 三山 勝巳
- (72)発明者 林 柄 昊  
大韓民国 慶尚北道 龜尾市 道良洞 パク マンション 102-103号
- (72)発明者 柳 洵 城  
大韓民国 京畿道 軍浦市 山本洞 ケムガン アパート 915-1402号
- (72)発明者 李 昌 徳  
大韓民国 忠清北道 清州市 興徳區 紛坪洞 1255(78/3) チュン プレジデント  
アパート 911-1302号
- (72)発明者 南 承 熙  
大韓民国 京畿道 水原市 長安區 栗田洞 394-22 502号
- (72)発明者 呉 載 映  
大韓民国 京畿道 儀旺市 内 ソン 1洞 ボイル アパート 101-210号
- (72)発明者 金 泓 植  
大韓民国 ソウル特別市 麻浦區 大興洞 2-64番地
- (72)発明者 郭 喜 榮  
大韓民国 ソウル特別市 江西區 禾谷6洞 978-25号 サンギル ヴィラ 401号

F ターム(参考) 2H092 GA32 GA41 GA42 GA48 GA51 GA55 JA26 JA29 JA34 JA40  
JB24 JB57 JB58 JB62 JB77 JB79 KA05 KA10 KA12 KA18  
KB01 KB04 KB11 KB24 KB25 MA04 MA05 MA13 MA15 MA17  
MA18 MA27 MA31 MA57 NA14 NA15 NA17 NA18 NA27 NA29  
NA30 PA02 QA06  
5F033 HH10 HH11 HH17 HH18 HH20 HH21 HH38 MM05 PP15 QQ08  
QQ09 QQ15 QQ37 QQ41 RR04 RR06 RR21 SS08 SS15 VV06  
VV07 VV12 VV15 WW01 XX00 XX33 XX37  
5F110 AA16 AA24 BB01 CC07 EE02 EE03 EE04 EE06 EE07 EE14  
EE37 EE44 FF02 FF03 FF28 FF30 GG02 GG15 GG43 GG45  
HK02 HK04 HK06 HK09 HK16 HK33 HK35 HM19 NN02 NN23  
NN24 NN27 NN72 NN73 QQ01 QQ14