



(12) 发明专利

(10) 授权公告号 CN 114461567 B

(45) 授权公告日 2024.10.18

(21) 申请号 202210198064.1

(22) 申请日 2022.03.01

(65) 同一申请的已公布的文献号

申请公布号 CN 114461567 A

(43) 申请公布日 2022.05.10

(73) 专利权人 浙江禾川科技股份有限公司

地址 324400 浙江省衢州市龙游工业园区

阜财路9号

(72) 发明人 洪健 许凯凯 李波

(74) 专利代理机构 北京集佳知识产权代理有限公司

公司 11227

专利代理师 鲁梅

(51) Int. Cl.

G06F 13/42 (2006.01)

G06F 13/38 (2006.01)

(56) 对比文件

CN 206877319 U, 2018.01.12

CN 204496211 U, 2015.07.22

审查员 王倩

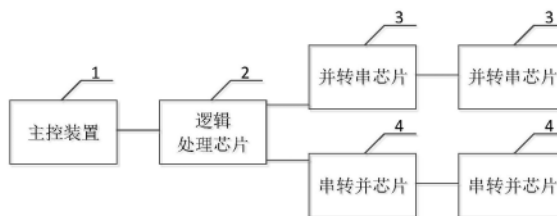
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种数据处理设备

(57) 摘要

本发明公开了一种数据处理设备,为了节省逻辑处理芯片上的引脚数量,本申请中可以通过逻辑处理芯片的第一串口连接多个并转串芯片,通过第二串口连接多个串转并芯片,如此一来,由并转串芯片提供的多个输入接口的输入数据便可以均经由第一串口输入逻辑处理芯片,逻辑处理芯片通过第二串口也可以输出大量的数据至指定的输出接口,由于并转串芯片以及串转并芯片本身具有体积小成本低的特点,因此本申请在扩展了数据处理设备的I/O数量的同时,节省了成本,控制了数据处理设备的体积。



1. 一种数据处理设备,其特征在于,包括:

主控装置,用于将待处理数据发送至逻辑处理芯片;

与所述主控装置连接的所述逻辑处理芯片,用于提供多个输入接口以及多个输出接口,对所述待处理数据进行指定的逻辑处理后将其发送至指定的输出接口,将从输入接口接收到的数据进行指定的逻辑处理后将其发送至指定的所述主控装置或所述输出接口;

相互串接且一端与所述逻辑处理芯片的第一串口连接的多个并转串芯片,用于将从自身提供的多个输入接口输入的并行数据转换为串行数据后发送至所述逻辑处理芯片;

相互串接且一端与所述逻辑处理芯片的第二串口连接的多个串转并芯片,用于将所述逻辑处理芯片发送的串行数据转换为并行数据后,通过自身提供的多个输出接口输出;

将各个所述并转串芯片的各个输入接口均作为所述逻辑处理芯片的输入接口;并将各个所述串转并芯片的各个输出接口均作为所述逻辑处理芯片的输出接口;

该数据处理设备还包括:

与距离所述逻辑处理芯片最近的所述并转串芯片提供的所述输入接口连接的电平设定电路,用于将连接的各个所述输入接口的电平组合设定为预设组合,以便通过所述预设组合确定所述并转串芯片提供的输入接口的总数以及所述串转并芯片提供的输出接口的总数;

所述第一串口以及所述第二串口为同种类型;

所述电平设定电路包括电平上拉电路以及电平下拉电路;

所述主控装置为ARM处理器;

所述逻辑处理芯片为现场可编程逻辑门阵列FPGA或复杂可编程逻辑器件CPLD;

该数据处理设备为可编程逻辑控制器PLC。

2. 根据权利要求1所述的数据处理设备,其特征在于,所述第一串口以及所述第二串口均为串行外设接口SPI接口。

## 一种数据处理设备

### 技术领域

[0001] 本发明涉及芯片领域,特别是涉及一种数据处理设备。

### 背景技术

[0002] 大数据时代,存在各种的数据处理设备(例如PLC(Programmable Logic Controller,可编程逻辑控制器)等),目前很多的数据处理设备对于输入接口以及输出接口存在大量需求,但是数据处理设备中(用于对数据进行逻辑处理)的逻辑处理芯片本身能够提供的输入接口以及输出接口的数量是有限的,如何低成本且小空间的扩展数据处理设备的输入输出接口IO数量是亟待解决的技术问题。

[0003] 因此,如何提供一种解决上述技术问题的方案是本领域技术人员目前需要解决的问题。

### 发明内容

[0004] 本发明的目的是提供一种数据处理设备,由于并转串芯片以及串转并芯片本身具有体积小成本低的特点,因此本申请在扩展了数据处理设备的IO数量的同时,节省了成本,控制了数据处理设备的体积。

[0005] 为解决上述技术问题,本发明提供了一种数据处理设备,包括:

[0006] 主控装置,用于将待处理数据发送至逻辑处理芯片;

[0007] 与所述主控装置连接的所述逻辑处理芯片,用于提供多个输入接口以及多个输出接口,对所述待处理数据进行指定的逻辑处理后将其发送至指定的输出接口,将从输入接口接收到的数据进行指定的逻辑处理后将其发送至指定的所述主控装置或所述输出接口;

[0008] 相互串接且一端与所述逻辑处理芯片的第一串口连接的多个并转串芯片,用于将从自身提供的多个输入接口输入的并行数据转换为串行数据后发送至所述逻辑处理芯片;

[0009] 相互串接且一端与所述逻辑处理芯片的第二串口连接的多个串转并芯片,用于将所述逻辑处理芯片发送的串行数据转换为并行数据后,通过自身提供的多个输出接口输出。

[0010] 优选地,该数据处理设备还包括:

[0011] 与距离所述逻辑处理芯片最近的所述并转串芯片提供的所述输入接口连接的电平设定电路,用于将连接的各个所述输入接口的电平组合设定为预设组合,以便通过所述预设组合确定所述并转串芯片提供的输入接口的总数以及所述串转并芯片提供的输出接口的总数。

[0012] 优选地,所述电平设定电路包括电平上拉电路以及电平下拉电路。

[0013] 优选地,所述主控装置为ARM处理器。

[0014] 优选地,所述逻辑处理芯片为现场可编程逻辑门阵列FPGA或复杂可编程逻辑器件CPLD。

[0015] 优选地,所述第一串口以及所述第二串口为同种类型。

[0016] 优选地,所述第一串口以及所述第二串口均为串行外设接口SPI接口。

[0017] 优选地,该数据处理设备为可编程逻辑控制器PLC。

[0018] 本发明提供了一种数据处理设备,为了节省逻辑处理芯片上的引脚数量,本申请中可以通过逻辑处理芯片的第一串口连接多个并转串芯片,通过第二串口连接多个串转并芯片,如此一来,由并转串芯片提供的多个输入接口的输入数据便可以均经由第一串口输入逻辑处理芯片,逻辑处理芯片通过第二串口也可以输出大量的数据至指定的输出接口,由于并转串芯片以及串转并芯片本身具有体积小成本低的特点,因此本申请在扩展了数据处理设备的I/O数量的同时,节省了成本,控制了数据处理设备的体积。

### 附图说明

[0019] 为了更清楚地说明本发明实施例中的技术方案,下面将对现有技术和实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0020] 图1为本发明提供的一种数据处理设备的结构示意图;

[0021] 图2为本发明提供的另一种数据处理设备的结构示意图;

[0022] 图3为本发明提供的一种并转串芯片的接线示意图;

[0023] 图4为本发明提供的一种串转并芯片的接线示意图。

### 具体实施方式

[0024] 本发明的核心是提供一种数据处理设备,由于并转串芯片以及串转并芯片本身具有体积小成本低的特点,因此本申请在扩展了数据处理设备的I/O数量的同时,节省了成本,控制了数据处理设备的体积。

[0025] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0026] 请参考图1,图1为本发明提供的一种数据处理设备的结构示意图,该数据处理设备包括:

[0027] 主控装置1,用于将待处理数据发送至逻辑处理芯片2;

[0028] 与主控装置1连接的逻辑处理芯片2,用于提供多个输入接口以及多个输出接口,对待处理数据进行指定的逻辑处理后将其发送至指定的输出接口,将从输入接口接收到的数据进行指定的逻辑处理后将其发送至指定的主控装置1或输出接口;

[0029] 相互串接且一端与逻辑处理芯片2的第一串口连接的多个并转串芯片3,用于将从自身提供的多个输入接口输入的并行数据转换为串行数据后发送至逻辑处理芯片2;

[0030] 相互串接且一端与逻辑处理芯片2的第二串口连接的多个串转并芯片4,用于将逻辑处理芯片2发送的串行数据转换为并行数据后,通过自身提供的多个输出接口输出。

[0031] 具体的,考虑到如上背景技术中的技术问题,又结合考虑到逻辑处理芯片2上的引脚数量有限,因此本申请选择利用串口外接并转串芯片3以及串转并芯片4,如此并不会占

用逻辑处理芯片2太多的引脚,便可以完成I0接口的大量扩展,其中,并转串芯片3提供的多个输入接口的数据为并行数据,也即每一个输入接口的数据都是独立的,因此相当于扩充了数据处理设备的输入接口,而对于串转并芯片4来说,其可以接收逻辑处理芯片2输出的串行数据并将其转换为并行数据并通过自身提供的多个输出接口输出,每个输出接口的数据都是独立的,相当于扩充了数据处理设备的输出接口。

[0032] 具体的,并转串芯片3以及串转并芯片4的数量均可以进行自主设定,例如均设置了8个等,本发明实施例在此不做限定。

[0033] 其中,值得一提的是,逻辑处理芯片2提供的I0接口可以为高速I0接口,而并转串芯片3以及串转并芯片4提供的I0接口可以为低速I0接口,如此便能够满足大多数接口需求且稳定性较强。

[0034] 本发明提供了一种数据处理设备,为了节省逻辑处理芯片上的引脚数量,本申请中可以通过逻辑处理芯片的第一串口连接多个并转串芯片,通过第二串口连接多个串转并芯片,如此一来,由并转串芯片提供的多个输入接口的输入数据便可以均经由第一串口输入逻辑处理芯片,逻辑处理芯片通过第二串口也可以输出大量的数据至指定的输出接口,由于并转串芯片以及串转并芯片本身具有体积小成本低的特点,因此本申请在扩展了数据处理设备的I0数量的同时,节省了成本,控制了数据处理设备的体积。

[0035] 为了更好地对本发明实施例进行说明,请参考图2至图4,图2为本发明提供的另一种数据处理设备的结构示意图;图3为本发明提供的一种并转串芯片3的接线示意图;图4为本发明提供的一种串转并芯片4的接线示意图,在上述实施例的基础上:

[0036] 作为一种优选的实施例,该数据处理设备还包括:

[0037] 与距离逻辑处理芯片2最近的并转串芯片3提供的输入接口连接的电平设定电路5,用于将连接的各个输入接口的电平组合设定为预设组合,以便通过预设组合确定并转串芯片3提供的输入接口的总数以及串转并芯片4提供的输出接口的总数。

[0038] 具体的,为了便于不同的数据处理设备知晓自身通过串转并芯片4以及并转串芯片3扩充的I0接口的数量,本发明实施例中还可以通过电平设定电路5设定距离逻辑处理芯片2最近的并转串芯片3提供的输入接口的电平组合为预设组合,如此一来,逻辑处理芯片2通过接收到的串行数据的前几位的预设组合,便可以确定出并转串芯片3提供的输入接口的总数以及串转并芯片4提供的输出接口的总数。

[0039] 其中,在图3中,各个引脚的定义如下:

[0040] CLK:时钟输入;CLK INH:数据输出使能;SH/LD:数据加载位;SER:串行输入;A~H:并行输入;QH:串行输出;'QH:串行输出反向。

[0041] 其中,在图4中,各个引脚的定义如下:

[0042] SRCLK:时钟输入;RCLK:数据锁存时钟;OE:输出使能;SRCLR:复位脚;SER:串行输入;QA~QH:并行输出;QH:串行输出;'QH:串行输出反向。

[0043] 作为一种优选的实施例,电平设定电路5包括电平上拉电路以及电平下拉电路。

[0044] 具体的,电平上拉电路以及电平下拉电路具有体积小、结构简单以及成本低等优点。

[0045] 当然,除了电平上拉电路以及电平下拉电路的形式外,电平设定电路5还可以为其他多种类型,本发明实施例在此不做限定。

- [0046] 作为一种优选的实施例,主控装置1为ARM处理器。
- [0047] 具体的,ARM处理器具有处理能力强、体积小以及成本低等优点。
- [0048] 当然,除了ARM处理器外,主控装置1还可以为其他多种类型,本发明实施例在此不做限定。
- [0049] 作为一种优选的实施例,逻辑处理芯片2为FPGA(Field Programmable Gate Array,现场可编程逻辑门阵列)或CPLD(Complex Programmable logic device,复杂可编程逻辑器件)。
- [0050] 具体的,FPGA以及CPLD均具有处理能力强、体积小以及成本低等优点。
- [0051] 当然,除了FPGA以及CPLD外,逻辑处理芯片2还可以为其他类型,本发明实施例在此不做限定。
- [0052] 作为一种优选的实施例,第一串口以及第二串口为同种类型。
- [0053] 具体的,将第一串口以及第二串口设定为同种类型可以提高工作效率。
- [0054] 当然,第一串口以及第二串口可以被设定为不同的类型,本发明实施例在此不做限定。
- [0055] 作为一种优选的实施例,第一串口以及第二串口均为SPI(Serial Peripheral Interface,串行外设接口)接口。
- [0056] 具体的,SPI接口具有传输速度快以及稳定性强等优点。
- [0057] 当然,除了SPI接口外,第一串口以及第二串口还可以为其他类型,例如I2C接口等,本发明实施例在此不做限定。
- [0058] 作为一种优选的实施例,该数据处理设备为可编程逻辑控制器PLC。
- [0059] 具体的,PLC具有数据处理能力强以及寿命长等优点。
- [0060] 当然,除了PLC外,数据处理设备还可以为其他类型,本发明实施例在此不做限定。
- [0061] 本说明书中各个实施例采用递进的方式描述,每个实施例重点说明的都是与其他实施例的不同之处,各个实施例之间相同相似部分互相参见即可。还需要说明的是,在本说明书中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括该要素的过程、方法、物品或者设备中还存在另外的相同要素。
- [0062] 对所公开的实施例的上述说明,使本领域专业技术人员能够实现或使用本发明。对这些实施例的多种修改对本领域的专业技术人员来说将是显而易见的,本文中所定义的一般原理可以在不脱离本发明的精神或范围的情况下,在其他实施例中实现。因此,本发明将不会被限制于本文所示的这些实施例,而是要符合与本文所公开的原理和新颖特点相一致的最宽的范围。

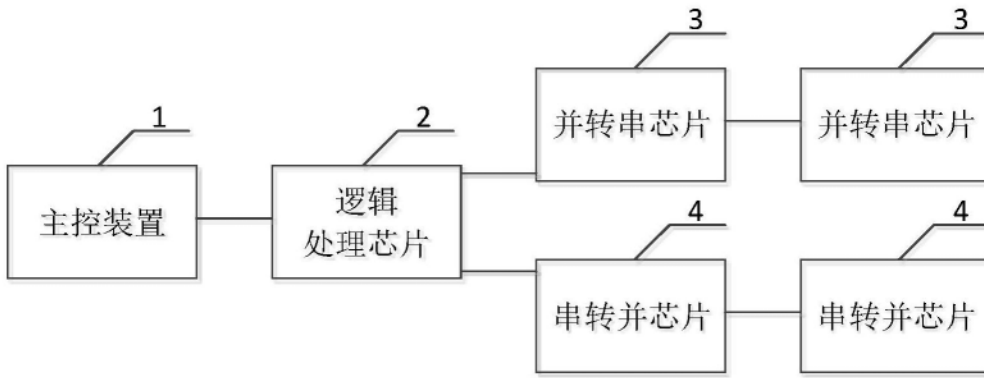


图1

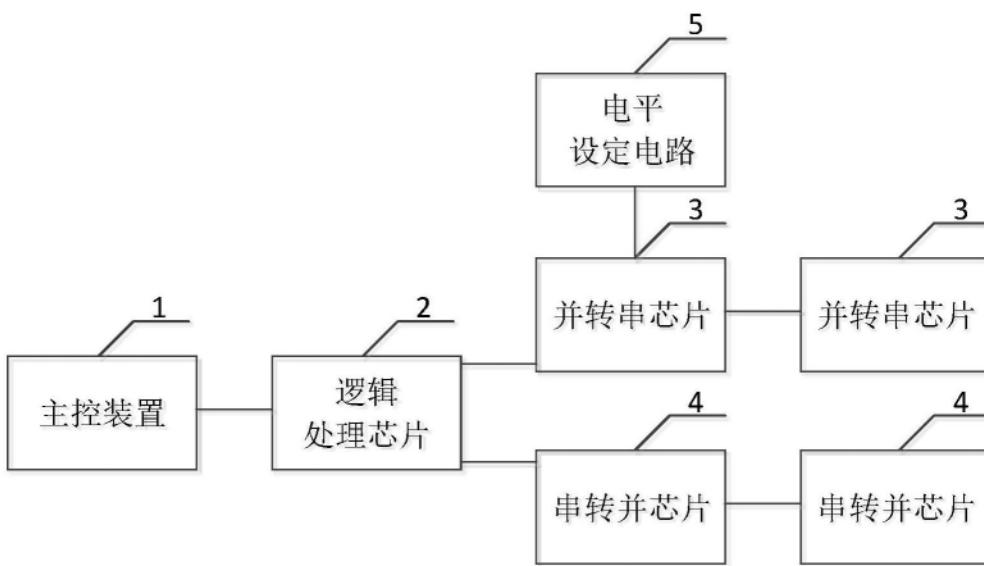


图2

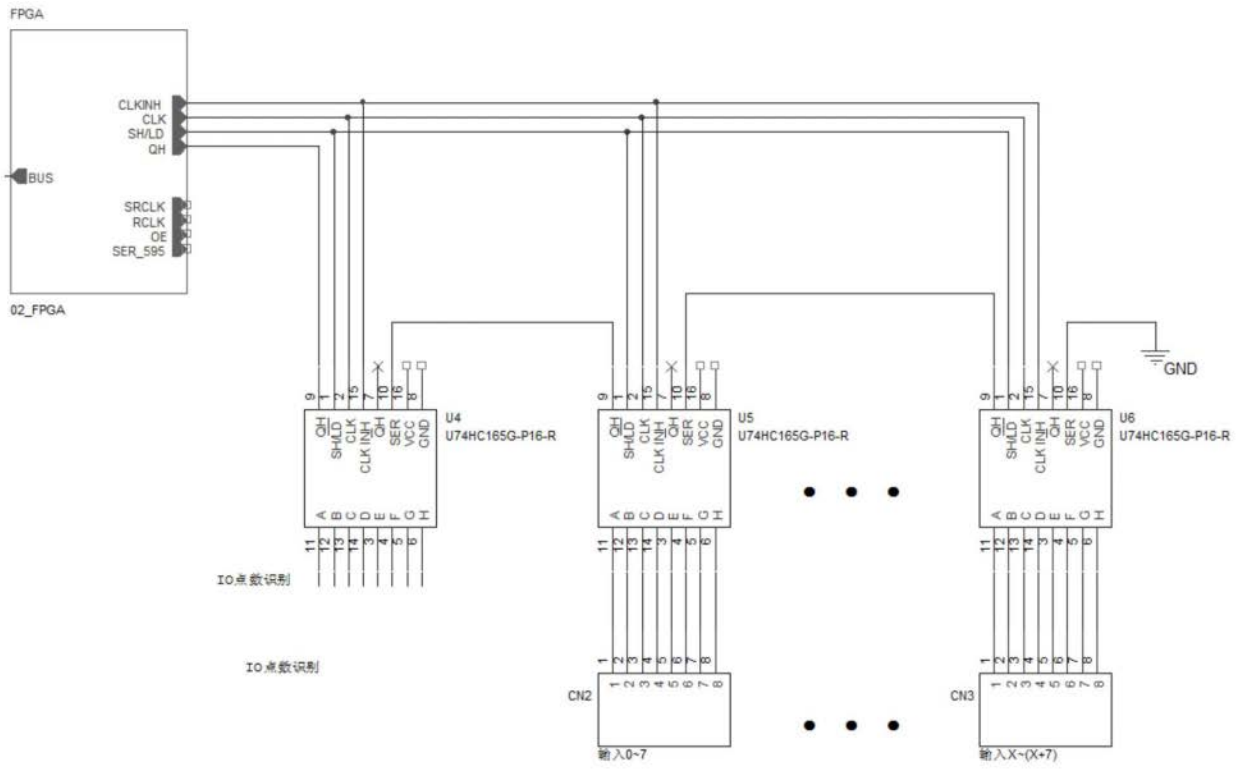


图3



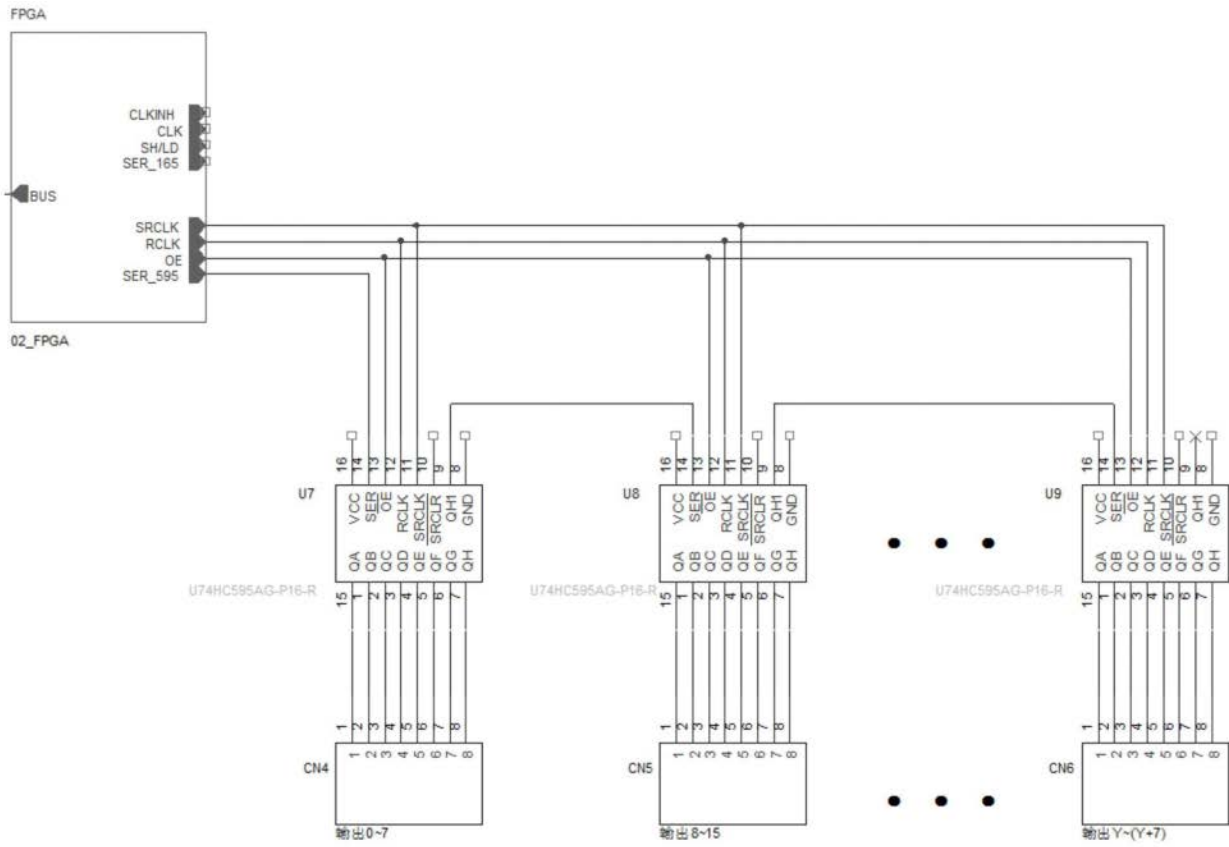


图4