

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-306083

(P2008-306083A)

(43) 公開日 平成20年12月18日(2008.12.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	4 M 1 0 4
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 Q	5 F 1 0 2
HO 1 L 29/812 (2006.01)	HO 1 L 29/80 F	
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 B	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号 特願2007-153537 (P2007-153537)
 (22) 出願日 平成19年6月11日(2007.6.11)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成18年度新エネルギー・産業技術総合開発機構からの委託研究「窒化物半導体を用いた低電力型高周波デバイスの開発」、産業活力再生特別措置法第30条の適用を受けるもの)

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100096253
 弁理士 尾身 祐助
 (72) 発明者 分島 彰男
 東京都港区芝五丁目7番1号 日本電気株式会社社内
 (72) 発明者 宮本 広信
 東京都港区芝五丁目7番1号 日本電気株式会社社内
 (72) 発明者 井上 隆
 東京都港区芝五丁目7番1号 日本電気株式会社社内

最終頁に続く

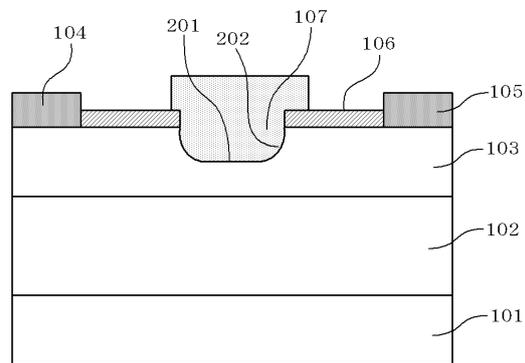
(54) 【発明の名称】 III-V族窒化物半導体電界効果型トランジスタおよびその製造方法

(57) 【要約】

【課題】電流コラプスを抑制し、かつ、ゲートのドレイン側エッジに生じる電界を緩和し、高電圧で動作可能なFETを提供。

【解決手段】基板101上にGaNバッファ層102、AlGaN層103が形成され、AlGaN層103の表面上には、ソース電極104とドレイン電極105とが形成され、ソース電極104とドレイン電極105との間はSiN膜106に覆われる。SiN膜106には開口が、AlGaN層103にはリセスが形成されており、その開口とリセスを埋めてゲート電極107が形成されている。ゲート電極107の底面部は、AlGaN層/GaN層界面に平行な底部平坦部201と、界面に平行ではない傾斜変化部202とを有する。傾斜変化部202の曲線は、接線の勾配が連続的に変化し、かつ下に凸となっている。

【選択図】図1



(図1)

- | | |
|--------------|-----------|
| 101 基板 | 106 SiN膜 |
| 102 GaNバッファ層 | 107 ゲート電極 |
| 103 AlGaN層 | 201 底部平坦部 |
| 104 ソース電極 | 202 傾斜変化部 |
| 105 ドレイン電極 | |

【特許請求の範囲】

【請求項 1】

凹部が形成された III-V 族窒化物半導体層と、該 III-V 族窒化物半導体層と前記凹部において接触するゲート電極とを有する III-V 族窒化物半導体電界効果型トランジスタにおいて、前記ゲート電極と前記 III-V 族窒化物半導体層との接触面は、前記 III-V 族窒化物半導体層の底面に平行な底部平坦部と前記 III-V 族窒化物半導体層の底面に平行ではない傾斜変化部とを有し、該傾斜変化部においては、ソース電極またはドレイン電極方向に向かって、前記接触面に接する、ゲート長方向に平行な縦断面での接線の傾斜が連続的に変化していることを特徴とする III-V 族窒化物半導体電界効果型トランジスタ。

【請求項 2】

前記凹部の周囲の前記 III-V 族窒化物半導体層の表面は表面保護膜に被覆されており、前記ゲート電極の延長部が前記表面保護膜上に延在していることを特徴とする請求項 1 に記載の III-V 族窒化物半導体電界効果型トランジスタ。

【請求項 3】

前記接触面に接する、ゲート長方向に平行な縦断面での接線の傾斜角度（前記 III-V 族窒化物半導体層の底面を基準とした）が、前記底部平坦部からソース電極またはドレイン電極方向に向かって、徐々に増大した後徐々に低下することを特徴とする請求項 1 または 2 に記載の III-V 族窒化物半導体電界効果型トランジスタ。

【請求項 4】

前記底部平坦部のゲート長方向の長さを L_g 、前記ゲート電極底面から前記 III-V 族窒化物半導体層底面までの距離を D_0 として、 $L_g > 10 * D_0$ の関係が成立することを特徴とする請求項 1 から 3 のいずれかに記載の III-V 族窒化物半導体電界効果型トランジスタ。

【請求項 5】

x 軸をゲート長方向にとり、前記傾斜変化部における前記ゲート電極底面から前記 III-V 族窒化物半導体層底面までの距離を $D(x)$ 、前記底部平坦部のゲート長方向の長さを L_g 、底部平坦部における前記ゲート電極底面から前記 III-V 族窒化物半導体層底面までの距離を D_0 として、 $1/D(x) dx < 1/10 * L_g/D_0$ の関係が成立することを特徴とする請求項 1 から 4 のいずれかに記載の III-V 族窒化物半導体電界効果型トランジスタ。

【請求項 6】

傾斜変化部における前記ゲート電極と前記 III-V 族窒化物半導体との接触面に接する、ゲート長方向に平行な縦断面での接線の傾斜角度（前記 III-V 族窒化物半導体層の底面を基準とした）は、前記底部平坦部のゲート長方向の長さを L_g として、前記底部平坦部のドレイン側端部からドレイン側に向かって $L_g/10$ までの範囲においては、45 度を超えないことを特徴とする請求項 1 から 5 のいずれかに記載の III-V 族窒化物半導体電界効果型トランジスタ。

【請求項 7】

凹部が形成された III-V 族窒化物半導体層と、該 III-V 族窒化物半導体層と前記凹部において接触するゲート電極とを有する III-V 族窒化物半導体電界効果型トランジスタ製造方法において、

- (1) 前記 III-V 族窒化物半導体層上に表面保護膜を形成する工程と、
- (2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、
- (3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記 III-V 族窒化物半導体層に対してエッチングを行い該 III-V 族窒化物半導体層に前記凹部を形成する工程と、

を有し、前記第 (3) の工程においては、初期においては等方性の高いエッチングを行い終期においては異方性の高いエッチングを行うことを特徴とする III-V 族窒化物半導体電界効果型トランジスタの製造方法。

【請求項 8】

10

20

30

40

50

凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

- (1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、
 - (2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、
 - (3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と、
- を有し、前記第(3)の工程においては、等方性の高いエッチングから始めて異方性の高いエッチングに移行しその後再び等方性の高いエッチングを行うことを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法。

【請求項9】

凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

- (1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、
 - (2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、
 - (3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と、
- を有し、前記III-V族窒化物半導体層の組成が、前記第(3)の工程のエッチングにおいて、下層より上層の方がエッチングレートが低くなるように設定されていることを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法。

【請求項10】

凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

- (1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、
 - (2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、
 - (3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と、
- を有し、前記III-V族窒化物半導体層の組成が、前記第(3)の工程のエッチングにおいて、下層および上層のエッチングレートが中間層のそれより高くなるように設定されていることを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III-V族窒化物半導体電界効果型トランジスタとその製造方法に関し、特に、電流コラプスの低減と高電圧動作を両立できるようにしたIII-V族窒化物半導体電界効果型トランジスタおよびその製造方法に関するものである。

【背景技術】

【0002】

近年の技術の発展に伴い、III-V族窒化物半導体用いた電界効果型トランジスタ(FET)の実用化にむけた研究・開発が活発に行われている。III-V族窒化物半導体は、GaAsを中心とした非窒化物化合物半導体に比べ、広いバンドギャップを有し、破壊電界強度が高い。また、GaNでは電子の飽和速度もGaAsに比べ大きいという特徴も有する。

10

20

30

40

50

これらの特徴から、III-V族窒化物半導体FETは高周波高出力電子デバイスへの利用が検討されている。

【0003】

III-V族窒化物半導体FETは、例えば、SiC基板上にGaN層とAlGaN層とを結晶成長により形成し、AlGaN層上にショットキ電極であるゲート電極、およびオーミック電極であるソースおよびドレイン電極を形成して製作される。このようなAlGaN/GaN-FETにおいては、GaN層中のAlGaN層との界面近傍に二次元電子ガス層が形成されて、HEMT (High Electron Mobility Transistor) 構造となり、不純物散乱による電子速度劣化が抑制されたチャンネル領域が形成される。

【0004】

このような、III-V族窒化物半導体FETにおいては、表面には高密度のトラップ準位が存在し、高電圧印加時には、ゲートから注入された電子がAlGaN層の表面トラップに捕獲され、その領域の空乏層が広がるためにチャンネルが狭窄され、ドレイン電流が減少するという電流コラプスが問題になっている。

この電流コラプスを抑制するために、AlGaN層表面のゲート電極とソース電極間、および、ゲート電極とドレイン電極間の、各領域を窒化シリコン (SiN) 膜で保護することにより表面トラップ密度を低減する方法が知られている (例えば、特許文献1参照)。しかし、この構造は、表面トラップ発生面とゲート電極底面とが同一面となっているため、表面トラップの影響を十分に低減することは困難である。そこで、ゲート電極底面が表面トラップ生成面より低くなるリセス構造のFETが提案されている (例えば、非特許文献1、特許文献2参照)。

【0005】

図10は、非特許文献1にて開示されたIII-V族窒化物半導体FETの構造を示す断面図である。これは、同図に示されるように、半絶縁性のSiCからなる基板101上に、GaNバッファ層102とAlGaN層103とをエピタキシャル成長させてヘテロ接合を形成し、AlGaN層103にリセス構造のゲート電極107を設けると共にその表面にソース電極104とドレイン電極105を設けたものである。そして、AlGaN層103表面は、表面保護膜としてのSiN膜106により被覆されている。

一方、特許文献2には、キャリア供給層であるAlGaN層に断面V字状ないし半円形状の凹部を設け、その凹部内を充填するようにゲート電極を形成することが開示されている。

これらリセス構造を採用したIII-V族窒化物半導体FETにおいては、表面からチャンネルまでの距離を長くすることで、表面トラップのチャンネルへの影響を実効的に低減することが可能である。また、非特許文献1には、リセス構造とゲート電極がドレイン側のSiN膜上にせり出した構造とを併せた構造に表面コラプスを抑制すると共にゲート電極のドレイン側エッジに生じる電界を緩和する効果があることが報告されている。

【特許文献1】特開2002-359256

【特許文献2】特開2005-210105

【非特許文献1】Y. Ando他、International Electron Device Meeting 2003 Digest pp. 563 - 566

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかし、非特許文献1にて報告されたIII-V族窒化物半導体FETにおいては、ゲート電極底面端部の断面形状が直角となっているため、その部分に電界が集中し、FETの高電圧動作がせげんされるという問題が生じる。

また、特許文献2にて開示されたFETにおいては、ゲート形状がV字形ないし半円であるため、一般にゲート長として規定される半導体結晶層に平行にゲート電極が接する部分がゼロかもしくは極めて短く、ショートチャンネル効果によりドレインコンダクタンスが増加してしまい、高電圧動作素子に必要な高電圧印加時にドレインコンダクタンスが小さい

10

20

30

40

50

という条件を満足しないという問題が生じてしまう。

【0007】

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、電流コラプスを抑制すると共にゲート端部近傍での電界集中が緩和された、高電圧印加時でのドレインコンダクタンスの小さいIII-V族窒化物半導体電界効果トランジスタを実現し、マイクロ波増幅器FETとして高い性能つまり、高耐圧かつ高出力電力密度特性を有するIII-V族窒化物半導体電界効果トランジスタを提供できるようにすることである。

【課題を解決するための手段】

【0008】

上記の目的を達成するため、本発明によれば、凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタにおいて、前記ゲート電極と前記III-V族窒化物半導体層との接触面は、前記III-V族窒化物半導体層の底面に平行な底部平坦部と前記III-V族窒化物半導体層の底面に平行ではない傾斜変化部とを有し、該傾斜変化部においては、ソース電極またはドレイン電極方向に向って、前記接触面に接する、ゲート長方向に平行な縦断面での接線の傾斜が連続的に変化していることを特徴とするIII-V族窒化物半導体電界効果型トランジスタ、が提供される。

10

そして、望ましくは、前記凹部の周囲の前記III-V族窒化物半導体層の表面は表面保護膜に被覆されており、前記ゲート電極の延長部が前記表面保護膜上に延在している。

また、一層望ましくは、前記接触面に接する接線の傾斜角度（前記III-V族窒化物半導体層の底面を基準とした）が、前記底部平坦部からソース電極またはドレイン電極方向に向って、徐々に増大した後徐々に低下する。

20

【0009】

また、上記の目的を達成するため、本発明によれば、凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

(1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、

(2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、

(3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と

30

を有し、前記第(3)の工程においては、初期においては等方性の高いエッチングを行い終期においては異方性の高いエッチングを行うことを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法、が提供される。

【0010】

また、上記の目的を達成するため、本発明によれば、凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

(1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、

(2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、

(3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と

40

を有し、前記第(3)の工程においては、等方性の高いエッチングから始めて異方性の高いエッチングに移行しその後再び等方性の高いエッチングを行うことを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法、が提供される。

【0011】

また、上記の目的を達成するため、本発明によれば、凹部が形成されたIII-V族窒化物

50

半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

(1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、
(2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、

(3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と、

を有し、前記III-V族窒化物半導体層の組成が、前記第(3)の工程のエッチングにおいて、下層より上層の方がエッチングレートが低くなるように設定されていることを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法、が提供される。

10

【0012】

また、上記の目的を達成するため、本発明によれば、凹部が形成されたIII-V族窒化物半導体層と、該III-V族窒化物半導体層と前記凹部において接触するゲート電極とを有するIII-V族窒化物半導体電界効果型トランジスタ製造方法において、

(1) 前記III-V族窒化物半導体層上に表面保護膜を形成する工程と、
(2) 前記表面保護膜を選択的にエッチング除去して前記表面保護膜にゲート開口を形成する工程と、

(3) 前記ゲート開口が形成された前記表面保護膜をマスクとして前記III-V族窒化物半導体層に対してエッチングを行い該III-V族窒化物半導体層に前記凹部を形成する工程と、

20

を有し、前記III-V族窒化物半導体層の組成が、前記第(3)の工程のエッチングにおいて、下層および上層のエッチングレートが中間層のそれより高くなるように設定されていることを特徴とするIII-V族窒化物半導体電界効果型トランジスタの製造方法、が提供される。

【発明の効果】

【0013】

本発明によれば、ゲートのリセス底面と側面との接続部が滑らかな曲面をなしているの(従来例のようにリセス底面と側面との接続部が角張っていないので)、ゲートのドレイン端において電界集中が生じることがなく、高電圧動作が可能となる。また、リセス開口部分にヘテロ接合界面と平行な部分を有することで、高電圧下におけるドレインコンダクタンスを低減でき、断面V字形ないし半円形のリセス構造のトランジスタに比較して高電圧動作が可能になる。

30

また、上記のリセス構造において、リセス側面の傾斜角度がソースまたはドレイン電極に向かって徐々に増大した後徐々に低下する実施例によれば、2番目に電界が集中しているドレイン側のリセス開口上部においても、電界を緩和することが可能であり、さらに高電圧動作が可能となる。

【発明を実施するための最良の形態】

【0014】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

40

〔第1の実施の形態〕

図1は、本発明の第1の実施の形態のIII-V族窒化物半導体電界効果トランジスタの断面図である。図1に示されるように、SiC、サファイヤ、Siなどからなる基板101上にGaNバッファ層102、AlGaN層103が形成され、AlGaN層103の表面上には、AlGaN層103とオーミック接触するソース電極104とドレイン電極105とが形成され、ソース電極104とドレイン電極105との間は表面保護膜であるSiN膜106に覆われている。SiN膜105にはゲート開口が、AlGaN層103にはリセスが形成されており、そのゲート開口とリセスを埋めて半導体層とショットキ接触するゲート電極107が形成されている。ゲート電極の延長部がSiN膜106上に延在しているが、その延長部はソース側よりドレイン側の方が長くなっている。ゲート電極1

50

07とAlGa_N層103との接触部は、Ga_Nバッファ層102とAlGa_N層103との界面に平行な底部平坦部201と、界面に平行ではない傾斜変化部202とを有する。傾斜変化部202においてゲート電極107とAlGa_N層103との接触部に接する接線（チャンネル方向に平行でGa_Nバッファ層102とAlGa_N層103との界面に垂直な平面上で引いた接線）の勾配は、ソース電極またはドレイン電極に向って連続的に変化している。本実施の形態では、接線の傾斜角（AlGa_N/Ga_N界面を基準とした）はソース電極またはドレイン電極に向って徐々に急峻になっている。

【0015】

次に、本実施の形態の製造方法を簡単に説明する。SiCなどからなる基板101上にGa_Nバッファ層102、AlGa_N層103を順次結晶成長させる。次に、結晶成長半導体層表面にオーミック接触する金属を選択的に堆積してソース電極104とドレイン電極105を形成する。そして、AlGa_N層103表面に表面保護膜としてのSi₃N₄膜106を成膜する。ゲート電極を形成する領域のSi₃N₄膜106をエッチング除去してゲート開口を形成する。そして、そのゲート開口の形成されたSi₃N₄膜106をマスクにAlGa_N層103をドライエッチングにより掘り込んでゲートリセスを形成する。このドライエッチング時において、ガス流量、もしくは、混合ガス比、もしくは、パワーを時間に対して連続的に変化させ、等方性エッチングから異方性のつよいエッチングに変えることで、エッチング底面が、結晶層界面に平行な底部平坦部と、側面の、ゲート長方向に平行な縦断面での接線の勾配が連続的に変化する下に凸の滑らかな曲線の傾斜変化部とを有するリセス形状を得る。次に、Si₃N₄膜のゲート開口より広い開口を有するレジストパターンを形成し、リフトオフ法を用いてショットキ用金属からなるゲート電極107を形成する。形成されたゲート電極のリセス底面部での形状は、AlGa_N/Ga_N界面に平行な底部平坦部201と、接線の勾配が連続的に変化する下に凸の曲線の傾斜変化部202とを有するものとなる。

【0016】

このように形成されたFETにおいては、ゲート電極のドレイン側端部での電界集中は、図2(a)に示される等電位線301から分かるように、緩和される。このように、従来のゲート底面端部に角部のあるリセス形状において生じていた電界集中を緩和することができるので、図2(b)に示されるように、ブレークダウン電圧がV₁からV₂へと向上し、より高いドレイン電圧での動作が可能になる。図2(b)は、ドレイン電圧(V_{gd})とリーク電流(I_{gd})との関係を示すグラフであって、実線は本発明の第1の実施の形態の特性を、また点線は従来例の特性を示す。また、AlGa_N表面が露出することがなく、ゲート電極がSi₃N₄膜上にせり出した構造を実現することが可能であるので、表面コラプスの影響を低減することが可能である。

【0017】

ここでは、一例としてAlGa_N/Ga_Nヘテロ構造FETの場合を挙げたが、これに限るものではなく、AlGa_N層の代わりにInAlGa_N層を用い、Ga_N層の代わりにInGa_N層を用いた構造など、一般にIII-V族窒化物半導体と呼ばれる材料を用いたFETの場合には適応可能である。

本発明において、上記リセス開口部において、エッチング底面が結晶層界面（AlGa_N層底面）に平行としている構造は、2nm以下の凹凸を含んでいても、差し支えない。また、上記のリセス開口部において、エッチング底面が、結晶層界面に平行な底部平坦部とここから結晶層表面に向かって滑らかに変化する傾斜変化部とを有する開口形状としている構造は、2nm以下の段差を含んでいても、差し支えない。

【0018】

開口底面の平坦部（底部平坦部201）の長さ（ゲート長：L_g）と、開口底面部とAlGa_N/Ga_N界面の距離（D₀）（図3参照）との関係は、ショートチャンネル効果によるドレインコンダクタンスが増加することを抑制するために、

$$L_g > 10 * D_0$$

とすることが望ましい。

10

20

30

40

50

また、接線の傾斜が連続的に変化する下に凸の曲線の部分（傾斜変化部 202）が長すぎると、実効的ゲート部（底部平坦部 201 の部分）での容量に対し、実効的にゲート作用を有しない部分（傾斜変化部 202）での容量が無視できなくなってしまい、動作の高速性が犠牲となる。そのため、傾斜変化部 202 の曲線と AlGaIn/GaN 界面との距離を、ゲート長方向を x 軸にとって $D1(x)$ で定義すると（図 4 参照）、

$$1/D1(x) dx < 1/10 * Lg/D0$$

である必要がある。ただし、接線の傾斜が連続的に変化する下に凸の曲線部分で傾斜変化部 202 端部からドレイン側に向かって少なくとも $Lg/10$ までの領域においては、接線の傾きが水平方向に対し 45 度を超えないことが望ましい。これは、これ以上、急な角度を有すると、電界緩和効果が著しく低下するためである。

【0019】

〔第 2 の実施の形態〕

図 5 は、本発明の第 2 の実施の形態の III-V 族窒化物半導体電界効果トランジスタの構造を示す断面図である。図 5 に示されるように、SiC、サファイヤ、Si などからなる基板 101 上に、GaN バッファ層 102、AlGaIn 層 103 が結晶成長により形成される。次に、結晶成長層表面にオーミック用金属からなるソース電極 104 とドレイン電極 105 が形成され、ソース電極とドレイン電極との間には、表面保護膜としての SiN 膜 106 が成膜される。ゲート電極を形成する領域の SiN 膜 106 にゲート開口を形成し、この開口を有する SiN 膜 106 をマスクに AlGaIn 層をドライエッチングにより掘り込む。このドライエッチング時において、ガス流量、もしくは、混合ガス比、もしくは、パワーを時間に対して連続的に変化させ、等方性エッチングから異方性のつよいエッチングにかえ、再度、等方性エッチング条件にする。これにより、エッチング底面が、結晶層界面に平行な底部平坦部と、ゲート長方向に平行な縦断面での接線の勾配が滑らかに変化する傾斜変化部とを有するリセス形状を得る。傾斜変化部は、底部平坦部寄りの下に凸の曲線部とソース・ドレイン寄りの上に凸の曲線部とを有する。次に、SiN 膜に形成されたゲート開口より広い開口を有するレジストパターンを形成し、リフトオフ法を用いてショットキ用金属からなるゲート電極 107 を形成する。形成されたゲート電極のリセス底面部での形状は、AlGaIn/GaN 界面に平行な底部平坦部 201 と、ゲート長方向に平行な縦断面での接線の勾配が連続的に変化する、底部平坦部 201 寄りの下に凸の曲線部とソース・ドレイン寄りの上に凸の曲線部とを有する傾斜変化部 203 と、を有するものとなる。

【0020】

このように形成された FET においては、リセス開口上部での電界集中を緩和することができる。第 1 の実施の形態では、リセス開口上部がゲート底面角部に続く次の電界集中部になるが、本実施の形態によると図 6 (a) に示される等電位線 302 から分かるように、この部分の電界を緩和することができる。このように、従来のリセス形状においてゲート底面端部の角部およびリセス開口上部で生じていた電界集中を緩和することができるので、図 6 (b) に示されるように、ブレークダウン電圧は第 1 の実施の形態の $V2$ から $V3$ へと一層向上し、より高いドレイン電圧での動作が可能になる。図 6 (b) は、ドレイン電圧 (Vgd) とリーク電流 (Igd) との関係を示すグラフであって、太い実線は本実施の形態の特性を、細かい実線は第 1 の実施の形態の特性を、また点線は従来例の特性を示す。また、AlGaIn 表面が露出することがなく、ゲート電極が SiN 膜上にせり出した構造を実現することが可能であるので、表面コラプスの影響を低減することが可能である。

【0021】

ここでは、一例として AlGaIn/GaN ヘテロ構造 FET の場合を挙げたが、これに限るものではなく、AlGaIn 層の代わりに InAlGaIn 層を用い、GaN 層の代わりに InGaN 層を用いた構造など、一般に III-V 族窒化物半導体と呼ばれる材料を用いた FET の場合には適応可能である。

本発明において、上記リセス開口部において、エッチング底面が結晶層界面 (AlGa

10

20

30

40

50

N層底面)に平行としている構造は、2 nm以下の凹凸を含んでいても、差し支えない。また、上記のリセス開口部において、エッチング底面が、結晶層界面に平行な底部平坦部とここから結晶層表面に向かって底面の傾きが滑らかに変化する傾斜変化部とを有する開口形状としている構造は、2 nm以下の段差を含んでいても、差し支えない。

【0022】

開口底面の平坦部(底部平坦部201)の長さ(ゲート長: L_g)と、開口底面部とAlGaIn/GaN界面の距離(D_0)(図7参照)との関係は、ショートチャネル効果によるドレインコンダクタンスが増加することを抑制するために、

$$L_g > 10 * D_0$$

とすることが望ましい。

また、ゲート長方向に平行な縦断面での接線の傾斜が連続的に変化する、底部平坦部寄りの下に凸の曲線の部分とソース・ドレイン寄りの上に凸の曲線の部分とを有する傾斜部(傾斜変化部203)が大きすぎると、実効的ゲート部(底部平坦部201の部分)でのゲート容量に対し、実効的にゲート作用を有しない部分(傾斜変化部203)での容量が無視できなくなってしまい、動作高速性が妨げられる。そのため、傾斜変化部203の曲線とAlGaIn/GaN界面との距離を、ゲート長方向をx軸にとって $D_2(x)$ で定義すると(図7参照)、

$$1/D_2(x) dx < 1/10 * L_g / D_0$$

とする必要がある。ただし、ゲート長方向に平行な縦断面での接線の傾斜が連続的に変化する曲線部分で傾斜変化部203端部からドレイン側に向かって少なくとも $L_g/10$ までの領域においては、接線の傾きが水平方向に対し45度を超えないことが望ましい。これは、これ以上、急な角度を有すると、電界緩和効果が著しく低下するためである。

【0023】

〔第3の実施の形態〕

図8は、本発明の第3の実施の形態のIII-V族窒化物半導体電界効果トランジスタの構造を示す断面図である。図8において、図1に示される第1の実施の形態の電界効果トランジスタの部分と同等の部分には同一の参照符号を付し、重複する説明は省略する。図8に示す本実施の形態において、GaNバッファ層102上に結晶成長したAlGaIn層111は、結晶成長時に、そのAl組成がGaNバッファ層側から例えば0.2 0.1と連続的に変化するよう形成される。その後、AlGaIn層111は、ゲート開口の形成されたSiN膜106をマスクとしてドライエッチングされるが、そのドライエッチング時においては第1の実施の形態や第2の実施の形態などのように、ガス流量、もしくは、混合ガス比、もしくは、パワーを時間に対して連続的に変化させる必要はなく、エッチング中、同一の条件でのエッチングが行なわれる。AlGaIn層111のAl組成の違いによるエッチングレートの違いにより、エッチング底面が、結晶層界面に平行な底部平坦部と、ゲート長方向に平行な縦断面での接線の傾斜が連続的に変化する、下に凸の曲線の傾斜変化部とを有する開口形状を得ることができる。その結果、形成されたゲート電極のリセス底面部での形状は、AlGaIn/GaN界面に平行な底部平坦部201と、接線の勾配が連続的に変化する下に凸の曲線の傾斜変化部202とを有するものとなる。

このように形成された電界効果トランジスタによると、第1の実施の形態と同様に、耐圧向上と、表面コラプスの影響の低減を実現することができる。

【0024】

〔第4の実施の形態〕

図9は、本発明の第4の実施の形態のIII-V族窒化物半導体電界効果トランジスタの構造を示す断面図である。図9において、図5に示される第2の実施の形態の電界効果トランジスタの部分と同等の部分には同一の参照符号を付し、重複する説明は省略する。図9に示す本実施の形態において、GaNバッファ層102上に結晶成長したAlGaIn層112は、結晶成長時に、そのAl組成がGaNバッファ層側から例えば0.2 0.1 0.2と連続的に変化するよう形成される。その後、AlGaIn層112は、ゲート開口の形成されたSiN膜106をマスクとしてドライエッチングされるが、そのドライエ

10

20

30

40

50

チング時においては第1の実施の形態や第2の実施の形態などのように、ガス流量、もしくは、混合ガス比、もしくは、パワーを時間に対して連続的に変化させる必要はなく、エッチング中、同一の条件でのエッチングが行なわれる。AlGaIn層112のAl組成の違いによるエッチングレートの違いにより、エッチング開口断面形状が、結晶層界面に平行な底部平坦部と、ソース・ドレインに向かって接線の傾斜が連続的に変化する、底部平坦部寄りの下に凸の曲線部およびソース・ドレイン寄りの上に凸の曲線部を備えた傾斜変化部とを有するものとして有することができる。その結果、形成されたゲート電極のリセス底部での断面形状は、AlGaIn/GaN界面に平行な底部平坦部201と、接線の勾配が連続的に変化する、底部平坦部寄りの下に凸の曲線部およびソース・ドレイン寄りの上に凸の曲線部を備えた傾斜変化部203とを有するものとなる。

10

このように形成された電界効果トランジスタによると、第2の実施の形態の場合と同様に、耐圧向上と、表面コラプスの影響の低減を実現することができる。

【実施例1】

【0025】

以下に、図1を参照して、第1の実施の形態の実施例について説明する。SiCからなる基板101を用い、その上に5 μ m厚のGaNパルファ層102、50nm厚のAlGaIn層(AI組成0.2)103を、Metal Organic Chemical Vapor Deposition法(MOCVD法)により結晶成長させる。次に、成長基板表面にオーミック用金属であるTi(50nm)とAl(300nm)からなるソース電極104およびドレイン電極105をレジストリフトオフ法により形成する。その後、Rapid Thermal Annealing(RTA)法により基板を800 $^{\circ}$ Cにて1分間加熱し、上記Ti/Al電極が半導体とオーミック性接触特性を示すようにする。その後、ソースおよびドレイン電極の間に、表面保護膜としてSiN膜(200nm)106をプラズマCVD法により成膜する。ゲート電極を形成する部分のSiN膜をレジストをマスクに、ICP(Inductively Coupled Plasma)プラズマエッチング(SF₆の分圧0.2Pa、バイアスパワー=10W、アンテナパワー=200W)してゲート開口を形成する。次に、ゲート開口が形成されたSiN膜106をマスクにして、AlGaIn層をICPプラズマエッチングにて掘り込む。このAlGaIn層のエッチングにおいて、アンテナパワーは200Wに固定し、エッチング開始時のエッチング条件をCl₂の分圧を1Pa、BCl₃の分圧を0Pa、バイアスパワー=2Wとし、エッチング終了までにCl₂の分圧を0Paに、BCl₃の分圧を0.2Pa、バイアスパワーを10Wに連続的に変化させる。このエッチング手法により、エッチング初期には等方性のエッチングを行い、エッチング終了時には異方性エッチングに連続的に変化させることが可能で、エッチング底面の断面形状が、結晶層界面に平行な底部平坦部と、傾斜が連続的に変化する下に凸の曲線の傾斜変化部とを有する開口を得る。このAlGaIn層のエッチングに続いて、SiN膜に形成されたゲート開口より広い開口を有するレジストパターンを形成し、ショットキ用金属からなるNi(50nm)と良導電性材料であるAu(200nm)とを成膜してゲート電極107を形成した。

20

30

【図面の簡単な説明】

【0026】

【図1】本発明の第1の実施の形態の電界効果トランジスタを示す断面図。

40

【図2】本発明の第1の実施の形態の電界効果トランジスタの効果を示す断面図と特性図。

【図3】本発明の第1の実施の形態の電界効果トランジスタにおいて、効果を顕著にするための断面形状を定義するための断面図(その1)。

【図4】本発明の第1の実施の形態の電界効果トランジスタにおいて、効果を顕著にするための断面形状を定義するための断面図(その2)。

【図5】本発明の第2の実施の形態の電界効果トランジスタを示す断面図。

【図6】本発明の第2の実施の形態の電界効果トランジスタの効果を示す断面図と特性図。

【図7】本発明の第2の実施の形態の電界効果トランジスタにおいて、効果を顕著にする

50

ための断面形状を定義するための断面図。

【図8】本発明の電界効果トランジスタの第3の実施の形態を示す断面図。

【図9】本発明の第4の実施の形態の電界効果トランジスタを示す断面図。

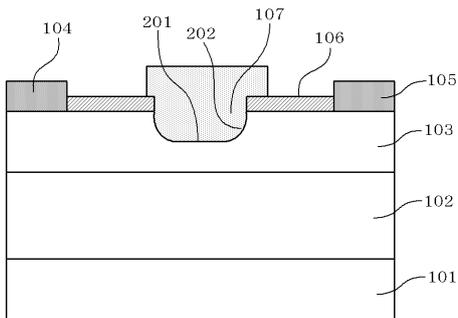
【図10】従来の電界効果トランジスタを示す断面図。

【符号の説明】

【0027】

- 101 基板
- 102 GaNバッファ層
- 103 AlGaIn層
- 104 ソース電極
- 105 ドレイン電極
- 106 SiN膜
- 107 ゲート電極
- 111 AlGaIn層 (Al組成が0.2 0.1へ変化している層)
- 112 AlGaIn層 (Al組成が0.2 0.1 0.2へ変化している層)
- 201 底部平坦部
- 202、203 傾斜変化部
- 301、302 等電位線

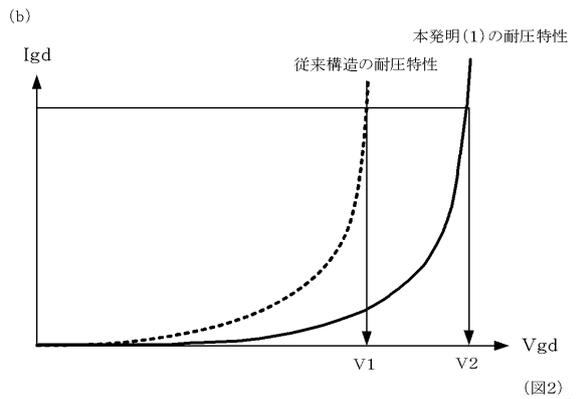
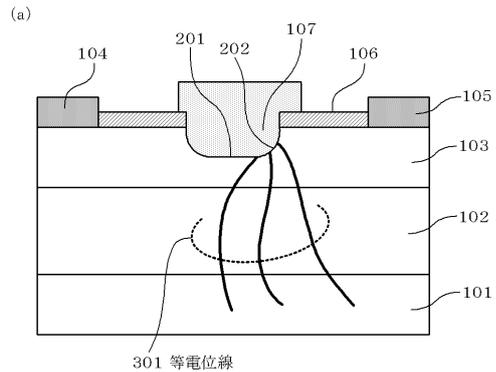
【図1】



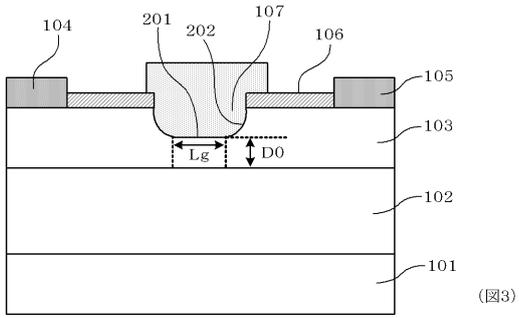
(図1)

- 101 基板
- 102 GaNバッファ層
- 103 AlGaIn層
- 104 ソース電極
- 105 ドレイン電極
- 106 SiN膜
- 107 ゲート電極
- 201 底部平坦部
- 202 傾斜変化部

【図2】

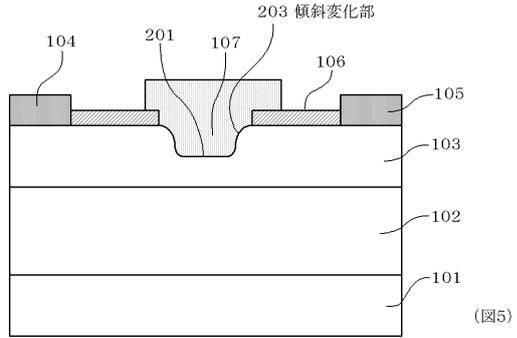


【 図 3 】



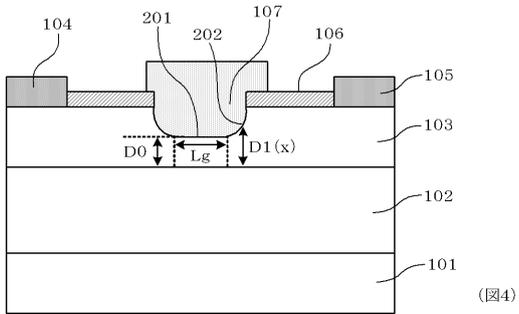
(図3)

【 図 5 】



(図5)

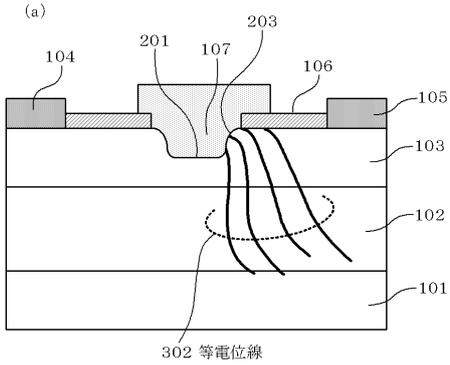
【 図 4 】



(図4)

【 図 6 】

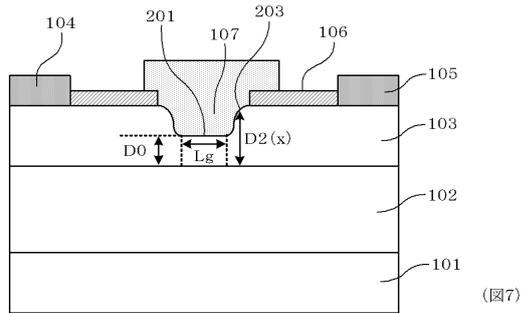
(a)



302 等電位線

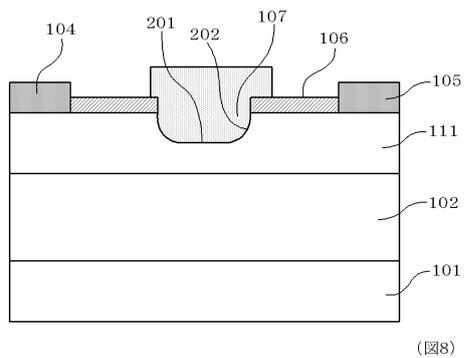
(図6)

【 図 7 】

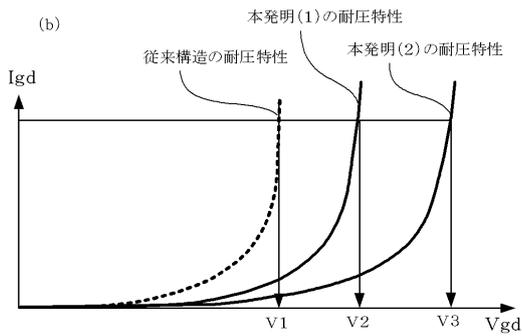


(図7)

【 図 8 】

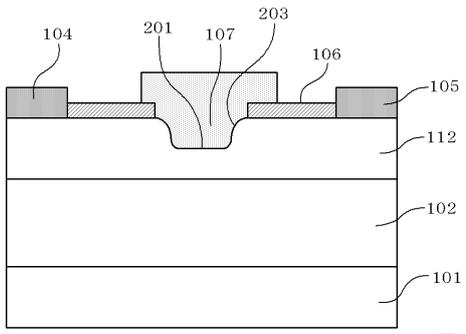


(図8)



111 AlGaIn層(AI組成が0.2→0.1へ変化している層)

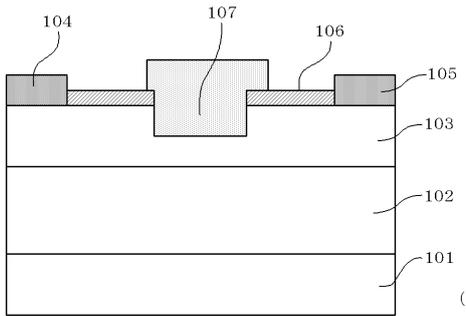
【 図 9 】



(図9)

112 AlGaIn層(AI組成が0.2→0.1→0.2へ変化している層)

【 図 1 0 】



(図10)

フロントページの続き

- (72)発明者 岡本 康宏
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 中山 達峰
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 黒田 尚孝
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 大田 一樹
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 田能村 昌宏
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 村瀬 康裕
東京都港区芝五丁目7番1号 日本電気株式会社内
- (72)発明者 安藤 裕二
東京都港区芝五丁目7番1号 日本電気株式会社内

Fターム(参考) 4M104 AA04 BB14 CC03 EE17 FF06 FF07 FF13 FF27 GG12 HH20
5F102 FA00 GJ02 GJ03 GJ10 GK04 GL04 GM04 GQ01 GR04 GS01
GT01 GT03 GV08 HC01 HC15 HC19