



# (12) 发明专利申请

(10) 申请公布号 CN 115692308 A

(43) 申请公布日 2023. 02. 03

(21) 申请号 202211462897.0

(22) 申请日 2022.11.21

(71) 申请人 中国科学院微电子研究所  
地址 100029 北京市朝阳区北土城西路3号

(72) 发明人 孔真真 张毅文 刘靖雄 任宇辉  
王桂磊 李俊峰 高建峰 周娜  
罗军

(74) 专利代理机构 北京兰亭信通知识产权代理  
有限公司 11667  
专利代理师 袁铭广

(51) Int. Cl.  
H01L 21/762 (2006.01)  
H01L 27/12 (2006.01)

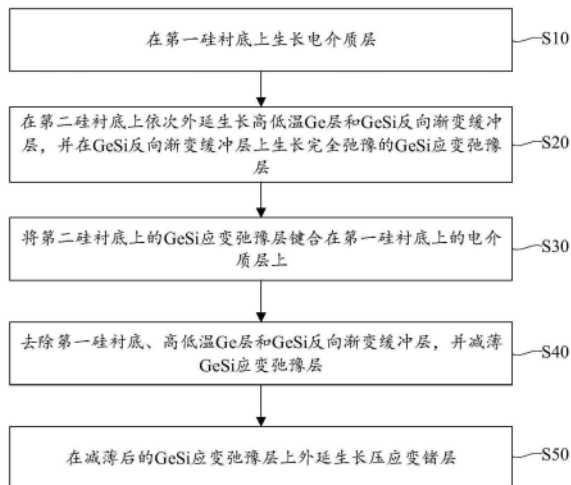
权利要求书2页 说明书6页 附图3页

## (54) 发明名称

一种半导体结构的制备方法及半导体结构

## (57) 摘要

本发明提供了一种半导体结构的制备方法及半导体结构,该半导体结构的制备方法通过在第二硅衬底上依次生长高低温Ge层、GeSi反向渐变缓冲层和完全弛豫的GeSi应变弛豫层之后,将第二硅衬底上的GeSi应变弛豫层键合在第一硅衬底上的电介质层上,之后再去除第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层,并减薄GeSi应变弛豫层,最后在减薄后的GeSi应变弛豫层上外延生长压应变锗层,实现高迁移率的压应变锗层GOI结构,同时制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层中制备诸如但不限于压应变锗沟道等结构,为FD/GAAGOI器件提供优良衬底。



1. 一种半导体结构的制备方法,其特征在于,包括:  
在第一硅衬底上生长电介质层;  
在第二硅衬底上依次外延生长高低温Ge层和GeSi反向渐变缓冲层,并在所述GeSi反向渐变缓冲层上生长完全弛豫的GeSi应变弛豫层;  
将所述第二硅衬底上的所述GeSi应变弛豫层键合在所述第一硅衬底上的所述电介质层上;  
去除所述第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层,并减薄所述GeSi应变弛豫层;  
在减薄后的所述GeSi应变弛豫层上外延生长压应变锗层。
2. 如权利要求1所述的制备方法,其特征在于,所述减薄所述GeSi应变弛豫层包括:  
减薄所述GeSi应变弛豫层,直到剩余的GeSi应变弛豫层的厚度为5-100nm。
3. 如权利要求1所述的制备方法,其特征在于,所述GeSi反向渐变缓冲层和所述GeSi应变弛豫层的材料均为 $\text{Ge}_a\text{Si}_{1-a}$ ;  
其中,a的取值从所述GeSi反向渐变缓冲层的底部取值为1开始,至所述GeSi反向渐变缓冲层的顶部逐渐减小,并在所述GeSi应变弛豫层减至最小,且所述GeSi应变弛豫层中的a为固定值。
4. 如权利要求3所述的制备方法,其特征在于,a从所述GeSi反向渐变缓冲层的底部取值为1开始,逐渐减小至所述GeSi应变弛豫层取值为min;其中,min的取值范围为0.6~0.9。
5. 如权利要求1所述的制备方法,其特征在于,所述电介质层的材料为 $\text{SiO}_x$ 、 $\text{SiN}_x$ 或 $\text{Al}_2\text{O}_3$ 的单层或叠层组合。
6. 如权利要求1所述的制备方法,其特征在于,还包括:  
在所述压应变锗层及所述GeSi应变弛豫层中制备晶体管的源极和漏极;  
在所述压应变锗层上形成连接所述源极和漏极的压应变锗沟道;  
在所述压应变锗沟道上制备所述晶体管的栅极,以形成FDGOI器件。
7. 如权利要求1所述的制备方法,其特征在于,还包括:  
在所述压应变锗层上重复交替的生长GeSi应变弛豫层和压应变锗层,形成由GeSi应变弛豫层和压应变锗层重复层叠的叠层结构;  
其中,所述重复交替生长的循环次数为n次,且n为任意的正整数。
8. 如权利要求7所述的制备方法,其特征在于,还包括:  
在所述叠层结构中,制备晶体管的源极和漏极;  
在所述叠层结构中的每个压应变锗层上,形成连接所述源极和漏极的压应变锗沟道;  
在所述叠层结构中制备所述晶体管的栅极,以形成GAAGOI器件。
9. 一种半导体结构,其特征在于,包括:  
第一硅衬底;  
生长在所述第一硅衬底上的电介质层;  
键合连接在所述电介质层上的GeSi应变弛豫层;  
外延生长在所述GeSi应变弛豫层上的压应变锗层;  
其中,所述GeSi应变弛豫层采用如下方式键合连接在所述电介质层上:  
在第二硅衬底上依次外延生长高低温Ge层和GeSi反向渐变缓冲层,并在所述GeSi反向

渐变缓冲层上生长完全弛豫的GeSi应变弛豫层；

将所述第二硅衬底上的所述GeSi应变弛豫层键合在所述第一硅衬底上的所述电介质层上；

去除所述第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层，并减薄所述GeSi应变弛豫层，以使所述压应变锗层外延生长在减薄后的所述GeSi应变弛豫层上。

10. 如权利要求9所述的半导体结构，其特征在于，所述压应变锗层上还重复交替的生长有GeSi应变弛豫层和压应变锗层，形成由GeSi应变弛豫层和压应变锗层重复层叠的叠层结构；

其中，所述重复交替生长的循环次数为n次，且n为任意的正整数。

## 一种半导体结构的制备方法及半导体结构

### 技术领域

[0001] 本发明涉及半导体技术领域,尤其涉及一种半导体结构的制备方法及半导体结构。

### 背景技术

[0002] 在晶体管中引入应力是目前半导体工艺界目前所广泛使用的一种技术,由于应力的引入,可以使材料产生拉应力或者压应力。应力的引入会使载流子的质量发生改变,提高晶体管中载流子的迁移率,可以制作相比于无应力衬底的晶体管更低功耗以及更高迁移率的晶体管。因此引入拉应变沟道成为提高器件迁移率的主要方法。但是现有技术中,在电介质层上生长高质量的压应变锗沟道较为困难。而且现有技术中,基于硅衬底的纳米片集成,由于受到底部叠层材料质量限制而经常出现杂质沾污、晶格缺陷、氧化层缺陷、以及顶层硅均匀性难以保证等诸多问题。

### 发明内容

[0003] 本发明提供了一种半导体结构的制备方法及半导体结构,实现高迁移率的压应变锗层GOI结构。

[0004] 第一方面,本发明提供了一种半导体结构的制备方法,该半导体结构的制备方法包括:在第一硅衬底上生长电介质层;在第二硅衬底上依次外延生长高低温Ge层和Ge(锗)Si(硅)反向渐变缓冲层,并在GeSi反向渐变缓冲层上生长完全弛豫的GeSi应变弛豫层;将第二硅衬底上的GeSi应变弛豫层键合在第一硅衬底上的电介质层上;去除第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层,并减薄GeSi应变弛豫层;在减薄后的GeSi应变弛豫层上外延生长压应变锗层。

[0005] 在上述的方案中,提出了一种生长压应变锗层的半导体结构的制备方法,通过在第二硅衬底上依次生长高低温Ge层、GeSi反向渐变缓冲层和完全弛豫的GeSi应变弛豫层之后,将第二硅衬底上的GeSi应变弛豫层键合在第一硅衬底上的电介质层上,之后再去除第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层,并减薄GeSi应变弛豫层,最后在减薄后的GeSi应变弛豫层上外延生长压应变锗层,从而实现高迁移率的压应变锗层GOI结构。同时,由于GeSi应变弛豫层是在第二硅衬底上制备之后键合在第一硅衬底的电介质层上,所以不会对第一硅衬底造成杂质沾污、杂质沾污等,从而制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层中制备诸如但不限于压应变锗沟道等结构,为FD/GAA(gate-all-around)GOI器件提供优良衬底。

[0006] 在一个具体的实施方式中,减薄GeSi应变弛豫层包括:减薄GeSi应变弛豫层,直到剩余的GeSi应变弛豫层的厚度为5-100nm,通过先制备较厚的GeSi应变弛豫层之后,再减薄GeSi应变弛豫层,能够提高剩余的GeSi应变弛豫层的质量,便于外延生长出更高质量的压应变锗层。

[0007] 在一个具体的实施方式中,GeSi反向渐变缓冲层和GeSi应变弛豫层的材料均为 $\text{Ge}_a\text{Si}_{1-a}$ ;其中,a的取值从GeSi反向渐变缓冲层的底部取值为1开始,至GeSi反向渐变缓冲层的顶部逐渐减小,并在GeSi应变弛豫层减至最小,且GeSi应变弛豫层中的a为固定值,提高GeSi应变弛豫层的质量,便于外延生长出更高质量的压应变锗层。

[0008] 在一个具体的实施方式中,a从GeSi反向渐变缓冲层的底部取值为1开始,逐渐减小至GeSi应变弛豫层取值为min;其中,min的取值范围为0.6~0.9,提高GeSi应变弛豫层的质量,便于外延生长出更高质量的压应变锗层。

[0009] 在一个具体的实施方式中,电介质层的材料为 $\text{SiO}_x$ 、 $\text{SiN}_x$ 或 $\text{Al}_2\text{O}_3$ 的单层或叠层组合,提高电介质层的质量。

[0010] 在一个具体的实施方式中,该半导体结构的制备方法还包括:在压应变锗层及GeSi应变弛豫层中制备晶体管的源极和漏极;在压应变锗层上形成连接源极和漏极的压应变锗沟道;在压应变锗沟道上制备晶体管的栅极,以形成FDGOI器件,增强FDGOI器件中锗沟道的迁移率,最终实现高迁移率FDGOI器件的基片制备。

[0011] 在一个具体的实施方式中,该半导体结构的制备方法还包括:在压应变锗层上重复交替的生长GeSi应变弛豫层和压应变锗层,形成由GeSi应变弛豫层和压应变锗层重复层叠的叠层结构;其中,重复交替生长的循环次数为n次,且n为任意的正整数,便于后续制备出高迁移率的GAAGOI器件。

[0012] 在一个具体的实施方式中,该半导体结构的制备方法还包括:在叠层结构中,制备晶体管的源极和漏极;在叠层结构中的每个压应变锗层上,形成连接源极和漏极的压应变锗沟道;在叠层结构中制备晶体管的栅极,以形成GAAGOI器件。增强GAAGOI器件中锗沟道的迁移率,最终实现高迁移率GAAGOI器件的基片制备。

[0013] 第二方面,本发明还一种半导体结构,该半导体结构包括:第一硅衬底、生长在第一硅衬底上的电介质层、键合连接在电介质层上的GeSi应变弛豫层、外延生长在GeSi应变弛豫层上的压应变锗层。其中,GeSi应变弛豫层采用如下方式键合连接在电介质层上:在第二硅衬底上依次外延生长高低温Ge层和GeSi反向渐变缓冲层,并在GeSi反向渐变缓冲层上生长完全弛豫的GeSi应变弛豫层;将第二硅衬底上的GeSi应变弛豫层键合在第一硅衬底上的电介质层上;去除第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层,并减薄GeSi应变弛豫层,以使压应变锗层外延生长在减薄后的GeSi应变弛豫层上。

[0014] 在上述的方案中,提出了一种生长压应变锗层的半导体结构,通过在第二硅衬底上依次生长高低温Ge层、GeSi反向渐变缓冲层和完全弛豫的GeSi应变弛豫层之后,将第二硅衬底上的GeSi应变弛豫层键合在第一硅衬底上的电介质层上,之后再去除第一硅衬底、高低温Ge层和GeSi反向渐变缓冲层,并减薄GeSi应变弛豫层,最后在减薄后的GeSi应变弛豫层上外延生长压应变锗层,从而实现高迁移率的压应变锗层GOI结构。同时,由于GeSi应变弛豫层是在第二硅衬底上制备之后键合在第一硅衬底的电介质层上,所以不会对第一硅衬底造成杂质沾污、杂质沾污等,从而制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层中制备诸如但不限于压应变锗沟道等结构,为FD/GAA (gate-all-around) GOI器件提供优良衬底。

[0015] 在一个具体的实施方式中,压应变锗层上还重复交替的生长有GeSi应变弛豫层和压应变锗层,形成由GeSi应变弛豫层和压应变锗层重复层叠的叠层结构;其中,重复交替生

长的循环次数为n次,且n为任意的正整数,便于后续制备出高迁移率的GAAGOI器件。

### 附图说明

- [0016] 图1为本发明实施例提供的一种半导体结构的制备方法的流程图;
- [0017] 图2~图9为本发明实施例提供的制备半导体结构的各个步骤的剖视示意图。
- [0018] 附图标记:
- [0019] 11-第一硅衬底12-电介质层21-第二硅衬底22-高低温Ge层
- [0020] 23-GeSi反向渐变缓冲层24-GeSi应变弛豫层30-压应变锗层
- [0021] 41-源极42-漏极43-压应变锗沟道44-栅极

### 具体实施方式

[0022] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0023] 为了方便理解本发明实施例提供的半导体结构的制备方法,下面首先说明一下本发明实施例提供的半导体结构的制备方法的应用场景,该半导体结构的制备方法应用于压应变锗层的制备过程中,其中,该压应变锗层可以作为晶体管中的锗沟道制备的层结构,也可以作为其他场景下需要压应变锗层的层结构。下面结合附图对该半导体结构的制备方法进行详细的叙述。

[0024] 参考图1~图6,本发明实施例提供的半导体结构的制备方法包括:

[0025] Step10:在第一硅衬底11上生长电介质层12;

[0026] Step20:在第二硅衬底21上依次外延生长高低温Ge层22和GeSi反向渐变缓冲层23,并在GeSi反向渐变缓冲层23上生长完全弛豫的GeSi应变弛豫层24;

[0027] Step30:将第二硅衬底21上的GeSi应变弛豫层24键合在第一硅衬底11上的电介质层12上;

[0028] Step40:去除第一硅衬底11、高低温Ge层22和GeSi反向渐变缓冲层23,并减薄GeSi应变弛豫层24;

[0029] Step50:在减薄后的GeSi应变弛豫层24上外延生长压应变锗层30。

[0030] 在上述的方案中,提出了一种生长压应变锗层30的半导体结构的制备方法,通过在第二硅衬底21上依次生长高低温Ge层22、GeSi反向渐变缓冲层23和完全弛豫的GeSi应变弛豫层24之后,将第二硅衬底21上的GeSi应变弛豫层24键合在第一硅衬底11上的电介质层12上,之后再去除第一硅衬底11、高低温Ge层22和GeSi反向渐变缓冲层23,并减薄GeSi应变弛豫层24,最后在减薄后的GeSi应变弛豫层24上外延生长压应变锗层30,从而实现高迁移率的压应变锗层30GOI结构。同时,由于GeSi应变弛豫层24是在第二硅衬底21上制备之后键合在第一硅衬底11的电介质层12上,所以不会对第一硅衬底11造成杂质沾污、杂质沾污等,从而制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层30中制备诸如但不限于压应变锗沟道43等结构,为FD/GAA (gate-all-around) GOI器件提供优良衬底。下面结合附图对上述各个步

骤进行详细的介绍。

[0031] 首先,参考图1及图2,在第一硅衬底11上生长电介质层12。第一硅衬底11具体可以为诸如但不限于晶圆衬底等的衬底结构。第一硅衬底11的图形俯视图可以是长方形、正方形,菱形,圆形等不局限于一种。第一硅衬底11整体看可以是长方体、圆柱、圆台、圆锥等不局限于一种。在第一硅衬底11上可以形成有字线、位线等电学结构。在形成字线、位线等电学结构之后,通过沉积电介质层12,以在第一硅衬底11上形成平整的表面。在确定该电介质层12时,电介质层12的材料可以为 $\text{SiO}_x$ 、 $\text{SiN}_x$ 或 $\text{Al}_2\text{O}_3$ 的单层或叠层组合,其中的叠层可以为 $\text{SiO}_x$ 、 $\text{SiN}_x$ 或 $\text{Al}_2\text{O}_3$ 中的任意两种材料组成的叠层,还可以为 $\text{SiO}_x$ 、 $\text{SiN}_x$ 和 $\text{Al}_2\text{O}_3$ 这三种材料组成的叠层,提高电介质层12的质量。当然,电介质层12还可以为其他的材料类型。

[0032] 接下来,如图1及图3所示,在第二硅衬底21上依次外延生长高低温Ge层22和GeSi反向渐变缓冲层23,并在GeSi反向渐变缓冲层23上生长完全弛豫的GeSi应变弛豫层24。

[0033] 具体在第二硅衬底21上依次生长高低温Ge层22、GeSi反向渐变缓冲层23和GeSi应变弛豫层24时,参考图3,首先在第二硅衬底21上生长高低温Ge层22。具体生长时,采用高低温外延生长工艺先后层叠形成至少一个叠层,每个叠层均由低温锗外延层和高温锗外延层层叠而成。其中的低温锗外延层用来释放应变,使得锗材料中的大部分位错和缺陷被限制在低温锗外延层。

[0034] 之后在高低温Ge层22上外延生长GeSi反向渐变缓冲层23和GeSi应变弛豫层24,GeSi反向渐变缓冲层23和GeSi应变弛豫层24的材料均为 $\text{Ge}_a\text{Si}_{1-a}$ 。其中,a的取值表示硅和锗的含量比。a越大,表示锗的含量越高;a越小,表示锗的含量越低。高低温Ge层22中仅含有材料锗,而不含有材料硅。在高低温Ge层22上生长GeSi反向渐变缓冲层23时,a的取值可以从GeSi反向渐变缓冲层23的底部取值为1开始,至GeSi反向渐变缓冲层23的顶部逐渐减小。之后,在GeSi反向渐变缓冲层23上生长完全弛豫的GeSi应变弛豫层24时,使a的取值在GeSi应变弛豫层24减至最小,且GeSi应变弛豫层24中的a为固定值。通过采用上述的生长方式,能够提高GeSi应变弛豫层24的质量,便于外延生长出更高质量的压应变锗层30。

[0035] 在具体确定a的取值范围时,a从GeSi反向渐变缓冲层23的底部取值为1开始,逐渐减小至GeSi应变弛豫层24取值为min。即GeSi反向渐变缓冲层23的底部开始沉积时只沉积锗,在逐渐向上沉积过程中,逐渐添加硅,逐渐减小锗的含量,并在沉积形成GeSi应变弛豫层24时,a取值最小为min。在确定min的取值范围时,min可以为0.6、0.65、0.7、0.75、0.8、0.85、0.9等介于0.6~0.9之间的任意值,提高GeSi应变弛豫层24的质量,便于外延生长出更高质量的压应变锗层30。

[0036] 接下来,参考图1及图4,将第二硅衬底21上的GeSi应变弛豫层24键合在第一硅衬底11上的电介质层12上。即将第二硅衬底21进行翻转,并将第二硅衬底21上的GeSi应变弛豫层24键合连接在第一硅衬底11上的电介质层12上。具体键合的方式可以采用任意能够将GeSi应变弛豫层24键合在电介质层12上的方式。

[0037] 接下来,参考图1及图5,去除第一硅衬底11、高低温Ge层22和GeSi反向渐变缓冲层23,并减薄GeSi应变弛豫层24。具体去除第一硅衬底11、高低温Ge层22和GeSi反向渐变缓冲层23的方式,可以采用现有技术中的任意方式。例如可以采用化学机械研磨、干法刻蚀或湿法刻蚀等方式。具体减薄GeSi应变弛豫层24的方式可以采用任意能够减薄层结构的方式。在具体减薄时,可以减薄GeSi应变弛豫层24,直到剩余的GeSi应变弛豫层24的厚度为5nm、

10nm、20nm、30nm、40nm、50nm、60nm、70nm、80nm、90nm、100nm等介于5-100nm之间的任意值。通过先制备较厚的GeSi应变弛豫层24之后,再减薄GeSi应变弛豫层24,能够提高剩余的GeSi应变弛豫层24的质量,便于外延生长出更高质量的压应变锗层30。

[0038] 接下来,参考图1及图6,在减薄后的GeSi应变弛豫层24上外延生长压应变锗层30。在GeSi应变弛豫层24上外延生长的压应变锗层30,能够使外延生长的硅层具体为压应变锗层30,从而实现高迁移率的压应变锗层30GOI结构。同时,由于GeSi应变弛豫层24是在第二硅衬底21上制备之后键合在第一硅衬底11的电介质层12上,所以不会对第一硅衬底11造成杂质沾污、杂质沾污等,从而制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层30中制备诸如但不限于压应变锗沟道43等结构,为FD/GAA (gate-all-around) GOI器件提供优良衬底。

[0039] 另外,参考图7,具体后续在第一硅衬底11上制备利用压应变锗层30的结构时,可以在第一硅衬底11上制备晶体管,采用压应变锗层30制备晶体管中的拉应变沟道。具体制备时,参考图7,可以在压应变锗层30及GeSi应变弛豫层24中制备晶体管的源极41和漏极42,具体可以采用选择性刻蚀工艺,刻蚀掉叠层中GeSi应变弛豫层24中的部分材料,来形成制备源极41和漏极42的空间,并通过填充等方式制备出源极41和漏极42。之后,在压应变锗层30上形成连接源极41和漏极42的压应变锗沟道43。然后,如图7所示,在压应变锗沟道43上制备晶体管的栅极44,以形成FDGOI器件,增强FDGOI器件中锗沟道的迁移率,最终实现高迁移率FDGOI器件的基片制备。

[0040] 此外,如图8所示,该半导体结构的制备方法还可以进一步包括:在压应变锗层30上重复交替的生长GeSi应变弛豫层24和压应变锗层30,形成由GeSi应变弛豫层24和压应变锗层30重复层叠的叠层结构。其中,重复交替生长的循环次数为n次,且n为任意的正整数,具体的,n为大于1的任意正整数,便于后续制备出高迁移率的GAAGOI器件。

[0041] 具体制备GAAGOI器件时,可以在叠层结构中,制备晶体管的源极41和漏极42,如图8所示,可以采用选择性刻蚀工艺,刻蚀掉叠层中每个GeSi应变弛豫层24中的部分材料,来形成制备源极41和漏极42的空间,并通过填充等方式制备出源极41和漏极42。之后,在叠层结构中的每个压应变锗层30上,形成连接源极41和漏极42的压应变锗沟道43(图中未示出)。然后,在叠层结构中制备晶体管的栅极44,以形成GAAGOI器件。增强GAAGOI器件中锗沟道的迁移率,最终实现高迁移率GAAGOI器件的基片制备。

[0042] 在上述示出的各种实施方式中,提出了生长压应变锗层30的半导体结构,通过在第二硅衬底21上依次生长高低温Ge层22、GeSi反向渐变缓冲层23和完全弛豫的GeSi应变弛豫层24之后,将第二硅衬底21上的GeSi应变弛豫层24键合在第一硅衬底11上的电介质层12上,之后再去除第一硅衬底11和GeSi反向渐变缓冲层23,并减薄GeSi应变弛豫层24,最后在减薄后的GeSi应变弛豫层24上外延生长压应变锗层30,从而实现高迁移率的压应变锗层30GOI结构。同时,由于GeSi应变弛豫层24是在第二硅衬底21上制备之后键合在第一硅衬底11的电介质层12上,所以不会对第一硅衬底11造成杂质沾污、杂质沾污等,从而制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层30中制备诸如但不限于压应变锗沟道43等结构,为FD/GAA (gate-all-around) GOI器件提供优良衬底。

[0043] 另外,本发明实施例还一种半导体结构,参考图2~图6,该半导体结构包括:第一



硅衬底11、生长在第一硅衬底11上的电介质层12、键合连接在电介质层12上的GeSi应变弛豫层24、外延生长在GeSi应变弛豫层24上的压应变锗层30。其中，GeSi应变弛豫层24采用如下方式键合连接在电介质层12上：在第二硅衬底21上依次外延生长高低温Ge层22和GeSi反向渐变缓冲层23，并在GeSi反向渐变缓冲层23上生长完全弛豫的GeSi应变弛豫层24；将第二硅衬底21上的GeSi应变弛豫层24键合在第一硅衬底11上的电介质层12上；去除第一硅衬底11、高低温Ge层22和GeSi反向渐变缓冲层23，并减薄GeSi应变弛豫层24后，以使压应变锗层30外延生长在减薄后的GeSi应变弛豫层24上。

[0044] 在上述的方案中，提出了一种生长压应变锗层30的半导体结构，通过在第二硅衬底21上依次生长高低温Ge层22、GeSi反向渐变缓冲层23和完全弛豫的GeSi应变弛豫层24之后，将第二硅衬底21上的GeSi应变弛豫层24键合在第一硅衬底11上的电介质层12上，之后再去除第一硅衬底11、高低温Ge层22和GeSi反向渐变缓冲层23，并减薄GeSi应变弛豫层24，最后在减薄后的GeSi应变弛豫层24上外延生长压应变锗层30，从而实现高迁移率的压应变锗层30GOI结构。同时，由于GeSi应变弛豫层24是在第二硅衬底21上制备之后键合在第一硅衬底11的电介质层12上，所以不会对第一硅衬底11造成杂质沾污、杂质沾污等，从而制造出高迁移率、少杂质沾污、低杂质沾污、高质量叠层结构以及沟道结构的全新纳米片基片平台。便于后续根据应用场景在压应变锗层30中制备诸如但不限于压应变锗沟道43等结构，为FD/GAA (gate-all-around) GOI器件提供优良衬底。

[0045] 另外，参考图7，可以在第一硅衬底11上制备晶体管，采用压应变锗层30制备晶体管中的拉应变沟道。具体制备时，参考图7，可以在压应变锗层30及GeSi应变弛豫层24中制备晶体管的源极41和漏极42，具体可以采用选择性刻蚀工艺，刻蚀掉叠层中GeSi应变弛豫层24中的部分材料，来形成制备源极41和漏极42的空间，并通过填充等方式制备出源极41和漏极42。之后，在压应变锗层30上形成连接源极41和漏极42的压应变锗沟道43。然后，如图7所示，在压应变锗沟道43上制备晶体管的栅极44，以形成FDGOI器件，增强FDGOI器件中锗沟道的迁移率，最终实现高迁移率FDGOI器件的基片制备。

[0046] 参考图8，压应变锗层30上还可以重复交替的生长有GeSi应变弛豫层24和压应变锗层30，形成由GeSi应变弛豫层24和压应变锗层30重复层叠的叠层结构；其中，重复交替生长的循环次数为n次，且n为任意的正整数，便于后续制备出高迁移率的GAAGOI器件。

[0047] 具体制备GAAGOI器件时，可以在叠层结构中，制备晶体管的源极41和漏极42，如图8所示，可以采用选择性刻蚀工艺，刻蚀掉叠层中每个GeSi应变弛豫层24中的部分材料，来形成制备源极41和漏极42的空间，并通过填充等方式制备出源极41和漏极42。之后，在叠层结构中的每个压应变锗层30上，形成连接源极41和漏极42的压应变锗沟道43 (图中未示出)。然后，在叠层结构中制备晶体管的栅极44，以形成GAAGOI器件。增强GAAGOI器件中锗沟道的迁移率，最终实现高迁移率GAAGOI器件的基片制备。

[0048] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到的变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应该以权利要求的保护范围为准。

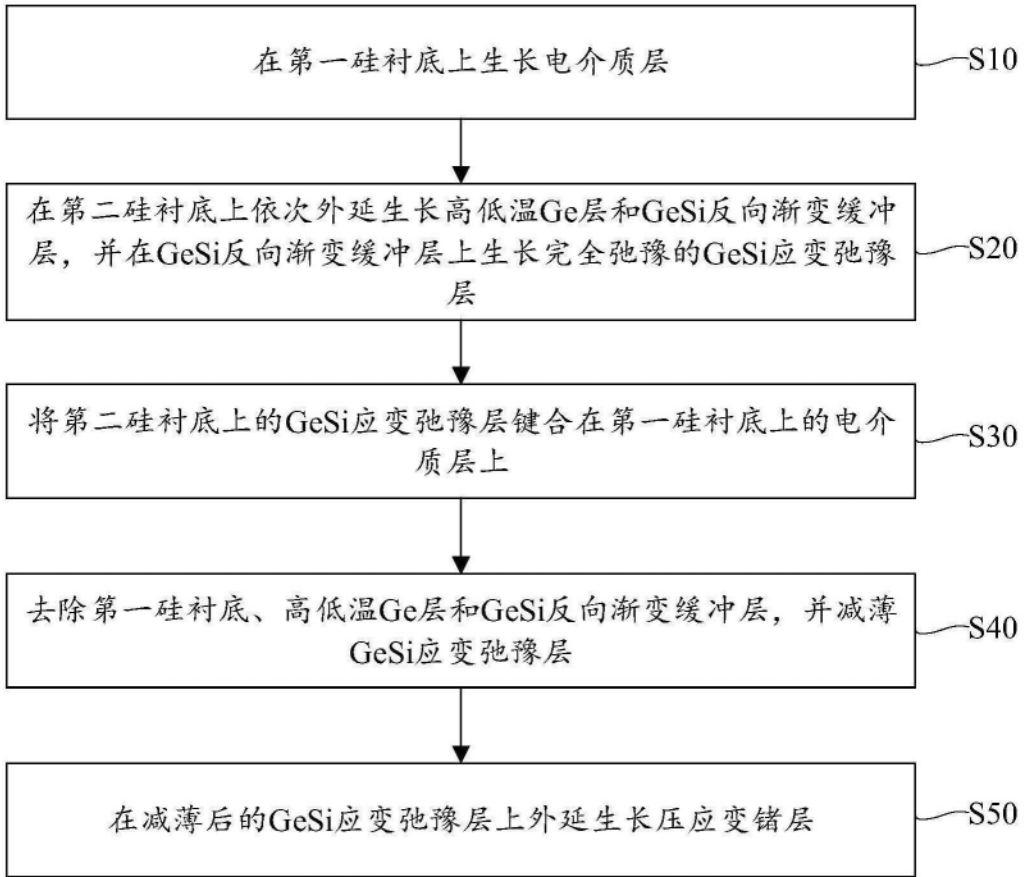


图1

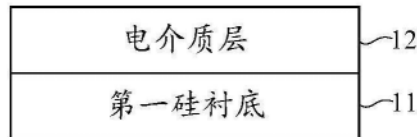


图2



图3



图4

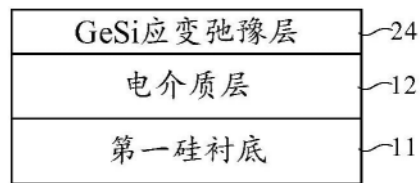


图5

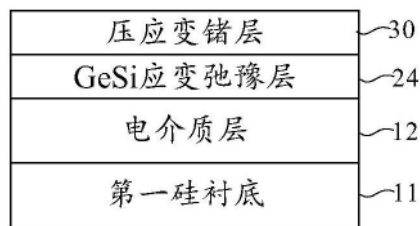


图6



图7



图8

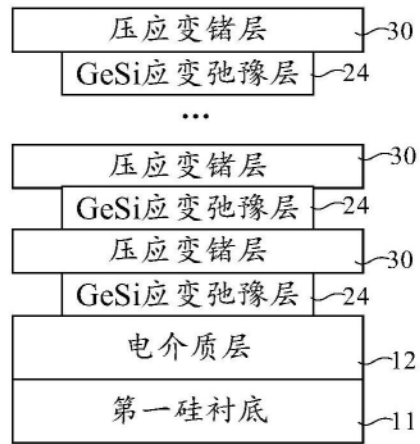


图9