

⑭

DEMANDE DE BREVET D'INVENTION

A1

⑮ Date de dépôt : 23.07.90.

⑯ Priorité :

⑰ Date de la mise à disposition du public de la demande : 24.01.92 Bulletin 92/04.

⑱ Liste des documents cités dans le rapport de recherche : *Se reporter à la fin du présent fascicule.*

⑲ Références à d'autres documents nationaux apparentés :

⑳ Demandeur(s) : BULL (S.A.) — FR.

㉑ Inventeur(s) : Baillif Christian.

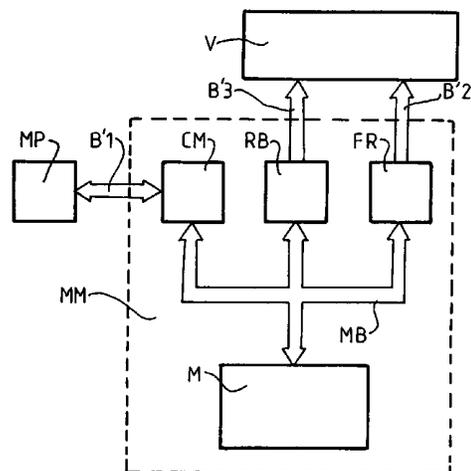
㉒ Titulaire(s) :

㉓ Mandataire : Bull S.A. Gosson Hervé.

㉔ Dispositif d'entrée sortie données pour l'affichage d'informations et procédé mis en œuvre par un tel dispositif.

㉕ Ce dispositif d'entrée sortie de données pour l'affichage d'informations est monolithiquement intégré dans un circuit d'application spécifique. Ces moyens de mémorisation MM sont principalement constitués d'une mémoire unique M partagée en zones spécifiques aux programmes, à l'écran et au générateur de caractères. L'accès aux différentes zones spécifiques est autorisé par une ligne de bus mémoire unique MB et géré selon un procédé de séquençement au moyen d'un séquenceur microprogrammé selon le principe de la régulation de flux. A cette mémoire M peuvent être ajoutés différents dispositifs permettant d'utiliser pleinement la bande passante de ladite mémoire, tels que: une antémémoire CM, un registre FIFO FR et des registres tampons de ligne RB.

Application: terminaux à écran.



*DISPOSITIF D'ENTREE SORTIE DE DONNEES POUR
L'AFFICHAGE D'INFORMATIONS ET PROCEDE MIS EN OEUVRE
PAR UN TEL DISPOSITIF.*

5

La présente invention concerne un dispositif d'entrée
sortie de données pour l'affichage d'informations sur
un écran, élaboré autour d'un microprocesseur
coopérant au moyen d'une pluralité de lignes de bus
10 d'une part avec des moyens de mémorisation affectés
aux programmes du microprocesseur et d'autre part
avec la partie vidéo par l'intermédiaire de moyens de
mémorisation affectés à l'écran et de moyens de
mémorisation affectés à un générateur de caractères.

15 Elle concerne également un procédé de séquençement
pour la distribution des cycles mémoire et la
régulation du flux à l'intérieur des moyens de
mémorisation dudit dispositif.

20 Traditionnellement, un tel dispositif d'entrée sortie
de données pour l'affichage d'informations sur un
écran, appelé également couramment terminal, comporte
des mémoires spécifiques affectées aux programmes, à
l'écran et au(x) générateur(s) de caractères. Chaque
25 mémoire spécifique est alors connectée au bus système
au moyen d'un bus qui lui est propre.

Cependant le choix d'une telle architecture de terminal entraîne des inconvénients. En effet dans le prix d'un terminal le coût des mémoires intervient pour une part importante, particulièrement lorsqu'il s'agit de terminaux mode caractère bas de gamme. Force est de constater de plus une volonté de tendre vers une miniaturisation et cette solution connue ne permet pas objectivement de tendre vers une réduction de volume du terminal. En outre, l'architecture à pluralité de mémoires qui impose l'emploi d'une pluralité de bus offre moins de souplesse dans le dimensionnement et la répartition des différentes fonctions.

La présente invention a pour but de remédier à ces divers inconvénients et propose un dispositif du genre précité dont le prix de revient est très sensiblement réduit, qui offre une grande souplesse d'emploi tout en présentant de bonnes performances.

Pour cela le dispositif mentionné dans le préambule est remarquable en ce qu'il est monolithiquement intégré dans un circuit d'application spécifique, les différents moyens de mémorisation précités étant principalement constitués d'une mémoire unique dans laquelle des zones spécifiques respectivement aux

programmes, à l'écran et du générateur de caractères ont été allouées pour stocker les informations auxquelles il est désiré accéder, l'accès aux différentes zones spécifiques étant autorisé par une
5 ligne de bus mémoire unique et géré selon un procédé de séquençement mis en oeuvre par des moyens de séquençement microprogrammés.

Ainsi l'idée de l'invention permet de tendre vers une
10 vision d'une mémoire uniforme de par le choix d'une architecture à bus mémoire unique, offrant de la sorte plus de souplesse dans le dimensionnement et la répartition des fonctions gestion écran, police de caractères et programme. En effet les fonctionnalités
15 du terminal sont étendues et, par exemple en sortant le bus mémoire du circuit, il est offert la possibilité d'augmenter la capacité mémoire pour étendre le jeu de caractères, augmenter le nombre d'écrans mémorisés par le terminal, etc...

20

De plus la réalisation d'un terminal bas de gamme par intégration sur un même circuit permet d'en abaisser le coût de manière significative.

25 Enfin ce type de dispositif peut être utilisé pour toute une famille de terminaux où les fonctionnalités

sont dépendantes de la capacité et du type (mémoire morte, mémoire vive) des blocs mémoire, par exemple, générateur de caractères en mémoire morte, possibilité de charger partiellement ou totalement le
5 générateur de caractères, fenêtrage dans l'image (fonction de la capacité de la zone mémoire vive écran), extension du nuage de points, etc...

Le dispositif selon l'invention est remarquable en ce
10 que les moyens de mémorisation comportent, associée à la mémoire unique, une antémémoire de petite taille insérée entre le microprocesseur et la ligne de bus mémoire unique, dans ce cas le paramètre prépondérant est la taille d'une ligne. Le taux de succès est
15 ainsi amélioré et une réduction significative de la charge occasionnée par le microprocesseur sur la zone mémoire spécifique peut être obtenue si une ligne de l'antémémoire est chargée avec un seul accès à la zone mémoire spécifique.

20 Le dispositif selon l'invention est remarquable en ce que les moyens de mémorisation comportent de plus un registre du type premier entré premier sorti inséré entre la partie vidéo et la ligne de bus mémoire
25 unique. L'introduction d'un registre du type premier entré premier sorti appelé également FIFO permet

d'étaler les accès sur la durée totale d'une ligne vidéo. La taille de la FIFO, c'est-à-dire le nombre de mots qu'elle peut contenir, doit être choisie suffisamment grande de telle manière que les accès au

5 générateur de caractères utilisent la totalité de la bande passante de la mémoire unique. La zone mémoire spécifique affectée au générateur de caractères est partagée entre la vidéo et le microprocesseur. Ainsi dans le cas présent, l'emploi d'une FIFO a pour but

10 non pas de diminuer le temps de cycle de la mémoire unique, mais de mieux utiliser la bande passante de celle-ci.

Selon une caractéristique remarquable du présent

15 dispositif, le registre du type premier entré premier sorti fournit en outre trois indications relatives à son état : registre plein, registre vide ou presque vide et nombre de mots dans le registre inférieur à W, W étant le nombre de mots qu'il faut accumuler

20 dans le registre pour pouvoir servir toutes les demandes du microprocesseur pendant la partie utile du balayage ligne de la partie vidéo. Ainsi un cycle ne peut être attribué immédiatement au microprocesseur qu'à la condition que la FIFO ne soit

25 pas vide. La situation FIFO vide n'apparaît que, soit en début de ligne introduisant un délai de durée

égale au temps de cycle de la mémoire unique dans le cycle du microprocesseur, soit, si le microprocesseur dispose de n accès, lorsque celui-ci demande un $(n + 1)^{\text{ème}}$ accès, ce cycle étant alors différé
5 jusqu'à la fin de la ligne.

Le dispositif selon l'invention est remarquable en outre en ce que les moyens de mémorisation comportent au moins deux registres tampons de ligne insérés
10 entre la partie vidéo et la ligne de bus mémoire unique.

En effet, si la cellule caractères a L lignes, le mot (attribut + caractère) est lu L fois. En utilisant
15 des registres tampons de ligne pour mémoriser une rangée de caractères, il suffit, pour étaler le chargement d'un tel registre durant toute la visualisation d'une rangée (L lignes TV), de disposer de deux de ces registres, l'un étant utilisé par la
20 vidéo alors que l'autre est en chargement.

Selon une caractéristique essentielle du dispositif selon l'invention la distribution des cycles mémoire et la régulation du flux à l'intérieur des moyens de
25 mémorisation sont avantageusement obtenues grâce à la mise en oeuvre d'un procédé de séquençement. Ce

procédé de séquençement est remarquable en ce que l'attribution d'un cycle mémoire est réalisée en synchronisme avec la fréquence de balayage ligne de la partie vidéo et décidée subséquemment à une série de tests destinés à déterminer la priorité pour l'exécution des différentes tâches, notamment le prélèvement dans la zone spécifique de la mémoire affectée à l'écran pour le chargement des registres tampons de ligne, la présentation d'un mot de la zone spécifique de la mémoire affectée au générateur de caractères au registre du type premier entré premier sorti ou toute demande d'accès respectivement du microprocesseur à la zone spécifique aux programmes, des registres tampons de ligne à la zone spécifique à l'écran ou du registre du type premier entré premier sorti à la zone spécifique affectée au générateur de caractères.

Selon ce procédé, l'attribution des cycles mémoire est décidée à la suite d'une série de tests tenant compte d'une part des demandes du microprocesseur et du quota d'accès qui lui est attribué, du générateur de caractères et des registres tampons de ligne, d'autre part des trois indications relatives au remplissage de la FIFO et enfin de l'état d'un compteur associé aux accès du microprocesseur, les

résultats des tests étant exploités de telle manière que :

- 5 - tant que le registre premier entré premier sorti est vide ou presque vide, le chargement dudit registre soit prioritaire ;
- si le registre premier entré premier sorti n'est pas vide ou presque vide, les accès du microprocesseur soient prioritaires tant que le quota d'accès attribué au microprocesseur n'est pas
10 épuisé, sachant qu'en outre un cycle n'est comptabilisé dans ledit quota que si les registres tampons de ligne ne sont pas pleins ;
- le remplissage des registres tampons de ligne soit prioritaire par rapport au remplissage du registre
15 premier entré premier sorti si le nombre de mots en attente dans ce dernier registre est supérieur à W ou si le quota attribué au microprocesseur est épuisé et que de plus le registre premier entré premier sorti n'est pas vide ou presque vide.

20

Ainsi dans le dispositif selon l'invention ce procédé permet de gérer une pluralité de mémoires ou de zones mémoire sans ralentissement du système et donc en utilisant à temps complet la capacité du
25 microprocesseur et de la vidéo.

La description suivante en regard des dessins annexés, le tout donné à titre d'exemple, fera bien comprendre comment l'invention peut être réalisée.

5 La figure 1 donne une représentation schématique d'un dispositif de l'art antérieur.

La figure 2 propose une représentation schématique du dispositif selon l'invention.

10

La figure 3 présente un exemple de schéma par étapes permettant d'illustrer le procédé de séquençement mis en oeuvre par le dispositif selon l'invention.

15 Sur la figure 1 est donnée une représentation schématique d'un dispositif d'entrée sortie de données pour l'affichage sur un écran qui permet de donner une vision synthétique et pratique de l'art antérieur connu. Ce dispositif de l'art antérieur est
20 élaboré autour d'un microprocesseur MP coopérant au moyen d'une pluralité de lignes de bus, SB (bus système) et B1 à B6, d'une part avec des moyens de mémorisation SM affectés aux programmes du microprocesseur (par exemple une mémoire vive
25 système) et d'autre part avec la partie vidéo V par l'intermédiaire de moyens de mémorisation DM affectés

à l'écran (par exemple une mémoire vive écran) et de moyens de mémorisation CG affectés à un générateur de caractères (par exemple une mémoire morte).

5 Sur la figure 2 est proposée une représentation schématique du dispositif qui conformément à l'invention est monolithiquement intégré dans un circuit d'application spécifique . Les différents moyens de mémorisation MM sont principalement
10 constitués d'une mémoire unique M dans laquelle des zones spécifiques respectivement aux programmes, à l'écran et du générateur de caractères ont été allouées pour stocker les informations auxquelles il est désiré accéder. L'accès aux différentes zones
15 spécifiques est autorisé par une ligne de bus mémoire MB unique et géré selon un procédé de séquençement qui sera décrit avec la figure 3, procédé qui est mis en oeuvre par des moyens de séquençement microprogrammés qui dans un but de simplification
20 sont inclus dans l'environnement du microprocesseur référencé MP.

Selon une des caractéristiques du dispositif les moyens de mémorisation comportent une antémémoire CM
25 de petite taille qui est avantageusement insérée entre le microprocesseur MP et la ligne de bus

mémoire unique MB. Ceci entraîne une réduction
significative de la charge occasionnée par le
microprocesseur MP sur la mémoire M à condition
qu'une ligne de l'antémémoire CM ne soit chargée
5 qu'avec un seul accès à la mémoire, c'est-à-dire par
exemple avec une mémoire 16 bits pour un
microprocesseur 8 bits. La liaison entre
l'antémémoire CM et le microprocesseur MP est obtenue
par l'intermédiaire de la ligne de bus B'1.

10

Une autre solution pourrait consister à utiliser un
microprocesseur 16 bits.

De manière caractéristique également les moyens de
15 mémorisation comportent un registre du type premier
entré premier sorti FR inséré entre la partie vidéo V
(ligne de bus B'2) et la ligne de bus mémoire MB. Le
registre FR en outre fournit trois indications
relatives à son état :

20

- registre plein

- registre vide ou presque vide

25

- nombre de mots dans le registre inférieur à W,
W étant le nombre de mots qu'il faut accumuler dans

le registre pour pouvoir servir toutes les demandes du microprocesseur pendant la partie utile du balayage ligne de la partie vidéo.

5 En considérant par exemple la répartition des accès suivants, 132 accès suivis d'un temps mort correspondant au retour ligne, l'introduction du registre FR permet d'étaler lesdits accès sur la totalité de la durée d'une ligne vidéo soit par
10 exemple 32 μ s. Dans cet exemple le temps moyen d'accès t_m est donc de 242 ns.

En supposant un format 132 caractères par rangée, la matrice caractère a 9 points de large. Si la durée
15 d'un point est de 19 ns ceci permet d'engendrer un accès à la zone affectée au générateur de caractères toutes les 171 ns. La taille du registre FR peut être ainsi déterminée en conservant l'exemple de répartition d'accès (132 accès) précité :

20

Taille de FR = $(t_m - 171) \cdot 132 < 40$ mots.

t_m

25 En choisissant un registre FR d'au moins 40 mots, le temps de cycle de la mémoire peut être de 240 ns. Les accès à la zone affectée au générateur de caractères

utilisent ainsi la totalité de la bande passante de la mémoire. Sachant que la zone mémoire affectée au générateur de caractères est partagée entre la vidéo et le microprocesseur, il apparaît que le principal
5 avantage à employer le registre FR n'est pas de diminuer le temps de cycle de la mémoire mais plutôt de mieux utiliser la bande passante de celle-ci.

S'il n'y avait pas de registre FR, le microprocesseur
10 devrait attendre le retour ligne car durant la partie utile de la vidéo la génération de caractères monopolise la mémoire à 100 % puis se trouve dans l'incapacité d'utiliser la totalité des cycles mémoire disponibles.

15

Lorsqu'un registre de type FIFO tel que FR est utilisé, sa taille est limitée par le nombre de cycles n qu'il est possible d'anticiper (nombre n qui est égal au rapport entre la durée du retour ligne et
20 le temps de cycle de la mémoire) et par le nombre de cycles n' que le microprocesseur peut dérober durant la partie utile de la vidéo (nombre n' qui est égal au rapport entre la durée de la partie utile de la vidéo et le temps d'accès microprocesseur). La taille
25 du registre FR est de préférence choisie égale au nombre $n' > 40$.

Le microprocesseur dispose de n accès toutes les 32 μ s. Un cycle peut lui être attribué immédiatement à la seule condition que le registre FR ne soit pas vide. La situation FIFO vide n'apparaît qu'en début
5 de ligne, introduisant un délai de 171 ns dans le cycle du microprocesseur ou que lorsque le microprocesseur tente un $(n+1)^{\text{ème}}$ accès, ce cycle étant différé jusqu'à la fin de la ligne.

10

Une autre solution pourrait consister à utiliser une mémoire plus rapide qui permettrait de satisfaire les besoins du microprocesseur, mémoire qui cependant serait plus coûteuse.

15

Enfin selon une caractéristique du dispositif de l'invention, les moyens de mémorisation comportent en outre au moins deux registres tampons de ligne RB insérés entre la porte vidéo V (ligne de bus B'3) et
20 la ligne de bus mémoire unique MB.

Comme cela a été vu précédemment si la cellule caractère a L lignes, le mot (attribut + caractère) est lu L fois. Pour étaler le chargement d'un
25 registre tampon durant toute la visualisation d'une rangée (L lignes TV), il suffit de disposer de deux

registres tampons, l'un utilisé par la vidéo, l'autre en chargement.

5 Toutefois durant un défilement d'une partie de l'image, au moins deux rangées ne sont pas visualisées complètement ce qui réduit le temps alloué au chargement d'un registre RB.

10 Dans le cas extrême, les cellules sont jointes et une rangée n'est visualisée que durant une ligne TV. Ceci ne laisse que 32 μ s pour recharger un registre RB. Si la mémoire ne peut fournir 132 mots, des parasites apparaissent sur l'écran. Un troisième registre tampon de ligne permet de résoudre ce problème. Le
15 défilement d'un bandeau de X rangées de caractères consomme (X+1) rangées, le troisième registre permet de constituer une réserve d'une rangée qui sera consommée sur le premier bandeau défilant.

20 Lorsque plusieurs bandeaux sont en train de défiler le cas est encore plus critique si, d'une part chaque bandeau a la taille d'une cellule (L lignes) et d'autre part tous les bandeaux défilent. Ce cas, dont la probabilité d'apparition est faible, entraîne,
25 pour la visualisation de chaque bandeau, une consommation du contenu de deux registres tampons de

ligne. Une solution à ce problème consiste à prévoir un système à quatre registres tampons de ligne dont deux sont chargés pendant la visualisation d'un bandeau.

5

Lorsque la présentation d'une fenêtre est désirée sur l'écran, du point de vue du nombre d'accès à la mémoire et s'il est évité de prélever, dans la zone mémoire affectée à l'écran, les caractères du fond qui sont cachés par la fenêtre, ceci n'entraîne pas plus de contrainte que dans le cas d'un bandeau. Néanmoins pour éviter de prélever les mots (caractère + attribut) il ne doit pas y avoir de propagation d'attribut de champ.

15

Cependant la gestion d'un tel découpage est plus délicate et une solution consiste à doubler avantageusement le nombre de registres tampons de ligne en attribuant ainsi un jeu de deux registres pour le fond de l'écran et un autre jeu de deux registres pour la fenêtre.

20

En outre un système à quatre registres tampons de ligne permet de réduire notablement le débit induit par la lecture de la zone mémoire affectée à l'écran

25

tout en autorisant des modes de visualisation élaborés.

Ainsi le partage d'une mémoire entre le
5 microprocesseur, la lecture du générateur de
caractères et la lecture de la zone affectée à
l'écran suppose une utilisation optimale de la bande
passante de cette mémoire. Cependant une bonne
distribution des accès et donc des cycles mémoire et
10 une régulation du flux sont nécessaires et seront
avantageusement mises en oeuvre au moyen d'un procédé
de séquençement. Ce procédé est remarquable en ce que
l'attribution d'un cycle mémoire est réalisée en
synchronisme avec la fréquence de balayage ligne de
15 la partie vidéo et décidée subséquemment à une série
de tests destinés à déterminer la priorité pour
l'exécution des différentes tâches, notamment le
prélèvement dans la zone spécifique de la mémoire
affectée à l'écran pour le chargement des registres
20 tampons de ligne, la présentation d'un mot de la zone
spécifique de la mémoire affectée au générateur de
caractères au registre du type premier entré premier
sorti ou toute demande d'accès respectivement du
microprocesseur à la zone spécifique aux programmes,
25 des registres tampons de ligne à la zone spécifique à
l'écran ou du registre du type premier entré premier

sorti à la zone spécifique affectée au générateur de caractères.

Selon ce procédé l'attribution des cycles mémoire est
5 décidée à la suite d'une série de tests tenant compte
d'une part des demandes du microprocesseur et du
quota d'accès qui lui est attribué, du générateur de
caractères et des registres tampons de ligne, d'autre
10 part des trois indications relatives au remplissage
du registre du type premier entré premier sorti et
enfin de l'état d'un compteur associé aux accès du
microprocesseur.

Lorsque la mémoire n'est pas surdimensionnée, comme
15 c'est le cas pour le dispositif selon l'invention qui
est désiré peu onéreux, les règles de principe de
régulation du flux sont les suivantes :

- les accès des registres tampons de ligne peuvent
20 être étalés sur la totalité d'une ligne, la
distribution étant sans importance.

- les accès du générateur de caractères peuvent être
étalés, mais le registre FIFO ne doit jamais être
25 vide.

- les accès du microprocesseur doivent être servis le plus tôt possible afin de minimiser le nombre d'attentes. En cas de surcharge, le microprocesseur est le seul dispositif qui peut attendre. La
5 distribution des demandes du microprocesseur n'est pas maîtrisée.

De manière générale le registre FIFO ne doit jamais être vide, une réserve de deux mots est
10 indispensable. L'indication FIFO vide ou presque vide est un signal d'alerte qui doit rendre prioritaire le remplissage de ce registre.

De même, il est essentiel de garantir le chargement
15 des registres tampons de ligne en gênant le moins possible le microprocesseur. Egalement et de manière idéale, le rythme de remplissage des registres tampons de ligne est dépendant de l'état du registre FIFO, notamment du nombre de mots en attente dans ce
20 dernier registre et de l'utilisation qui en sera faite.

Pour garantir le chargement des registres tampons de ligne dans le cas limite où la bande passante de la
25 mémoire serait insuffisante, il faut réduire le nombre d'accès attribués au microprocesseur. Ainsi le

quota d'accès attribué au microprocesseur est déterminé en fonction du remplissage des registres tampons de ligne, lui-même dépendant de l'état du registre FIFO. Le quota est fixé pour une tranche de
5 temps, dans notre exemple précédent elle est de 32 μ s.

Avantageusement deux procédés s'offrent à la résolution du problème de la fixation du quota du
10 microprocesseur.

Selon un premier procédé le dit quota une fois déterminé reste valable jusqu'à ce que le registre premier entré premier sorti soit plein ou qu'un quota
15 inférieur soit requis pour garantir le chargement des registres tampons de ligne, à chaque retour ligne le quota qui est déterminé en fonction du remplissage du registre premier entré premier sorti devenant le quota effectif du microprocesseur si ce dernier
20 registre est plein ou si ce quota est inférieur au dernier quota déterminé.

En suivant cette méthode le chargement du registre est quasiment linéaire, mais il n'est pas tenu compte
25 des éventuelles accélérations dues aux temps morts du microprocesseur.

Selon un second procédé, à chaque retour ligne le
 quota du microprocesseur est déterminé pour la
 prochaine tranche de temps, tranche de temps qui
 5 correspond à la durée totale du balayage d'une ligne,
 le chargement du registre premier entré premier sorti
 étant alors effectué suivant une courbe de la forme
 $y = k (1 - a^{-x})$, où en première approximation k
 représente la taille d'une mémoire circulaire
 10 utilisée en tant que registre tampon de ligne et a
 est une fonction du nombre de colonnes de caractères
 et du nombre k , x étant une variable liée à la
 hauteur d'une cellule caractère alors que le résultat
 y donne le nombre de caractères dans les registres
 15 tampons de ligne à la fin de chaque balayage de
 ligne.

En effet, la résolution du système suivant :

$$k (1 - a^{-2H}) = y_1$$

$$20 \quad k (1 - a^{-1}) = y_2$$

où y_1 représente la taille d'une mémoire circulaire
 utilisée comme registre tampon de ligne et y_2
 correspond à la taille d'une rangée de caractères,
 permet de déterminer en première approximation k et
 25 a , sachant que H est la hauteur d'une cellule
 caractère.

Cette seconde méthode permet de favoriser le microprocesseur, s'il n'utilise pas entièrement un quota, en revanche ce dernier est davantage freiné
5 durant les premières tranches de temps. Il est à remarquer également que cette solution est intéressante si le code du microprocesseur est stocké dans une mémoire connectée sur ce bus autre que le bus mémoire unique. Dans ce cas, le microprocesseur
10 n'utilise que rarement la totalité de son quota.

Dans la pratique on peut disposer comme registre tampon de ligne RB d'une mémoire circulaire de 512 mots dont la partie utile est partagée en huit zones
15 de 64 mots. Pour obtenir le quota de microprocesseur, il suffit d'utiliser les trois bits les plus significatifs du nombre de mots en attente dans un registre de type FIFO comme adresse d'une mémoire auxiliaire de huit mots. Le contenu de chaque mot est
20 le quota qui a été prédéterminé.

Sur la figure 3 est présenté un exemple de schéma par étapes permettant d'illustrer le procédé de séquençement mis en oeuvre par le dispositif selon
25 l'invention et plus particulièrement par les moyens de séquençement microprogrammés intégrés dans le

circuit d'application spécifique. Ces moyens de séquencement seront déduits aisément par l'homme de l'art une fois le procédé appréhendé. Ils sont inclus dans l'environnement du microprocesseur MP et sont de manière habituelle composés de mémoires et de registres. Le principe est le suivant : l'exécution d'une tâche implique le traitement préalable à un accès mémoire et l'exécution d'un accès mémoire. Après chaque accès la tâche est suspendue .

10

Comme cela a été observé précédemment, les trois tâches qui doivent être exécutées par les moyens de séquencement sont les suivantes :

15 - prélèvement dans la zone spécifique de la mémoire affectée à l'écran pour le chargement des registres tampons de ligne ;

20 - présentation d'un mot de la zone spécifique de la mémoire affectée au générateur de caractères au registre du type premier entré premier sorti ;

25 - servir les demandes d'accès respectivement du microprocesseur à la zone spécifique aux programmes, des registres tampons de ligne à la zone spécifique à l'écran ou du registre du type premier entré premier

sorti à la zone spécifique affectée au générateur de caractères.

L'attribution d'un cycle mémoire à une des tâches précitées est basée sur le principe de la régulation du flux, c'est-à-dire sur le remplissage des différents registres. Les accès au registre FIFO sont servis de manière prioritaire en fonction des trois indications disponibles données par ledit registre.

La troisième indication relative au nombre de mots W est calculée de la manière suivante sachant que :

- Tvl est la durée totale d'une ligne vidéo
- Tev est la durée de la partie utile d'une ligne vidéo
- Tch est la durée de visualisation d'un caractère dans une ligne vidéo
- Tmem est la durée d'un cycle mémoire
- Tcpu est la durée d'un cycle du microprocesseur

$$W = \frac{Tev}{Tcpu} - \frac{(Tev - Tch)}{Tmem} = Tev \left(\frac{1}{Tcpu} + \frac{1}{Tch} - \frac{1}{Tmem} \right)$$

ceci à la condition qu'il soit possible de charger ces mots pendant le retour ligne, c'est-à-dire si :

$$W < (Tvl - Tch) \left(\frac{1}{Tmem} - \frac{1}{Tcpu} \right)$$

Selon la figure 3 qui illustre le procédé d'attribution des cycles mémoire, la décision d'attribution est basée sur :

- 5 - les demandes effectuées de la part du microprocesseur, du registre FIFO et des registres tampons de ligne ;
- les trois indications fournies par le registre FIFO;
- 10 - l'état du compteur associé aux accès du microprocesseur.

L'attribution d'un cycle mémoire durant le retour image n'est pas illustrée. En effet, dans cette phase
15 il n'y a aucune demande de la part du générateur de caractères, par conséquent la bande passante de la mémoire est suffisante pour servir toutes les demandes du microprocesseur et celles des registres tampons de ligne. Durant le retour image, il suffit
20 de considérer que le registre FIFO est plein, d'où $FIFO > W$ et que le quota d'accès du microprocesseur n'est pas épuisé.

Les étapes successives proposées à la lumière de la
25 figure 3 sont les suivantes :

A l'origine est l'état 1 qui consiste en un test des indications du registre FIFO : [FRE?] le registre est-il vide ou presque vide ? Si la réponse est oui (Y), il y a passage à l'état 2 qui correspond à un cycle [CGC] réservé au chargement prioritaire du registre FIFO pendant un cycle mémoire puis passage à l'état 3 qui consiste à tester l'instant de balayage ligne : [RL?], le dernier caractère d'une ligne vient-il d'être chargé ? Si la réponse à la question [RL?] est non (N) il y a de nouveau passage à l'état 1 puis à l'état 2 si le registre FIFO nécessite encore un chargement et enfin passage à l'état 3 et ceci tant qu'une ligne de caractères n'est pas complète et que le registre FIFO est vide ou presque vide. Si à l'état 3 la réponse est oui, l'état suivant est l'état 4 pendant lequel est calculé le quota du microprocesseur en fonction du remplissage des registres tampons de ligne : [MPQC]. Il y a ensuite retour à l'état 1. Si à l'état 1 la réponse à [FRE?] est non, il y a passage à l'état 5 qui correspond à un test de la demande d'accès du microprocesseur : [MPR?]. Si la réponse à [MPR?] est non, l'état 6 suivant correspond à un test relatif au quota du microprocesseur. [MPQE?], le quota du microprocesseur est-il épuisé ? Si la réponse à [MPQE?] est non, il y a passage à l'état 7 qui

consiste en un test du contenu du registre FIFO :
[FR<W?] le nombre de mots contenus dans FR est-il
inférieur à W ? Si la réponse est oui (Y) l'étape
suivante est l'état 2, le cycle [CGC] redevient
5 prioritaire. Si la réponse à [FR<W?] est non, l'état
8 suivant correspond à un test de la demande d'accès
des registres tampons de ligne : [RBR?]. Si la
réponse à [RBR?] est oui (Y), l'état 9 suivant
correspondant à un cycle [RBC] de chargement
10 prioritaire des registres RB puis il y a retour à
l'état 1. Si à l'état 8 la réponse à [RBR?] est non,
l'état 10 suivant est un nouveau test du contenu du
registre FIFO : [FRF?], le registre FIFO est-il
plein ? Une réponse négative (N) redonne la priorité
15 au cycle CGC de l'état 2 pour exploiter le cycle
mémoire disponible, alors qu'une réponse positive
provoque un retour à l'état 1 : il n'y a pas de
demande en attente. En outre, lorsqu'à la question
[MPQE?] de l'état 6 la réponse est oui (Y), il y a
20 passage au test [RBR?] de l'état 8. Enfin si à la
question [MPR?] de l'état 5 la réponse est oui (Y) et
qu'il y a ainsi une demande d'accès du
microprocesseur l'état 11 suivant correspond à un
nouveau test [RBR?], y-a-t-il également une demande
25 d'accès des registres tampons de ligne ? A une
réponse négative (N) correspond un transfert à l'état

12 qui est un cycle [MPC] réservé à l'exécution d'accès demandés par le microprocesseur. A cet état 12 fait suite l'état 1. En revanche, une réponse positive à l'état 11 provoque un passage à l'état 13

5 qui est un nouveau test [MPQE?], le quota du microprocesseur est-il épuisé ? Si la réponse est oui (Y) l'état suivant est de nouveau l'état 9 correspondant à un cycle [RBC] de chargement prioritaire des registres tampons de ligne. Si par

10 contre, la réponse est non le prochain état 14 correspond à une opération [MPQD] de décrémentation ou décomptage et donc de réduction du quota du microprocesseur. Cette opération est suivie d'un cycle [MPC] réservé à l'exécution d'accès demandés

15 par le microprocesseur c'est-à-dire d'un retour à l'état 12.

Suivent quelques remarques d'intérêt général relativement à la mise en oeuvre du procédé décrit

20 ci-dessus.

Au tout début d'une image (le registre FIFO est vide, il est cependant disposé de suffisamment de temps pour le charger avant le démarrage effectif de la

25 visualisation), les transitions du signal

d'indication "registre FIFO vide" sont utilisées pour éviter de bloquer le microprocesseur.

C'est la tâche de remplissage du registre FIFO, lors
5 du cycle [CGC] qui provoque le rechargement du
compteur associé au microprocesseur au début de
chaque ligne.

Lors de la mise en oeuvre du procédé de séquençement,
10 il est essentiel d'utiliser pleinement la bande
passante de la mémoire unique, pour cela il est
nécessaire d'effectuer des opérations préparatoires à
un cycle mémoire durant l'exécution du cycle
précédent et par conséquent le temps de traitement
15 interne doit être inférieur au temps d'accès mémoire.
Toutefois, certains traitements peuvent déborder, par
exemple en fin de ligne, dans ce cas il faut en tenir
compte dans le calcul de la bande passante de la
mémoire, ceci induisant une variation d'environ 1 à
20 2 % sur le temps d'accès à la mémoire.

Pour conclure, compte tenu des expériences et des
simulations, il faut utiliser une mémoire unique de
l'ordre de 15 % plus rapide que la mémoire de l'art
25 antérieur normalement destinée au générateur de
caractères. En ajoutant à cette mémoire un registre

FIFO qui permet d'étaler la lecture du générateur de caractères, des registres tampons de ligne qui permettent de réduire le débit occasionné par la lecture de la zone affectée à l'écran et une antémémoire de petite taille qui permet d'améliorer le taux de succès et de réduire la charge occasionnée par le microprocesseur, la bande passante de la mémoire devient suffisante pour satisfaire aux besoins du microprocesseur et de la partie vidéo.

REVENDEICATIONS

1. Dispositif d'entrée sortie de données pour
l'affichage d'informations sur un écran élaboré
5 autour d'un microprocesseur coopérant au moyen d'une
pluralité de lignes de bus d'une part avec des moyens
de mémorisation affectés aux programmes du
microprocesseur et d'autre part avec la partie vidéo
par l'intermédiaire de moyens de mémorisation
10 affectés à l'écran, et de moyens de mémorisation
affectés à un générateur de caractères, caractérisé
en ce qu'il est monolithiquement intégré dans un
circuit d'application spécifique, les différents
moyens de mémorisation précités étant principalement
15 constitués d'une mémoire unique dans laquelle des
zones spécifiques respectivement aux programmes, à
l'écran et du générateur de caractères ont été
allouées pour stocker les infirmations auxquelles il
est désiré accéder, l'accès aux différentes zones
20 spécifiques étant autorisé par une ligne de bus
mémoire unique et géré selon un procédé de
séquencement mis en oeuvre par des moyens de
séquencement microprogrammés.

25 2. Dispositif d'entrée sortie de données pour
l'affichage d'informations sur un écran selon la

revendication 1 caractérisé en ce que les moyens de mémorisation comportent associée à la mémoire unique une antémémoire de petite taille insérée entre le microprocesseur et la ligne de bus mémoire unique.

5

3. Dispositif d'entrée sortie de données pour l'affichage d'informations sur un écran selon la revendication 1 ou 2 caractérisé en ce que les moyens de mémorisation comportent de plus un registre du type premier entré premier sorti inséré entre la partie vidéo et la ligne de mémoire unique.

10

4. Dispositif d'entrée sortie de données pour l'affichage d'informations sur un écran selon la revendication 3 caractérisé en ce que le registre du type premier entré premier sorti fournit en outre trois indications relatives à son état : registre plein, registre vide ou presque vide et nombre de mots dans le registre inférieur à W , W étant le nombre de mots qu'il faut accumuler dans le registre pour pouvoir servir toutes les demandes du microprocesseur pendant la partie utile du balayage ligne de la partie vidéo.

15

20

5. Dispositif d'entrée sortie de données pour l'affichage d'informations sur un écran selon l'une

25

des revendications 1 à 4 caractérisé en ce que les moyens de mémorisation comportent en outre au moins deux registres tampons de ligne insérés entre la partie vidéo et la ligne de bus mémoire unique.

5

6. Procédé de séquençement pour la distribution des cycles mémoire et la régulation du flux à l'intérieur des moyens de mémorisation du dispositif selon les revendications 1 à 5 caractérisé en ce que, l'attribution d'un cycle mémoire est réalisée en synchronisme avec la fréquence de balayage ligne de la partie vidéo et décidée subséquemment à une série de tests destinés à déterminer la priorité pour l'exécution des différentes tâches, notamment le prélevement dans la zone spécifique de la mémoire affectée à l'écran pour le chargement des registres tampons de ligne, la présentation d'un mot de la zone spécifique de la mémoire affectée au générateur de caractères au registre du type premier entré premier sorti ou toute demande d'accès respectivement du microprocesseur à la zone spécifique aux programmes, des registres tampons de ligne à la zone spécifique à l'écran ou du registre du type premier entré premier sorti à la zone spécifique affectée au générateur de caractères.

10
15
20
25

7. Procédé de séquençement selon la revendication 6
caractérisé en ce que l'attribution des cycles
mémoire est décidée à la suite d'une série de tests
tenant compte d'une part des demandes du
5 microprocesseur et du quota d'accès qui lui est
attribué, du générateur de caractères et des
registres tampons de ligne, d'autre part des trois
indications relatives au remplissage du registre du
type premier entré premier sorti et enfin de l'état
10 d'un compteur associé aux accès du microprocesseur,
les résultats des tests étant exploités de telle
manière que :

- tant que le registre premier entré premier sorti
est vide ou presque vide, le chargement dudit
15 registre soit prioritaire ;
- si le registre premier entré premier sorti n'est
pas vide ou presque vide, les accès du
microprocesseur soient prioritaires tant que le quota
d'accès attribué au microprocesseur n'est pas
20 épuisé, sachant qu'en outre un cycle n'est
comptabilisé dans ledit quota que si les registres
tampons de ligne ne sont pas pleins ;
- le remplissage des registres tampons de ligne soit
prioritaire par rapport au remplissage du registre
25 premier entré premier sorti si le nombre de mots en
attente dans ce dernier registre est supérieur à W ou

si le quota attribué au microprocesseur est épuisé et que de plus le registre premier entré premier sorti n'est pas vide ou presque vide.

5 8. Procédé de séquençement selon la revendication 7
caractérisé en ce que le quota d'accès attribué au
microprocesseur une fois déterminé reste valable
jusqu'à ce que le registre premier entré premier
sorti soit plein ou qu'un quota inférieur soit requis
10 pour garantir le chargement des registres tampons de
ligne, à chaque retour ligne le quota qui est
déterminé en fonction du remplissage du registre
premier entré premier sorti devenant le quota
effectif du microprocesseur si ce dernier registre
15 est plein ou si ce quota est inférieur au dernier
quota déterminé.

9. Procédé de séquençement selon la revendication 7
caractérisé en ce que le quota d'accès attribué au
20 microprocesseur est, à chaque retour de ligne,
déterminé pour la prochaine tranche de temps, tranche
de temps qui correspond à la durée totale du balayage
d'une ligne, le chargement du registre premier entré
premier sorti étant alors effectué suivant une courbe
25 de la forme $y = k (1 - a^{-x})$, où en première
approximation k représente la taille d'une mémoire

circulaire utilisée en tant que registre tampon de
ligne et a est une fonction du nombre de colonnes de
caractères et du nombre k , x étant une variable liée
à la hauteur d'une cellule caractère alors que le
5 résultat y donne le nombre de caractères dans les
registres tampons de ligne à la fin de chaque
balayage de ligne.

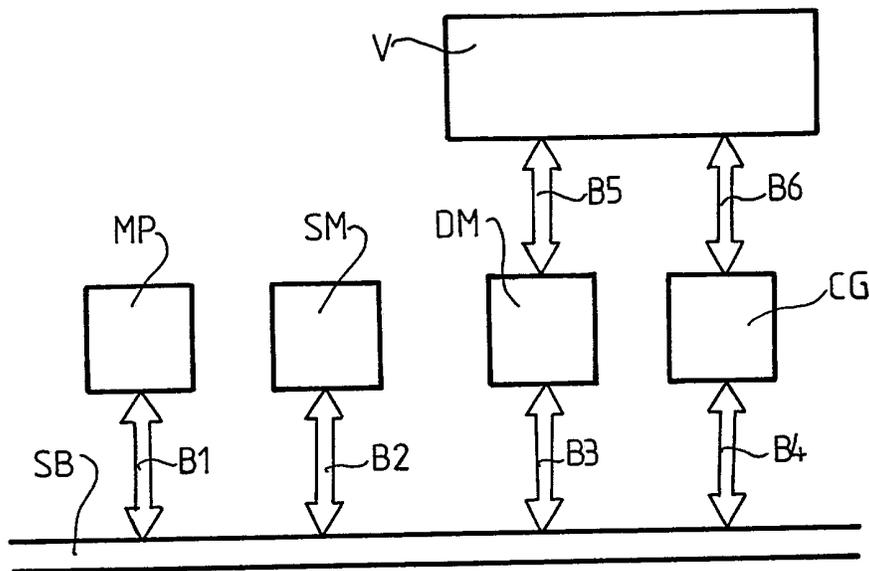


FIG.1

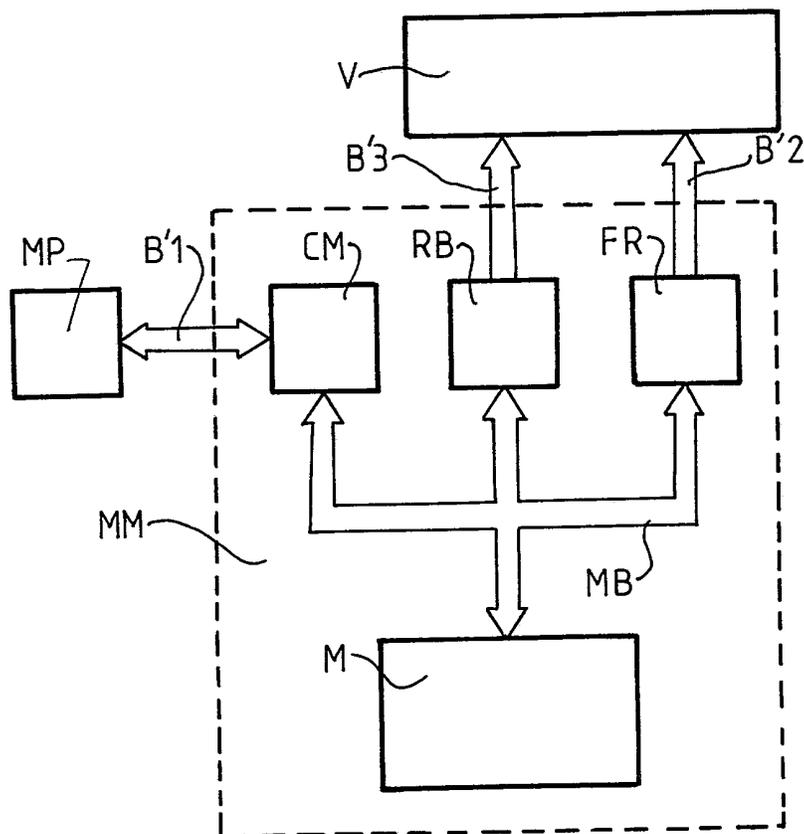


FIG.2

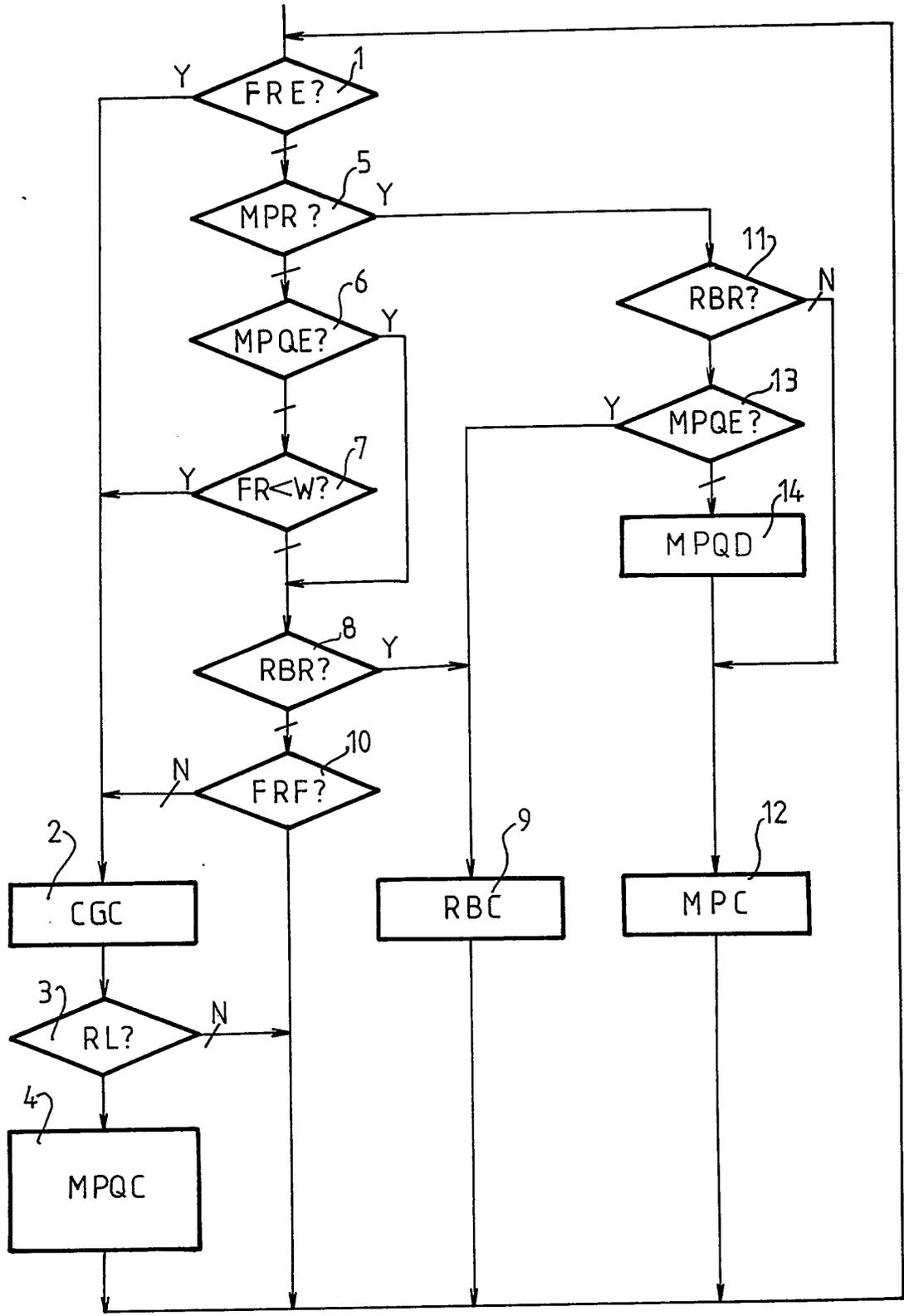


FIG.3

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FR 9009363
FA 444772

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
A	EP-A-0 139 386 (ING. C. OLIVETTI & C., S.p.A.) * Revendications 1-3,6 * ----	1-3
A	US-A-4 486 856 (HECKEL et al.) * Revendication 1 * ----	1,2
A	DE-A-3 138 930 (SIEMENS AG) * Page 7, lignes 4-24 * ----	1,5
A	EP-A-0 077 560 (IBM) * Revendication 1 * -----	1
		DOMAINES TECHNIQUES RECHERCHES (Int. Cl.5)
		G 09 G
Date d'achèvement de la recherche		Examineur
07-04-1991		TIBAUX M. J. P. G.
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'un moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

EPO FORM 1503 03.82 (F0412)