

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/115

(45) 공고일자 1999년09월01일
(11) 등록번호 10-0217532
(24) 등록일자 1999년06월04일

(21) 출원번호	10-1995-0034078	(65) 공개번호	특1996-0015927
(22) 출원일자	1995년10월05일	(43) 공개일자	1996년05월22일
(30) 우선권주장	8/319,393 1994년10월06일 미국(US)		

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘
미국 10504 뉴욕주 아몽크

(72) 발명자 조이스 엘리자베스 애코셀라
미합중국 뉴욕주 12533 호프웰 정선시 알핀 드라이브 5
캐롤 갈리
미합중국 메릴랜드주 21113 오덴톤시 실로리지 코트 307-202
루이스 루첸 휴
미합중국 뉴욕주 12524 피시킬시 크로스비 코트 7
세이키 오구라
미합중국 뉴욕주 12533 호프웰 정선시 롱힐 로우드 50
니보 로베도
미합중국 뉴욕주 12540 라그랜지빌리시 선댄스 로우드 1
조지프 프란시스 세퍼드
미합중국 뉴욕주 12533 호프웰 정선시 카운티 클럽 로우드 36

(74) 대리인 장수길

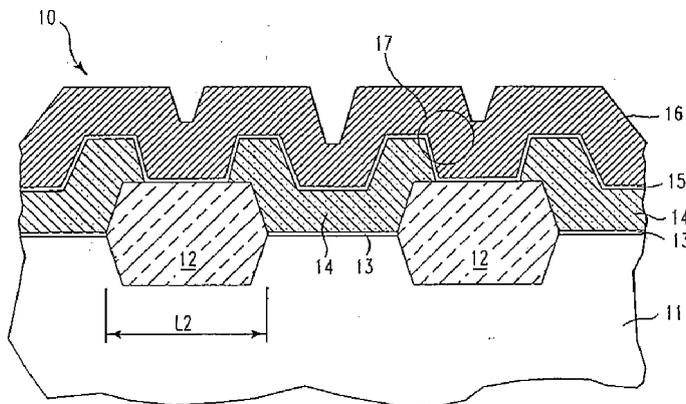
심사관 : 임동우

(54) 플래시 메모리를 위한 향상된 팩킹 밀도

요약

향상된 기능과 제조 수율뿐만 아니라, 향상된 팩킹 밀도는 얇은 질화물 층내에 덮혀진 분리물 구조간에 플로팅 게이트 구조를 한정함으로써 전기적으로 프로그래머블 메모리내에서 달성된다. 플로팅 게이트의 한정된 평탄화에 의해 달성되고, 보다 바람직하게는 분리물 구조를 덮는 질화물의 표면에 대한 자동-한계 화학적/기계적 연마 공정으로 달성된다. 게이트 산화물과 제어 전극 접속은 게이트 산화물의 질 또는 프로그래밍을 위해 장치가 견디어 내야 하는 브레이크다운 전압을 고려하지 않고도 거의 평면인 표면에 형성될 수 있다. 이러한 접속을 형성할 때 급격한 도플로지를 피해야 하기 때문에, 저 저항 접속의 향상된 형성, 금속 접속을 가능한한 포함하는 것은 가능하며, 메모리 셀인 트랜지스터의 스케일링은 이전에 불가능했던 사이즈 스케일을 가능하도록 한다.

대표도



명세서

[발명의 명칭]

플래시 메모리를 위한 향상된 팩킹 밀도

[도면의 간단한 설명]

제1도는 종래 기술에 따른 이중 폴리 EEPROM 게이트 구조의 단순화된 다이어그램.

제2도는 본 발명에 따라 이중 폴리 EEPROM 게이트 구조의 단순화된 다이어그램.

제3도 내지 제14도는 본 발명의 실시예 1에 대한 제조 공정을 도시한 단면도.

제15도는 제3도 내지 제14도에서 도시된 공정에 따라 형성된 구조의 메모리 어레이 부분의 평면도.

제16도 내지 제18도는 제23도의 절단선 X VI-X VI를 따른 본 발명의 또 다른 실시예를 도시한 단면도.

제19도 내지 제21도는 제23도의 절단선 X IX-X IX을 따른 본 발명의 또 다른 실시예를 도시한 단면도.

제22도 내지 제25도는 그 제조 공정내의 다양한 부분에서 본 발명의 실시예를 도시한 평면도.

제26도는 제16도 내지 제25도내에 도시된 본 발명의 또 다른 실시예인 회로도를 개략적으로 도시한 다이어그램.

* 도면의 주요부분에 대한 부호의 설명

10 : EEPROM 게이트 구조	11 : 기판
14 : 플로팅 게이트	16 : 제어 게이트 전극
23 : 터널링 산화물	24 : 폴리실리콘층
32, 33 : p-웰	40 : 패드 산화물
44 : 산화물-질화물-산화물(ONO)층	56 : n+ 이온 주입

[발명의 상세한 설명]

본 발명은 일반적으로, 프로그램 가능한 판독 전용 메모리(PROM)에 관한 것으로, 특히 고 집적도의 전기적으로 소거 가능하고 프로그래밍 가능한 판독 전용 메모리(EEPROM) 형태인 소위 플래시 메모리에 관한 것이다.

디지털 회로 및 데이터 처리 시스템은 특히 다양한 목적으로 서로 다른 여러 가지 타입의 저장 장치를 사용하고, 다양한 이점을 그 자체의 각각의 특성으로부터 얻는다. 예를 들면, 입력 시퀀스에 대해 고정된 시퀀스내에서 출력 신호를 제공하는 어떤 레지스터들의 타입[예를 들면, 선입-선출(first in-first out:FIFO) 버퍼]은 데이터의 식별 또는 저장되어 있는 동안에 이후에 어떻게 액세스될 것인지에 대한 부가적인 정보를 저장하는 필요성을 피할 수 있다. 메모리 구조의 다른 타입은 어드레스에 기초하여 데이터를 검색될 수 있도록 하는 것이다. 후자 타입의 장치에 대한 예는 랜덤 액세스 메모리 및 판독 전용 메모리이다.

공지된 바와 같이, 전자의 메모리 형태는, 다이내믹 RAM의 주기적인 리프레시를 제공하거나 스테틱 RAM에서 장치의 수를 증가시키는 것과 같이, 구조를 복잡하게 하는 희생을 통해 그 안에 저장된 데이터를 마음대로 변경할 수 있다는 것이다. 그러나, 저장된 데이터가 고정되거나 비교적 드물게 변화하는 경우인 후자의 메모리 타입에서는 이러한 복잡성은 회피될 수 있다. 판독 전용 메모리의 많은 타입이 비휘발성(non-volatile)이며, 장치가 전원으로부터 단절되는 기간 동안 장치의 동작에 관한 명령이나 데이터를 저장하는 데에 이용될 수 있다.

데이터가 때때로 변화할 경우에 응용을 해야 할 필요가 있는데, 소위 프로그램 가능한 판독 전용 메모리가 자주 이용된다. 이러한 메모리는 자외선을 조사하거나 메모리 내용을 다시 기입하기 위한 특정 목적의 회로 등 [후자는 전기적으로 소거 가능한 판독 전용 메모리(EEPROM)로 불리움] 특수 설비를 필요로 하며, 셀이 개별적으로 소거되거나 재기입되어야 할 때 자주 응답 속도가 저하된다. 이러한 과정에서 처리 속도를 향상시키기 위해, 메모리의 영역이 단일 동작으로 소거되고 기입 속도가 향상된 소위 플래시 메모리가 개발되었다.

일반적으로 EEPROM과 특히 플래시 메모리는 소위 터널링 산화물 층(tunneling oxide layer) 또는 단순히 터널링 산화물(tunneling oxide)로서 일반적으로 불리는 매우 얇은 산화층에 의해 전하의 소스(source)로부터 분리된, 소위 플로팅 게이트(floating gate)를 가진 트랜지스터의 형성을 통해 동작한다. 제어 게이트는 플로팅 게이트상에 형성되고, 일반적인 전계 효과를 트랜지스터(FET)의 게이트 산화물과 유사한 두께를 갖는 두꺼운 산화물에 의해 플로팅 게이트로부터 분리된다. 전하가 적절한 전압의 인가에 의해 플로팅 게이트 아래에 위치하게 될 때, 제어 게이트에 전압을 인가함으로써 플로팅 게이트내에 전하를 위해 터널링 산화물을 통해 전하의 전송이 이루어질 수 있다. 플로팅 게이트내에 저장된 전하는 그 이후에 소거(erasure)에 의해 제거될 때까지 플로팅 게이트 내에서 그 이후 채널의 콘덕턴스에 의해 검출될 수 있다.

플래시 메모리의 재기입에 사용되는 한 메카니즘은 일반적으로 외부의 고 전압 전원을 필요로 하는 채널 열 전자(channel hot electron:CHE) 주입이다. 그러나, 파울러-노딩 터널링(Fowler-Nordheim tunneling)을 사용하는 NAND 타입의 플래시 메모리는 모든 동작에 대해 5V 전력 공급만을 사용하도록 제안되어 왔다. 파울러-노딩 터널링 메카니즘은 애벌런치 브레이크다운(avalanche breakdown)을 피할 수 있고, 데이터를 나타내는 저장된 전하의 양을 감소시키는 경향을 갖는 터널링 산화물내로 열 전자가 주입되는 가능성을 크게 감소시킨다. 열 전자의 주입이 감소됨에 따라, CHE 주입 메카니즘에 상대적인 데이터 보존 시간(data retention time)이 10배로 증가하게 된다.

현재 모든 타입의 집적 회로에서, 많은 회로 및/또는 메모리 셀을 단일 칩상에 배치하기 위해서 집적 밀도를 증가시키는 것은 매우 중요하다. 그러나, 모든 타입의 EEPROM과 특히 파울러-노딩 터널링 메카니즘을 사용하는 플래시 메모리를 제조하는 데에 현재 사용되고 있는 공정은 팍킹 밀도를 증가시키기 위해 스

케일링 검사를 받을 수가 없다. 플로팅 게이트의 크기가 감소되면, 특히 메모리의 프로그래밍을 위해 일반적으로 사용되는 플로팅 게이트에 결합하는 용량을 감소시키게 되어, 기입 속도를 감소시키게 된다.

워드 라인 및 비트 라인 고유 저항의 증가는 기입 속도를 감소시키고, 종래 기술의 디자인은 메모리내에 포함된 회로의 상호 접속을 위해 매우 중요한 특정 저항을 갖는 도핑된 반도체 물질의 사용으로 한정되어 왔다.

게다가, 플로팅 게이트로서 폴리실리콘의 제1층 및 제어 또는 선택 게이트로서의 폴리실리콘의 제2층을 사용하는 이중 폴리 타입(double poly type)의 EEPROM을 위한 표준 디자인은 제1층 및 제2층을 분리시키기 위해 사용되는 산화물 절연층의 품질을 저하시키는 토포그래피 문제(topography problem)를 갖게 된다. 급격한 토포로지(topology)는 그 위에 금속을 증착하는 경우 안정되지 않으며, 금속의 이동으로 인하여 개구가 생길 수 있기 때문에, 메모리의 구성 요소에 관한 금속의 사용을 제한한다. 따라서, 전도체로서 금속 보다 폴리실리콘을 이용하게 되므로 저항율이 증가하는 경향이 있다. 나아가, 오목한 산화물(recessed oxide:ROX) 분리(isolation)가 사용되면, 평탄하지 않은 표면은 초점이 맞지 않은 원도우(예를 들면, 필드의 깊이) 상의 제한으로 인하여 리소그래피에서 패턴을 형성하는 동안 노광 해상도(exposure resolution)에 문제가 발생한다. 이러한 제한은 제조 수율 및 작업 처리량(throughput)을 감소시킨다. 이러한 제한은 고속 노광을 위해 사용되는 고정 밀도의 애퍼처(high numerical aperture)를 사용하는 경우에는 더욱 심각한 문제가 된다. 이러한 제한은 쉽게 작업 처리량을 감소시키고 제조 수율도 감소시킨다. 또한, EEPROM의 제조 단가는 증가하는 경향이 있다.

그러나, 급격한 토포로지는 EEPROM의 동작상에서 실질적으로 이점이 되는 경우도 있는데, 소위 커패시턴스 비율(capacitance ratio), 즉 플로팅 게이트의 커패시턴스에 대한 제어 게이트 커패시턴스의 비율 또는 특히, 제어 게이트 산화물 영역 대 터널링 산화물 영역의 비율을 증가시키는 것이다. 이는 제어 게이트 및 기판이나 웰(well) 간의 플로팅 게이트가 용량성 분압기(capacitive voltage divider)로서 동작하기 때문이다. 이러한 비율은 일반적으로 동작을 위한 프로그래밍 전압에 관한 특정값 이상을 유지하여야 하며, 동작에 대한 신뢰도는 주어진 프로그래밍 전압에서 이러한 비율을 증가시킴에 따라 증가한다. 터널링 산화물은 일반적으로 평면이기 때문에, 제어 게이트 산화물 및 제어 게이트의 급격한 토포로지는 제어 게이트의 커패시턴스와 커패시턴스 비율을 증가시킨다. 따라서, 제조 수율이 어느 정도 저하되더라도, 급격한 토포로지는 그 자체가 제공하는 동작 신뢰도의 증가라는 관점에서 종래에는 허용되어 왔다.

본 발명의 목적은 토포로지 문제와 제조 수율에 있어서 원래부터 결과적인 손실을 갖는 종래의 EEPROM 구조를 벗어나 EEPROM 구조를 제공하는 것이다.

본 발명의 또 다른 목적은 증가된 팩킹 밀도에 대하여 개별적인 셀의 크기가 감소된 EEPROM 구조를 제공하는 것이다. 본 발명의 또 다른 목적은 금속 및 용해하기 어려운 금속(refractory metals)으로 저항율을 감소시키면서 상호 접속을 위해 사용할 수 있는 EEPROM 디자인을 제공하는 것이다.

본 발명의 상기의 목적 및 그 이외의 목적을 달성하기 위해, 플로팅 게이트와 제어 게이트를 가지는 트랜지스터를 포함하는 메모리 셀을 구비하는 전기적으로 프로그래밍 가능한 메모리가 제공되는데, 상기 트랜지스터는 트랜지스터의 경계 부분에서 기판위로 연장되는 적어도 두개의 분리물 구조와, 분리물 구조들 사이에 한정되어 있는 터널링 산화물 및 플로팅 게이트와, 플로팅 게이트 및 분리물 구조들의 동일 평면 들상에 형성된 게이트 절연체 및 제어 전극을 포함하며, 상기 플로팅 게이트 분리물 구조의 표면과 동일 평면상에 있으며 트랜지스터가 형성되는 기판의 표면과 실질적으로 평행하다.

본 발명의 다른 특징에 따르면, 기판의 표면으로부터 연장되는 적어도 두개의 분리물 구조를 형성하는 단계, 분리물 구조 위에 절화물층을 형성하는 단계, 터널링 산화물층 및 적어도 분리물 구조들 사이에서 연장되는 플로팅 게이트층을 형성하는 단계, 상기 절화물층에 대해 플로팅 게이트를 평탄화하는 단계를 포함하는 전기적으로 프로그래밍 가능한 메모리 셀을 제조하기 위한 방법이 제공된다.

본 발명의 또다른 특징에 따르면, 반도체 기판 영역 위에 제1두께의 패드 산화물을 형성하는 단계, 상기 패드 산화물층 적어도 선택된 제1영역을 제거하는 단계, 상기 선택된 제1영역 내에서 산화물을 제2두께로 재성장시키는 단계, 패드 산화물층 적어도 선택된 제2영역을 제거하는 단계, 상기 선택된 제2영역 내에서 산화물을 제3두께로 재성장시키는 단계를 포함하는 반도체 장치를 제조하기 위한 방법이 제공된다.

본 발명의 상기의 목적과 그 외의 다른 목적, 특성 및 이점은 본 발명의 이하의 상세한 설명 및 첨부된 도면에 의거하여 보다 잘 이해될 것이다.

제1도를 참조하면, 매우 단순화된 형태로 본 발명이 개선시키고자 하는 EEPROM 게이트 구조(10)가 도시되어 있다. 이러한 견지에서, 제1도의 어떠한 부분도 본 발명에 대한 종래기술로 인정되지 않는다. 오히려, 이렇게 매우 단순화된 도면은 본 발명에 의해 극복된 문제점에 대한 이해를 향상시키기 위해 제공된 것이다. 이러한 구조에서, 오목한 산화물(recessed oxide:ROX)(12)이 인접한 게이트들간의 분리물로서 이용된다. 본 발명에 따른, 플래시 메모리의 보다 바람직한 형태의 동작에 관하여 이하에서 설명되는 바와 같이, 메모리 셀이 복수의 트랜지스터의 소스 및 드레인 영역의 직렬 접속을 통하여 프로그래밍되기 때문에, 전하 축적을 위한 플로팅 게이트를 포함하는 트랜지스터는 매우 근접하게 형성되는 것이 바람직하다. 따라서, 분리물은 트랜지스터 사이에 형성된 메모리 셀간의 상호 작용(interaction)을 최소화하는 것이 일반적으로 필요하다.

EEPROM 게이트 구조(10)에서 오목한 산화물이 형성되는데, 이는 기판(11)으로 산화물(12)의 일부분이 오목하게 들어가 있기 때문에 그렇게 불리운다. ROX 분리물 구조간의 영역은 얇은 터널링 산화막(13)에 의해 덮혀져 있다. 플로팅 게이트(14)는 폴리실리콘으로 형성되며 터널링 산화물 뿐만 아니라 경사진 측벽(sloping sidewalls) 및 ROX 분리물 구조(12) 표면의 일부 위로도 연장된다. 플로팅 게이트(14)는 브레이크 다운 전압을 통제하는 ROX 분리물 구조의 상부 표면에서 일정 거리만큼 분리되어 있다.

플로팅 게이트(14) 및 ROX 분리물 구조의 노출된 부분은 제어 게이트 산화층(15) 및 제어 게이트 전극(16)의 역할을 하는 제2폴리실리콘층으로 덮혀 있다. 제어 게이트 전극(16)과 플로팅 게이트(14)간의 제어 게이트 산화물(15)의 영역에는 커패시턴스가 형성된다. 따라서, 종래의 구조는 기판 표면에 평행한 방

향으로 주어진 크기(L2)에 대한 커패시턴스 값과 브레이크다운 전압간에 취사 선택(trade-off)이 필요하다. 나아가, 이러한 구조의 급격한 표면 토폴로지는 제어 게이트 산화물(15) [때때로, 층간-폴리 산화물(inter-poly oxide)이라 함]이 제1도에 도시된 원으로 둘러싸인 영역(17)의 품질(quality)에 대한 의문을 야기하도록 하는 경향이 있다. 이러한 영역에서 산화물의 품질이 낮으면 브레이크다운 전압을 감소시키고 충분한 제조 수율을 얻기 위해 플로팅 게이트 사이에 매우 넓은 간격을 제공하기 위한 또 다른 설비로 필요로 하게 된다.

플로팅 게이트(14)의 크기 때문에, L2는 플로팅 게이트(14)의 간격보다는 넓어야 하며, 터널링 산화물의 영역을 감소시키게 하는 경향이 있다는 것에 유의해야 한다. 따라서, L2는 원하는 커패시턴스 비율을 얻기 위한 산화물 영역의 비율에 따라 그 크기가 결정되어야 하고 브레이크다운 전압과 플로팅 게이트 분리에 관하여 만족할 만한 생산 수율을 얻기 위하여 낮은 질의 산화물이 될 가능성에 대해 조정되어야 한다. 따라서, 용적 L2는 더욱 작은 사이즈로 스케일링되기 어려운 EEPROM 셀의 풋프린트(footprint)의 주요 부분이 되는 것이다. 이것은 특히 매우 얇은 터널링 산화물층이 구성의 신뢰성에 따른 두께로 스케일링될 수 없으며, 어떤 최소 전압에서 터널링을 발생시키고, 장치가 견뎌야 하는 최소 브레이크다운 전압에 제한을 두도록 한다는 것으로부터 알 수 있다.

제2도를 참조하면, 본 발명에 따른 EEPROM 게이트 구조(20)가 간략하게 도시되어 있다. 분리 산화물(22)은 특히 기관(21)으로 부분적으로 오목하게 들어가 있으며, 제1도에서와 같이 부분적으로 돌출하여 있다. 그러나, 본 발명에 따르면, 터널링 산화물(23) 및 제1폴리실리콘층(24)의 형성 후에 폴리실리콘층(24)은 평탄화된다. 이러한 평탄화(planarization)는 보다 바람직하게는 단순하고 신뢰성 있는 화학적/기계적 연마 동작(polishing operation)에 의해 행해지며, 이하에서 더욱 상세하게 설명되는 바와 같이 자기 제한(self-limiting)을 가지도록 이루어질 수 있다. 평탄화는 표면 토폴로지에 의한 손상없이 층간-폴리 산화물(25) 및 게이트 전극이 평면적인 표면에 형성되도록 한다. 또한, 리소그래피에 의한 노광 초점의 문제는 더 이상 발생하지 않으며, 금속 또는 용해하기 어려운 금속이 접속을 위해 사용될 수 있다.

그러나, 본 발명의 주요 이점은 층간-폴리 산화물의 질이 표면 토폴로지에 의해 저하되지 않고, 인접한 플로팅 게이트의 간격은 ROX 분리물 구조의 두께에 의해서만 결정될 수 있으며, 제1도의 종래의 구조에서 터널링을 유발하도록 하기 위하여 플로팅 게이트들 간의 간격보다 주어진 전압 바이어스가 더욱 클 필요가 없다. 따라서, 제2도의 설계는 제1도의 설계보다 더욱 작은 사이즈를 갖도록 스케일링하는 것이 가능하다. 나아가, 본 발명에 따른 설계에서는, 커패시턴스 비율이 급격한 표면 토폴로지의 제거에 의해 감소되는 것이 가능하지만, 제2도의 설계는 셀 크기를 실질적으로 감소시키면서도 동작의 신뢰도를 향상시키도록 일정한 보상(예를 들어, 게이트 구조에 의해 점유되는 메모리 셀의 퍼센트 면적을 증가시킴)을 해주어야 한다.

제3도 내지 제14도를 참조하면, 본 발명의 실시예 1의 제조가 이하에서 설명될 것이다. 제3도는 2개의 p-웰(32, 33)이 형성되어 있는 n-형 기관(31)을 도시하고 있다. 제3도의 좌측에 있는 p-웰(32)은 우측의 p-웰(33)상에 형성될 EEPROM 어레이에 대한 기입을 제어하기 위한 비교적 높은 프로그래밍 전압(예를 들어, 12V)에 견딜 수 있는 CMOS 트랜지스터 쌍과 같은 주변 회로의 형성에 사용될 것이다. 2개의 p-웰은 마스크(35) 및 확산에 따른 불순물 주입(impurity implantation)과 같은 공지된 공정에 의하여 형성될 수 있다. 약 150 옴스트롬의 두께를 갖는 산화물층 및 약 200 옴스트롬의 두께를 갖는 질화물층과 같은 보호용 유전체층(protective dielectric layer:34)이 양호하게 형성되어, 이온 주입이 제4도에서 도시된 바와 같이 n-웰(36)의 형성과 같은, 기관의 처리를 위한 추가 공정들을 통하여 유지되는데, 이는 이온 주입이 보호용 유전체층을 통하여 수행될 수 있으며, 상기 층을 제거하면 모든 마스크링 물질(예를 들어, 36')과 오염 물질(contaminants)이 상기 기관 표면에 구조를 형성하기 위해 완전히 제거될 수 있기 때문이다.

제5도에 도시된 바와 같이, 기관의 일정 영역은 또 다른 마스크(도시 안됨)를 사용한 에칭에 의해 오목하게 되고, 오목한 산화물 분리물 구조(38, 38')가 상기 기관 표면위로 돌출되어 형성된다. ROX 분리물 구조의 돌출된 용적은 플로팅 게이트 구조의 두께(예를 들면, 약 200옴스트롬)에 의해 정의될 것이므로 산화 시간의 제어에 의해 제어될 수 있다. 이러한 분리물 구조는 p-웰(32, 33)과 n-웰(36)의 경계 및 다른 구조의 경계가 형성되는 위치에 배치된다. ROX 분리물 구조는 p-웰(33) 위에 형성되며, 형성될 메모리 셀 어레이는 실제로 정선(39)에 의해 표시되어 있으며 ROX 구조(38')에 의해 그 단부들에서 경계가 정해지는 길고 좁은 장방형 개구를 갖는 층이다. 이러한 장방형 개구는 제15도에서 도시된 바와 같이 평면도의 1501에 더욱 명백하게 도시되어 있다. 이러한 장방형 개구내에서 질화물/산화물층(34)은 쉽게 떨어져 나갈 수 있다.

제6도를 참조하면, 약 250 옴스트롬 두께의 패드 산화물(40)이 성장되어 있다. 이러한 산화물은 여러 기능을 가지며, 대부분의 층이 추후에 제거될 임시적인 것이기 때문에 패드 산화물이라고 불리고, 이하에서 더욱 자세하게 설명될 것이다. 한편, 잔여 부분이 본 발명의 설명을 위해 본 명세서에서 사용되는 NAND 타입 메모리 구성에서 사용된 셀렉트 게이트 트랜지스터(예를 들어, 제14도의 58과 58A)의 게이트 산화물을 형성하기 때문에, 본 발명에서 두께는 어느 정도 중요하다. 그러나, 만일 이러한 트랜지스터가 제공되지 않으면, 패드 산화물(40)의 두께는 본 발명에서 중요하지 않다는 것이 이해될 것이다. 또한, 특정 두께에 대한 패드 산화물(40)의 형성은 다양한 타입의 EEPROM내에 자주 포함될 저 전압 트랜지스터를 위한 게이트 산화물을 포함하는 서로 다른 산화물 구조들이 최소한의 단계를 갖는 공정으로 형성되도록 하므로, 본 발명의 양호한 형태의 특징으로 고려된다.

패드 산화물의 형성 후에, 얇은 질화층(예를 들어, 125 옴스트롬)이 상기 패드 산화물 및 ROX 분리물 구조상에 증착될 것이다. 이러한 질화층은 본 발명의 가장 중요한 특성으로 여겨지는데, 이는 [알루미나 슬러리(alumina slurry)를 사용한 베이어(Beyer) 등에게 허여된 미국 특허 제4,671,852호에 개시되어 있는 공정 및 실리콘 질화물 에칭 스톱을 사용한 베이어등에게 허여된 미국 특허 제4,944,836호에 개시되어 있는 공정과 같은] 화학적/기계적 연마 공정에 대한 매우 큰 강도 및 저항력이 평탄화를 자기-제한(self-limiting) 시키는데 이용되기 때문이다.

패드 산화물(40)의 다양한 부분의 서로 다른 기능의 관점에서, 제7도에 도시된 바와 같이, 질화물 및 산화물은 41에서 도시된 바와 같이 p-웰(33) 위에서 처음으로 개방되고, 대략 100 옴스트롬의 두께를 갖는 얇은 터널링 산화물(42)이 제7도에 도시된 바와 같이 성장되어진다. 다음에, 제8도에 도시된 바와 같이,

제1폴리실리콘층이 점선(43)으로 표시된 바와 같이 전체 장치에 대하여 블랭킷(blanket)처럼 증착된다. 다음에, 이러한 블랭킷층(blaket layer)은 ROX 분리물 구조를 덮고 있는 질화물 표면에 대해 곧 평탄화되어, 평면인 표면(44)이 된다. 또한, 이러한 평탄화는 또한 ROX 분리물 구조의 돌출의 높이내로 플로팅 게이트 구조를 한정하고, 제2도를 참조하여 설명된 바와 같이 본 발명에 따른 두께를 정의한다.

제9도에서 도시된 바와 같이, 층간-폴리 산화물, 바람직하게는 산화물-질화물-산화물(ONO:44)의 합성물로 구성된 것은 공지된 복수의 기법 중의 하나에 따라 성장되고 개구부(41)를 정의하는데 사용되는 것과 동일한 마스크를 사용하여 [단, 네거티브 레지스터(negative resist)를 사용함] 패터닝되며, 산화물 박막 및 질화물(44a)이 증착되고 레지스트(45)가 메모리 어레이 영역 p-웰(33)에 도포되어, p-웰(32)로부터 제1폴리실리콘층을 제거하고 동시에 ONO층(44)을 보호한다. 또한, 이는 주변 회로가 형성된 p-웰(32) 위에서 패드 산화물(40)을 제거하도록 하며, 동시에 그 영역으로부터 모든 오염 물질을 제거한다. 레지스트가 제거된 후에, 질화물은 주변 회로내에 게이트 산화물을 형성하기 위한 산화 동안에 보호를 위해 ONO층(44)의 상단부에 여전히 남아있게 되는 것에 유의해야 한다. 게이트 산화물은 높은 브레이크다운 전압을 획득하기 위해 보다 두껍게 되고(예를 들어, 450-500 Å), p-웰(32) 위에서 재성장된다. (이 시점에서, 메모리 어레이 영역내에서 제14도의 셀렉트 게이트 트랜지스터(58, 58a)를 위한 게이트 산화물로서 사용될 패드 산화물의 일부만이 남아있다.) 다음에, 제10도에 도시된 바와 같이, 질화물(44a)이 제거되고, 제2폴리실리콘층(46)이 전체 장치에 걸쳐 블랭킷층으로서 증착된다.

제11도에 도시된 바와 같이, 점선(47)으로 표시된 레지스트층을 도포하고, 메모리 어레이 내에 게이트 구조를 정의하는 부분(48) 및 p-웰(32)에 대한 주변 회로내에 트랜지스터의 게이트를 정의하는 다른 영역(49, 50)을 갖는 패터닝된 마스크를 형성하는 레지스트를 노출시키고 현상(develope)시킴으로써, 제2폴리실리콘층을 위한 패턴을 만들기 위한 게이트 리소그래피가 수행된다. 이 레지스트 마스크에 따라 게이트 또는 터널링 산화물에 대해 폴리실리콘을 에칭하고, 이 레지스트를 제거한 후, 제1 및 제2폴리실리콘층의 잔여 부분과 층간-폴리 산화물이 제12도에 도시된 바와 같이 나타난다. 제15도를 다시 참조하면, 플로팅 게이트 폴리실리콘이 제2도에 도시된 바와 같은 (제15도의 구간 1-1에 대응하는) 평탄화 과정에 의한 ROX 분리물 구조간에 포함되어 있는 것이 상기될 것이다. 이러한 에칭 단계는 플로팅 게이트(FG)를 형성하도록 제1 및 제2폴리실리콘 층 및 층간-폴리 산화물을 에칭하고 ROX 분리물 구조(38, 38')간에 터널링 산화물에서 멈춤으로써 수직 방향(예를 들면, 제15도의 구간 III-III를 따라)으로 플로팅 게이트 구조를 분리하게 된다. 그러나, 플로팅 게이트와 터널링 산화물이 상술한 바와 같은 ROX 구조(38')에 의해 단부에서 둘러싸인 분리물 구조내에 좁은 장방향 개구 내에 형성됨으로써 분리되었지만, 이러한 에칭 단계는 ONO층(44) 및 제2폴리실리콘층(46)을 제15도의 구간 x-x'를 따라 절단하지 않으며, 제2폴리실리콘 층을 형성하는 이러한 라인(각각의 제어 및 셀렉트 트랜지스터의 게이트 전극 뿐만 아니라 제15도에 도시된 제어 게이트 접속(CG)과 셀렉트 게이트 접속(SG)을 형성한다.

제13도에 도시된 바와 같이, 이온 주입은 대개 접속을 형성하고, 완결되고, 게이트 구조 주위에 형성된 트랜지스터의 동작을 향상시키는 자기-정열 방식으로 행해진다. 특히, P+ 이온 주입(55, 51, 52, 59)은 p+ 이온 주입(53, 57)이 PMOS 트랜지스터(예를 들어, 주변 회로 및 메모리 어레이의 셀렉트 게이트 트랜지스터)의 소스/드레인 영역을 형성하도록 된 것과 유사하게 p-웰에 대한 전기적 접속을 형성하도록 구성되어 있다. 유사하게, n+ 이온 주입(58)은 주변 회로내에 n-웰에 대한 접속을 형성하도록 되어 있고, n+ 이온 주입(60)은 n-기판에 대한 접속을 형성하도록 되어 있으며, n+ 이온 주입(56)은 메모리 셀 트랜지스터와 비트 라인 접속 패드간에 소스/드레인 영역과 직렬 접속하도록 되어 있다. 그리고, n+ 이온 주입(54)은 주변 회로내에 NMOS 트랜지스터의 소스/드레인 영역을 형성하도록 되어 있다. 이러한 견지에서, (52)를 제외한 메모리 어레이 내의 모든 주입된 이온은 n+ 이온이고 p+ 이온의 일부(예를 들면, 51, 53)는 서로 인접하게 배열될 수 있다. 그래서, 이온 주입은 공지된 차단 주입 기법(block-out implantation techniques)에 의해 행해지고 고해상도 마스크는 요구되지 않는다. 메모리 구조는 제14도에 도시된 바와 같이, 보호 유전층(61)과 금속 비트 라인 접속부(62)로 구조를 덮음으로써 완료된다.

동작시, 제14도와 제15도에 도시된 NAND 타입 플래시 메모리는 예를 들면, n+이온 주입(56)에 의해 형성되는 직렬 접속 때문에 셀렉트 게이트 트랜지스터(58a)에 의해 형성된 비트 라인 접속으로부터 상당 부분 떨어진 배열의 단부, 즉 메모리 셀 시작 위치의 순서대로 기입된다. 특히, 프로그래밍 전압(예를 들어, 플로팅 게이트 하의 터널링 산화물을 통하여 전자의 터널링을 유발하는데 충분한 8.5V)은 비트 라인에 대응하는 어부의 트랜지스터는 낮은 전압(예를 들면, 3.5V)에 의해 전도 상태가 되는 동안 우선 CG8에 인가되며, 두개의 로직 레벨중의 하나에서 데이터는 직렬 접속과 CG8을 통해 인에이블되는 트랜지스터의 플로팅 게이트로 전자 소스를 공급하기 위한 비트 라인 접속(63)을 통해서 인가된다.

라인에 다음 셀을 기입하기 위해, 전압은 CG8로부터 제어되는(예를 들면, CG8은 대응하는 트랜지스터를 턴 오프하는 접지 전위로 되고, 직렬 접속의 커패시턴스를 작게한다.)로부터 제거되며, 저 전압이 CG1-CG6로 유지되는 동안, 고전압은 CG7에 인가된다. 이러한 공정은 모든 메모리 셀에 대한 액세스를 반복한다. 저장에 위한 전자의 공급은 게이트 접속과 메모리의 NAND 기능을 생산하는 게이트 전극에 대한 비트 라인을 접속하는 셀렉트 트랜지스터(예를 들면, SG1을 형성하는 58a)에 의해 또한 조정된다.

상기의 동작 모드는 트랜지스터(58a)에 의해 형성되는 셀렉트 게이트(SG1)만을 포함하기 때문에 실시예로서 고려되어야 함에 유의해야 한다. 전하 전송은 또한 전하가 전송되는 비트 라인의 저항에 의해 방해된다. 적어도 이러한 후자의 이유로, 기입은 배열 외부의 중앙부로부터 외부로 행해진다. 따라서, 실질적인 문제와 동작의 최고 속도 및 안정성을 위하여, 트랜지스터(58a, 58)에 의해 형성되고, 두개의 셀렉트 게이트(SG1, SG2)는 보다 바람직하게 사용된다. 전하는 셀렉트 게이트로부터 공급되고, 비트 라인을 따라 전하의 전송은 상술한 방식과 같이 제어 게이트 상에 증가된 전압에 응하는 메모리 셀내의 저장에 의해 종결된다. 셀렉트 게이트(SG1 및 SG2)이 제어 게이트에 대한 적절한 전압의 인가에 의해 분리되어 제어된다면, 데이터는 셀렉트 게이트 제어하에서 교대로 메모리 어레이에 기입될 수 있다. 전하의 전송은 선택된 제어 게이트에 인가된 고전압과 상술한 바와 같은 다음의 연속적인 제어 게이트에 인가된 저전압에 따라 저장된 비트 라인을 따라 종결되고, 비트 라인의 양 단부로부터 동시에 기입하는 것이 가능하게 된다.

상술한 실시예의 고 캐핑 밀도를 유지하면서 각각의 메모리 셀이 개별적으로 액세스 가능한 (그리고 연속적인 기입을 필요로 하지 않는) 본 발명의 실시예 2가 제16도-제27도를 참조하여 설명될 것이다. 제16

도-제21도는 단면도이며, 제22도-제25도는 대응하는 평면도이며, 제26도는 평면도에 대응하는 개략적인 도면이다. 간략하게 하기 위해, EEPROM의 메모리 어레이 부분만이 도시되어 있다. 제16도-제18도의 단면도는 XVI-XVI를 따라서 절단될 것이고, 제19도-제21도는 제23도에 도시된 바와 같이 XIX-XIX를 따라서 절단될 것이다.

제16도는 상술한 본 발명의 실시예에서 제12도에 일반적으로 대응하는 장치의 제조 상태를 도시하고 있는데, 플로팅 게이트 유전체(218)과 제1폴리실리콘층(216)의 다층 스택(양호하게 약 5×10^{19} 에서 $10^{21}/\text{cm}^2$ 의 범위 내의 n-형 불순물 농도를 가짐)을 평탄화하고 패터닝하는 형성 과정 후에, 제어 게이트 유전체(214)(양호하게는 ONO), 제2폴리 실리콘층(212)(또한, 양호하게 약 5×10^{19} 에서 $10^{21}/\text{cm}^2$ 의 범위 내의 n-형 불순물 농도를 가짐)과 보호 질화물(210)이 모든 p-형 기판상에 존재한다. 패터닝은 보다 바람직하게는 제22도의 평면도에서 도시된 바와 같은 반응성 이온 에칭에 의해 스택 구조의 연장된 얇은 스트립을 형성하도록 수행된다. 특히, 다층 스택 구조와 보호층 상부 질화물 층(210)을 마스크로 사용하여, p+ 분리물 주입을 분리물 접합(300)을 형성하는 p-타입 기판내에서 행하게 된다. (보다 바람직한 불순물 농도는 5×10^{16} 에서 $10^{17}/\text{cm}^2$ 의 범위내이다)

일단 분리물 주입이 수행되면, 필드 산화물은 분리물 주입 [예를 들어, (316)에서]상에서 분리물 영역(314)와 다층 스택 구조의 측벽(예를 들면, (312)에서)상에서 성장된다. 또 다른 산화물(316)은 스택 구조간의 갭을 채우고 효율적으로 분리 트렌치가 되도록 보다 바람직하게 기상 증착(CVD)에 의해 그 위에 증착된다. 이러한 공정은 또한 질화물층(210)상의 산화물을 증착한다. 그러나, 질화물층(210)을 덮는 산화물은 평탄화 (보다 바람직하게는 화학적-기계적 연마에 의해)에 의해 트렌치의 한정에 대한 산화물 증착(316)을 제한하는 질화물층이 나타나도록 다시 제거된다. 질화물층(210)은 제거된다.

제18도에 도시된 바와 같이, 전도층은 보다 바람직하게는 텅스텐 폴리사이드(330)와 질화물층(318)으로 CVD에 의해 증착된다. 이러한 층은 제16도, 제19도 및 제23도에 도시된 바와 같은 [층(212)로부터 형성된]트랜지스터 제어 게이트(340)를 접속하는 수평 전도체(예를 들어, 행)의 배열을 형성하는 제22도에 도시된 스택 구조의 수직 패터닝(예를 들어, 열 방향)에 일반적으로 수직하는 방향(반드시 우측 각도가 아니어도)에 패터닝된다. 그래서, 잔여 텅스텐 폴리사이드는 제26도의 워드 라인(WL)이 되는 평면 표면상에 배선을 형성하게 된다. 분리물 구조를 가로지르는 평면 표면상의 이러한 접속은 생산 수율과 서비스에 대한 신뢰도를 증가시키고 본 발명의 상술한 실시예와 같은 우수한 효과를 획득할 수 있다. 패터닝된 텅스텐 폴리사이드와 CVD 질화물 층은 기판에 다층 스택 구조를 에칭하는 마스크로 사용되며, 연장된 장방형의 스택 구조를 제18도의 페이지 평면에 평행한 홈을 갖는 개별적인 메모리 셀로 분리한다.

제23도의 구간 XIX-XIX를 따라 절취된 (예를 들어, 제18도의 페이지 평면에 평행하고, 워드 라인의 단부 시야를 얻는) 단면도인 제19도를 참조하면, 질화물 스페이스(spacer)가 스택 구조의 측벽상에 형성되며 (텅스텐 폴리사이드 층을 포함함), 메모리 셀과 텅스텐 폴리사이드 패터닝에 따라 에칭된 후에 남아 있는 메모리 셀 간의 분리물 구조 측벽으로 분리된다. 이러한 측벽 스페이스는 보다 바람직하게는 대칭적으로 형성되거나, 넓이면에서는 비대칭적으로 형성된다. 스페이스의 넓이는 보다 바람직한 불순물 농도 5×10^{19} 에서 $10^{21}/\text{cm}^2$ 로 자동 정렬된 방식으로 소스/드레인 n+이온 주입의 영역을 정의한다. 주입된 불순물은 열 처리(예를 들어, 이온 주입 공정에 의해 유발된 결정 구조의 이탈을 바로잡는 어닐링 공정)에 의해 형성된 트랜지스터의 원하는 특성에 의해 지시된 바와 같은 원하는 프로파일(예를 들면, 350)로 확산된다. 또 다른 부가적인 불순물 주입과 확산은 동일한 의도로 행해진다.

제16도와 관련하여 상술한 p+ 분리물 주입 공정이 점선(353)에 의해 도시된 바와 같은 제19도의 페이지 평면상 및 평면하에 존재하게 된다. 이러한 분리물 구조는 본 발명이 속한 분야에서 이해되는 바와 같이 n+ 이온 주입후에 제19도의 페이지에 수직인 방향내에 메모리 셀의 분리를 위해 제위치에 효율적으로 남아있을 것이다.

텅스텐(351)은 소스/드레인 접촉 영역(350)(질화물상이 아니라)상에 선택적으로 증착되고 제20도와 제24도에 도시된 바와 같이, CVD 산화물(355)로 밀봉된다. 이러한 점에서, 소스 및 드레인 영역만이 노출되게 된다. p+ 분리물 영역은 필드 산화물(314)(제17도)로 덮여 있다. 따라서, 선택적인 텅스텐은 n+ 확산 영역을 포함하는 반도체 물질상에 선택적으로 증착되어 있다. 이러한 선택적인 증착은 본 발명의 보다 바람직한 형태에 따른 장치의 제조를 매우 단순화시킨다. 산화물(355)의 평탄화는 선택적이다. 제20도에 도시된 바와 같이, 또 다른 산화물 플러그는 블록 아웃 마스크(a block out mask)로 에칭함으로써 제거될 수 있다. 이는 본 발명이 속한 분야에서 공지된 자-해상도 공정이고, 신뢰성과 제조 수율이 높은 공정이다.

산화물이 선택적으로 제거된 소스 라인(352) (보다 바람직하게는 종래의 Cu/Al 합금)의 형성후에, 절연 블랭킷층(360) (보다 바람직하게는 CVD 산화물)은 그것을 가로지르는 비트 라인(380)로부터 절연되도록 형성된다. 이러한 블랭킷층(360)은 상술한 바와 같이 소스 라인이 형성되고 제거되는 산화물 플러그의 위치와 교대로 되는 잔여 산화물 플러그에서 개별적인 바이어스를 형성하도록 패터닝된다(또한, 상대적으로 저해상도에서). 또 다른 잔여 산화물 플러그는 EEPROM 구조를 기능적으로 완성하기 위해 텅스텐 드레인 접촉부(350)중의 것에 교대로 되는 비트 라인(380)(보다 바람직하게는 역시 종래의 Cu/Al 합금)이 형성된다. 비트 라인은 제25도내에 수직 방향으로 계속적으로 도시되어 있다. 비트 라인이 형성되는 표면의 토폴로지는 비트 라인이 바라는 만큼 두껍게 형성되지 않기 때문에, 그다지 중요하지 않으며 산화물 플러그가 제거되고 나서 부피를 거의 채울 수 있을 것이다. 물론, 패시베이션층 또는 다른 회로와 같은 다른 층은 그위에 놓여져 있다.

EEPROM 회로의 개략적인 도면이 제26도에 도시되어 있으며 제25도의 평면도에 대응하여 설계된다. 워드 라인과 소스 라인은 각각의 워드 라인 쌍이 제공된 하나의 소스 라인과 수평 (예를 들어, 열 방향)으로 연장되고 각각의 열(column) 내에서 트랜지스터 쌍간에 소스 노드를 접속시키는 것이 손쉽게 보여질 수 있다. 비트 라인은 제26도에서 수직으로 연장되고 제19도-제31도와 관련하여 상술한 바와 같이, 소스 라인 접속과 교대로 되는 드레인 노드에 접속시킨다. 따라서, 트랜지스터 쌍이 워드 라인에 인가된 전압에 따라 선택된 각 쌍의 단일 트랜지스터의 선택을 갖는 비트 라인과 소스 라인에 전압을 인가함으로써 선택

될 수 있다. 이러한 메모리 배열의 동작은 제15도에 관하여 설명된 바와 동일하다.

상술한 바와 같이, 본 발명은 감소된 수의 매우 신뢰도 높은 공정으로 제조 될 수 있고 게이트 절연층이나 전도체중에서 어느 하나의 순도(integrity)를 희생하고 제조 수율을 감소시킬 수 있는 급격한 토폴로지를 제거하는 간단한 집적 회로 구조를 제공한다. 또한, 결과적인 구조는 EEPROM 장치에 응용될 때 고 팩킹 밀도를 제공할 수 있고 금속 및 용해가 어려운 금속을 메모리 셀에 높은 전도성이 있는 저속을 제공하는 데 사용될 수 있도록 한다.

본 발명이 하나의 양호한 실시예와 셀을 개별적으로 액세스 할 수 있는 또 다른 실시예에 관하여 설명되었지만, 본 기술 분야에 숙련된 자라면 첨부된 특허 청구의 범위의 본질 및 범위로부터 벗어나지 않으면서 본 발명이 다양하게 개조가 가능하다는 것을 인식할 것이다.

(57) 청구의 범위

청구항 1

플로팅 게이트 및 제어 게이트를 갖는 트랜지스터를 포함하는 메모리 셀을 구비한, 전기적으로 소거 가능하고 프로그래밍 가능한 메모리(electrically programmable memory)에 있어서, 상기 트랜지스터는, 상기 트랜지스터의 경계 부분들에서 기판 위로 연장되며, 각각 화학적/기계적 연마 공정에 영향을 받지 않을 정도의 경도를 갖는 재료를 포함하는 개별적인 상부 표면을 갖는 적어도 2개의 분리물 구조(isolation structures)와, 상기 적어도 2개의 분리물 구조 사이에 한정된 터널링 산화물 및 상기 플로팅 게이트 - 상기 플로팅 게이트는 상기 적어도 2개의 분리물 구조의 상기 상부 표면과 실질적으로 동일 평면인 표면을 가지며, 상기 표면들은 상기 트랜지스터가 형성된 상기 기판의 표면에 실질적으로 평행함 - 와, 상기 플로팅 게이트 및 상기 적어도 두개의 분리물 구조의 상기 표면들 상에 형성된 상기 제어 게이트의 게이트 절연체 및 제어 전극을 포함하는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 2

제1항에 있어서, 상기 플로팅 게이트 및 상기 제어 전극중 적어도 하나는 폴리실리콘으로 형성되는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 3

제1항에 있어서, 상기 소스 라인 및 상기 제어 전극중 적어도 하나는 금속으로 형성되는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 4

제1항에 있어서, 게이트 산화물 및 게이트 전극을 포함하는 적어도 하나의 전계 효과 트랜지스터를 더 포함하며, 상기 게이트 전극의 경계 부분들은 상기 기판 위로 연장되는 적어도 두개의 분리물 구조 사이에 한정되고, 상기 게이트 전극의 표면은 상기 분리물 구조의 표면과 실질적으로 동일 평면 상에 있으며 상기 기판의 표면에 거의 평행한 표면을 갖는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 5

제1항에 있어서, 소스 라인들의 배열(array) 및 비트 라인들의 배열을 더 포함하며, 상기 소스 라인들 및 상기 비트 라인들은 상기 메모리의 메모리 셀에 선택적으로 접속되어 있는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 6

제5항에 있어서, 상기 소스 라인들은 상기 비트 라인들에 직교하여(orthogonally) 배치되어 있는 전기적으로 소거가능하고 프로그래밍 가능한 메모리.

청구항 7

제6항에 있어서, 드레인 접촉부(drain contact)가 상기 메모리의 각각의 메모리 셀의 트랜지스터들 사이에 형성되어 있는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 8

제7항에 있어서, 상기 소스 라인들 및 상기 비트 라인들은 상기 메모리의 상기 각각의 메모리 셀의 상기 트랜지스터들의 공통으로 접속된 제어 전극들에 직교하는 방향으로 드레인 접촉부와 교대로 접촉하는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 9

제1항에 있어서, 상기 기판내에 복수 소스/드레인 영역을 더 포함하며, 상기 플로팅 게이트의 한 부분 아래로 연장되는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리.

청구항 10

제9항에 있어서, 상기 기판상에 선택적으로 증착된 금속으로 형성된 상기 복수의 소스/드레인 영역들 각각 위에 접촉부를 포함하는 복수의 접촉부와, 상기 접촉부에 중첩되고, 제1좌표 방향으로 연장되며, 상기 복수의 접촉부중 하나를 교대로 접속시키는 소스 라인과, 상기 소스 라인에 직교하여 연장되고, 상기 복수의 접촉부중 나머지를 번갈아서 접속시키는 접촉부를 더 포함하는 전기적으로 소거 가능하고 프로그래밍 가능한 메모리 셀.

청구항 11

전기적으로 소거 가능하고 프로그래밍 가능한 메모리 셀(electrically programmable memory cell)을 제조하는 방법에 있어서, 기판의 표면으로부터 연장되는 적어도 두개의 이격된 분리물 구조를 형성하는 단계와, 적어도 상기 분리물 구조 부분들 위에 질화층을 형성하는 단계와, 적어도 상기 분리물 구조 사이에 연장되는 터널링 산화층 및 플로팅 게이트층을 형성하는 단계와, 상기 플로팅 게이트 상에서 상기 질화층의 표면에 대해 평탄화(planarizing)를 수행하는 단계를 포함하는 방법.

청구항 12

제11항에 있어서, 상기 평탄화를 수행하는 단계에 의해 형성된 표면에 도선(conductor)을 형성하는 단계를 더 포함하는 방법.

청구항 13

제11항에 있어서, 상기 평탄화 단계는 화학적/기계적 연마 단계(polishing step)를 포함하는 공정에 의해 수행되는 방법.

청구항 14

제11항에 있어서, 상기 질화층, 상기 플로팅 게이트층, 상기 터널링 산화층중 선택된 부분들을 선택적으로 제거하는 단계와, 상기 선택적으로 제거하는 단계에 의해 형성된 개구들(openings)을 통해 상기 기판 내로 불순물을 주입(implanting)하는 단계를 더 포함하는 메모리 셀 제조 방법.

청구항 15

제14항에 있어서, 복수의 접촉부를 선택적으로 증착하는 단계를 더 포함하며, 상기 각각의 접촉부는 상기 질화층이 제거된 영역 내에 증착되는 메모리 셀 제조 방법.

청구항 16

제15항에 있어서, 상기 접촉부들에 중첩되고, 제1좌표 방향으로 연장되며 상기 복수의 접촉부중 하나를 번갈아서 접속시키는 소스 라인 접속부를 형성하는 단계와, 상기 접촉부들에 중첩되고, 상기 제1좌표 방향에 수직인 제2좌표 방향으로 연장되며, 상기 복수의 접촉부중 나머지를 번갈아서 접속시키는 추가 접속부를 형성하는 단계를 더 포함하는 방법.

청구항 17

반도체 장치를 제조하는 방법에 있어서, 반도체 기판의 영역 위에 제1두께의 패드 산화물을 형성하는 단계와, 상기 패드 산화물 위에 재료층을 형성하고, 상기 패드 산화물 및 상기 재료 층중 적어도 제1선택 영역을 제거하는 단계와, 상기 제1선택 영역 내에 산화물을 제2두께로 재성장시키는 단계와, 상기 패드 산화물중 적어도 제2선택 영역을 제거하는 단계와, 상기 제2선택 영역 내에 산화물을 제3두께로 재성장시키는 단계와, 상기 패드 산화물중 남아있는 부분을 절연체로서 사용하여 전자 장치를 형성하는 단계를 포함하는 방법.

청구항 18

제17항에 있어서, 상기 패드 산화물의 제3영역 위에 전극을 형성하는 단계를 더 포함하며, 상기 제3영역은 상기 제1영역 또는 상기 제2영역 이외의 상기 패드 산화물 영역인 방법.

청구항 19

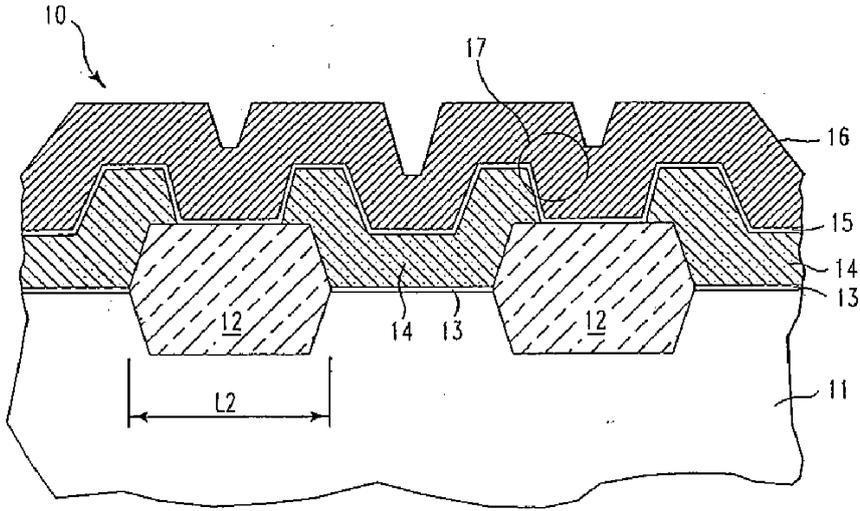
제17항에 있어서, 상기 제1영역 또는 상기 제2영역 내에 재성장된 산화물의 한 부분 위에 전도성 재료를 증착시키는 단계를 더 포함하는 방법.

청구항 20

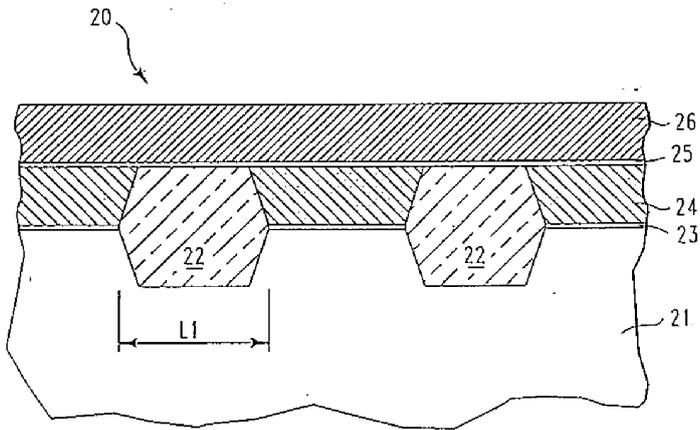
제17항에 있어서, 상기 제2영역 내의 산화물의 상기 제3두께는 상기 제1두께보다 큰 두께로 재성장되며, 상기 제3두께를 갖는 상기 산화물중 적어도 한 부분 위에 전극을 형성하는 단계를 더 포함하는 방법.

도면

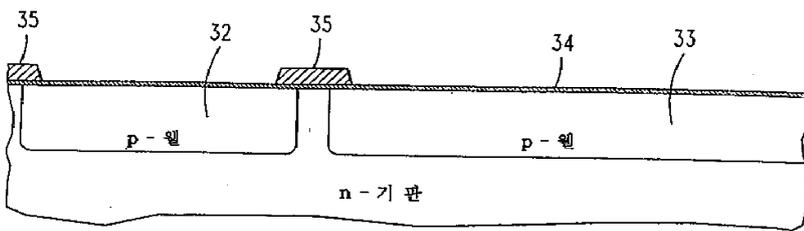
도면1



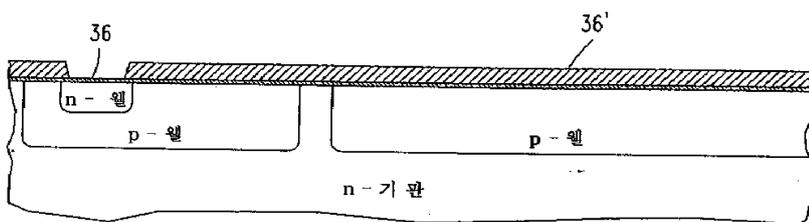
도면2



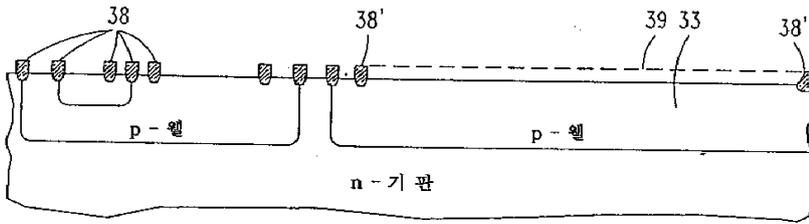
도면3



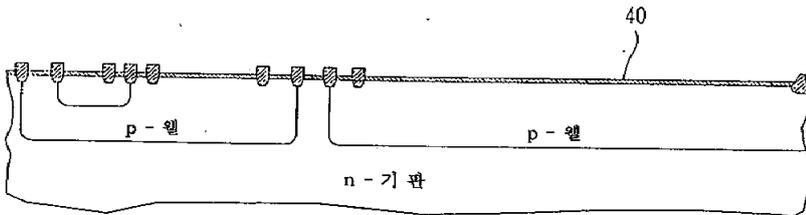
도면4



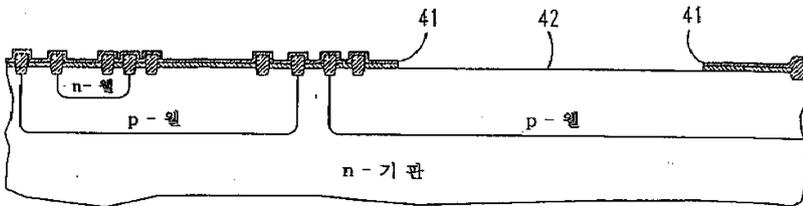
도면5



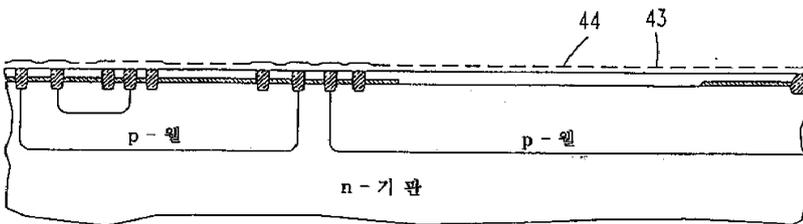
도면6



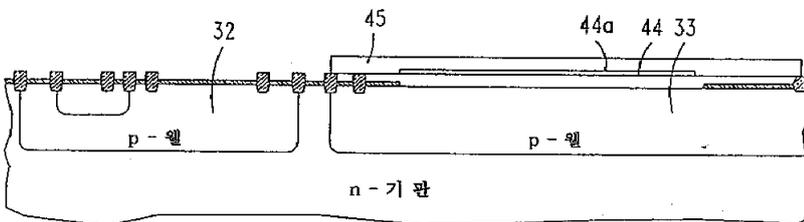
도면7



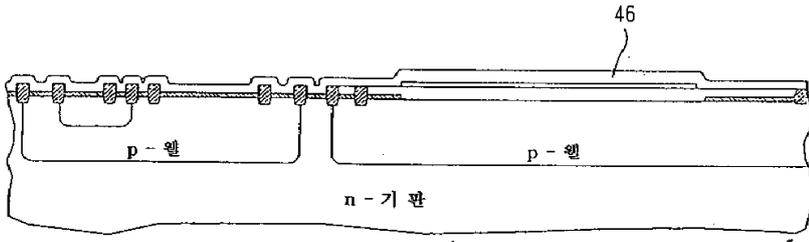
도면8



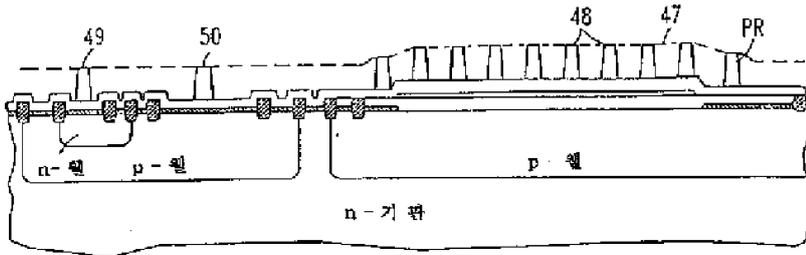
도면9



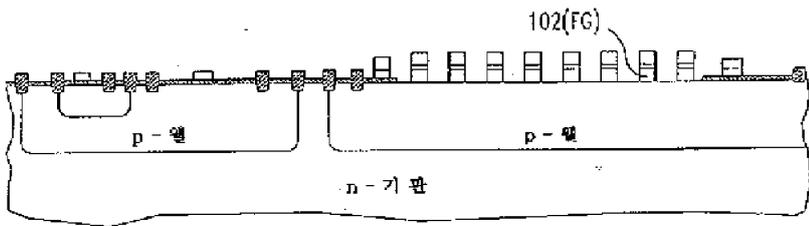
도면10



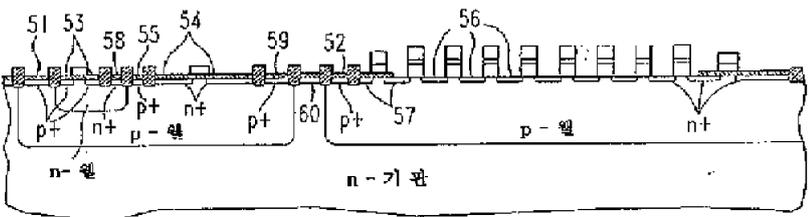
도면11



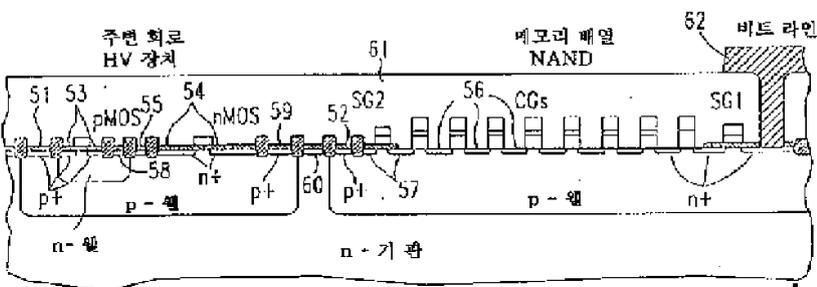
도면12



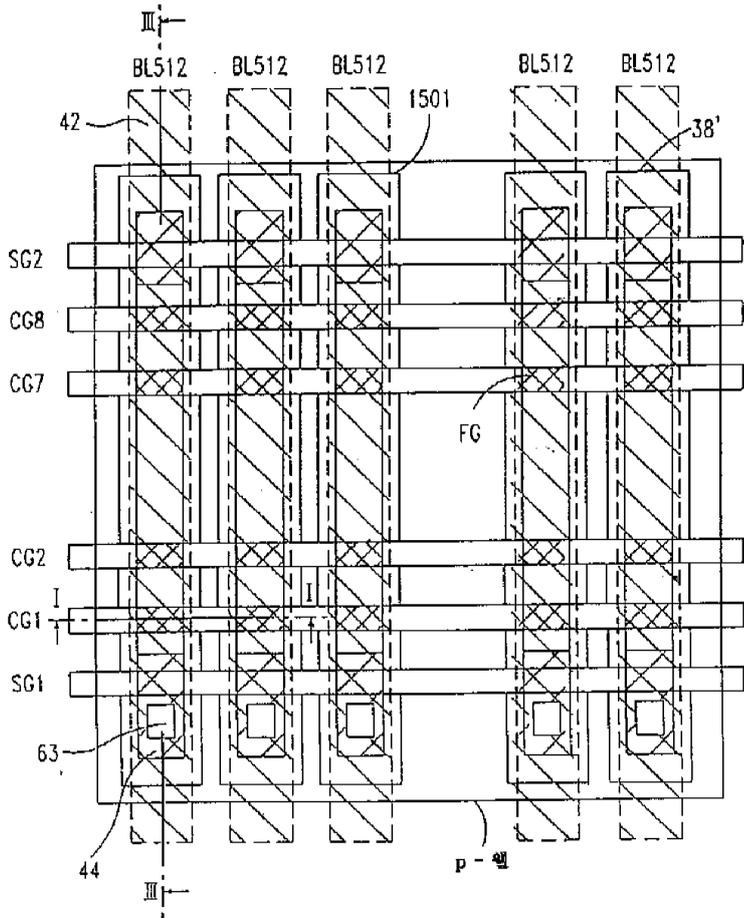
도면13



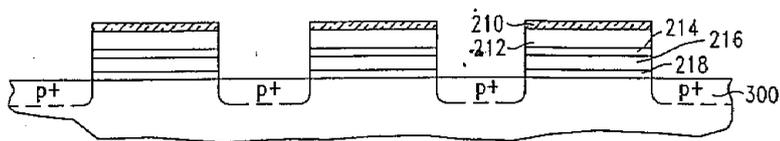
도면14



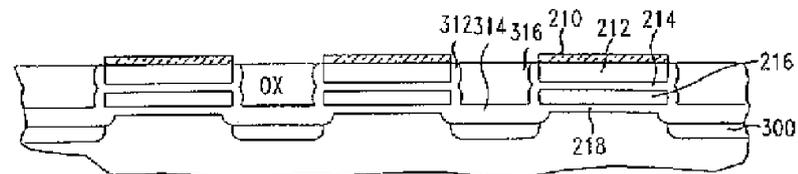
도면15



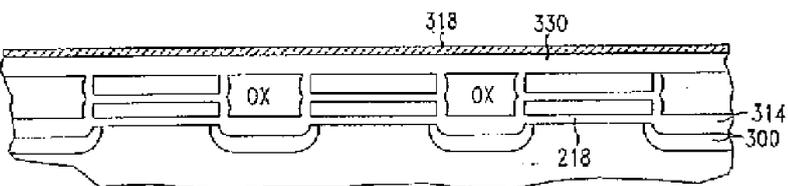
도면16



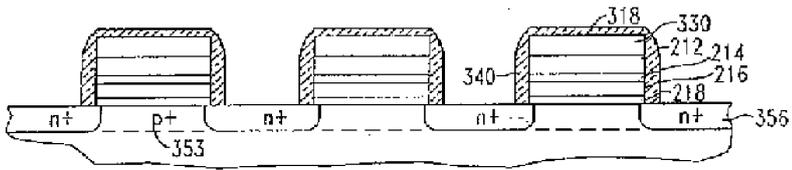
도면17



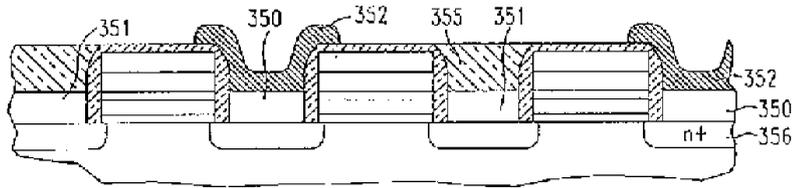
도면18



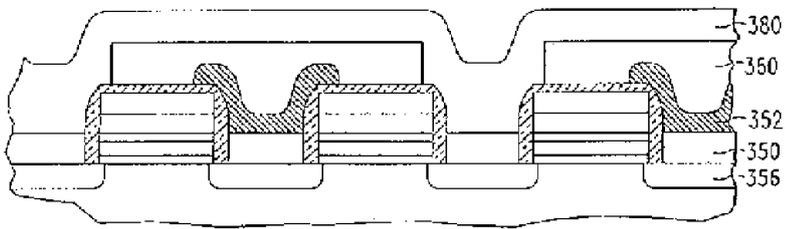
도면19



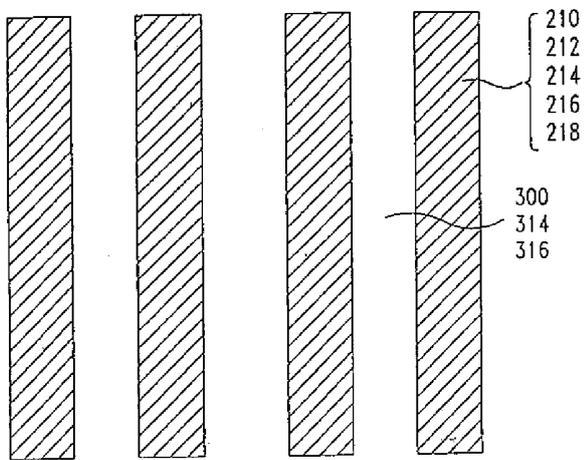
도면20



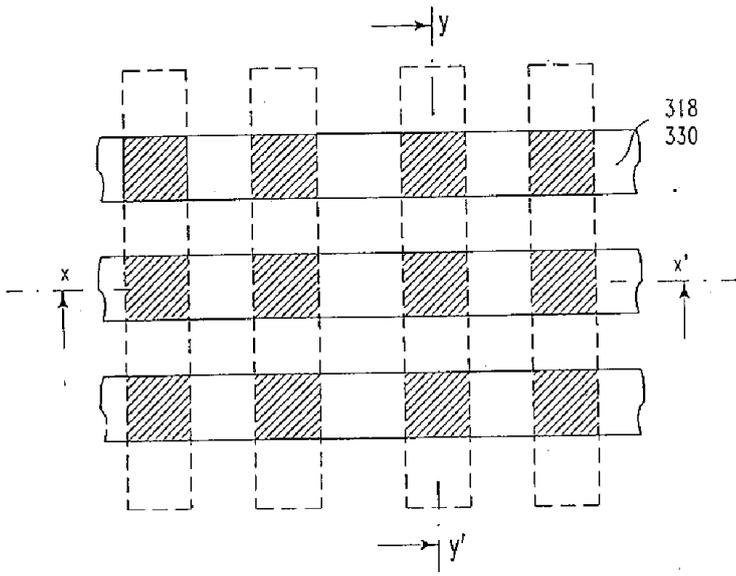
도면21



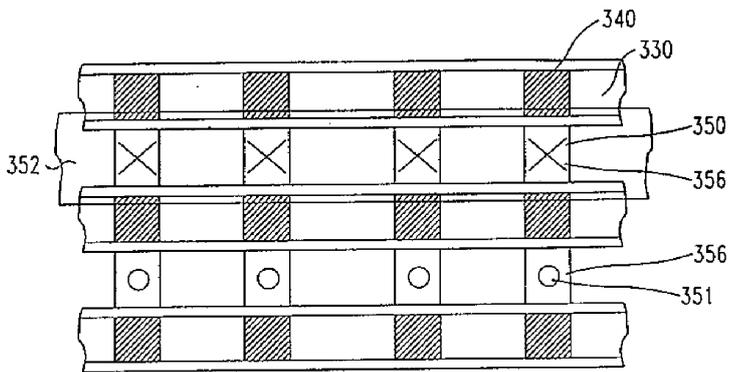
도면22



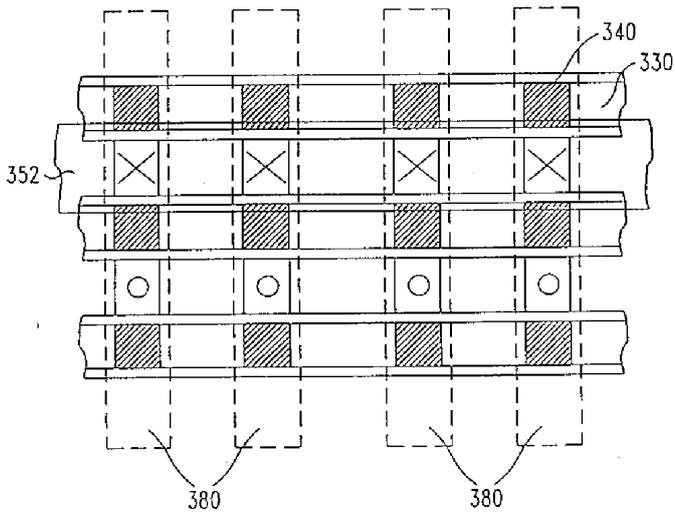
도면23



도면24



도면25



도면26

