



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월03일  
(11) 등록번호 10-0855726  
(24) 등록일자 2008년08월26일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0012959  
(22) 출원일자 2007년02월07일  
심사청구일자 2007년02월07일  
(65) 공개번호 10-2007-0080603  
(43) 공개일자 2007년08월10일  
(30) 우선권주장  
11/348,640 2006년02월07일 미국(US)  
(56) 선행기술조사문헌  
KR1020040054250 A  
US20060226409 A1  
US20070108430 A1

(73) 특허권자

키몬다 아게

독일 81739 뮌헨 구스타프-하이네만-링 212

(72) 발명자

그루에닝 폰 쉬버린, 올리케

독일 81735 뮌헨 아담-베르크-슈트라세 115에

하프, 토마스

미국 뉴욕 10591 테리타운, 스톱 스트리트 2, 31

필립, 안 보리스

미국 뉴욕 10566 픽스킬 매너 드라이브 5601

(74) 대리인

특허법인화우

전체 청구항 수 : 총 26 항

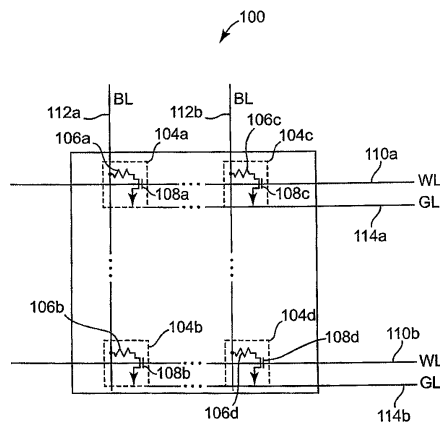
심사관 : 장혜정

(54) 상 변화 메모리 셀의 단열에 관한 메모리, 반도체 메모리디바이스 및 메모리 제조 방법

**(57) 요약**

메모리는 메모리 셀들의 어레이를 포함하고, 각각의 메모리 셀은 저항성 물질을 포함하며; 각각의 메모리 셀의 저항성 물질을 가로방향으로 둘러싸는 제 1 절연 물질; 및 각각의 메모리 셀을 단열시키기 위해 상기 메모리 셀들 사이에 열 확산기를 포함한다.

**대표도** - 도1



**특허청구의 범위**

**청구항 1**

메모리에 있어서,

메모리 셀들의 어레이를 포함하고, 각각의 메모리 셀은 저항성 요소를 포함하며;

각각의 메모리 셀의 상기 저항성 요소를 둘러싸는 제 1 절연 물질; 및

각각의 메모리 셀을 단열(thermally isolate)시키기 위해 상기 메모리 셀들 사이에 열 확산기(heat spreader)를 포함하는 것을 특징으로 하는 메모리.

**청구항 2**

제 1 항에 있어서,

상기 제 1 절연 물질은 SiO<sub>2</sub>, 다공성 SiO<sub>2</sub>, 에어로겔(aerogel), 크세로겔(xerogel) 및 낮은-k 유전체로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 메모리.

**청구항 3**

제 1 항에 있어서,

상기 열 확산기는 SiN, SiON, AlN, TiO<sub>2</sub> 및 Al<sub>2</sub>O<sub>3</sub>로 구성된 그룹으로부터 선택된 제 2 절연 물질을 포함하는 것을 특징으로 하는 메모리.

**청구항 4**

제 1 항에 있어서,

상기 열 확산기는 상기 제 1 절연 물질과 접촉하는 제 2 절연 물질을 포함하고,

상기 제 1 절연 물질은 상기 제 2 절연 물질보다 낮은 열 전도율을 갖는 것을 특징으로 하는 메모리.

**청구항 5**

제 1 항에 있어서,

상기 저항성 요소는 상-변화 물질 요소를 포함하는 것을 특징으로 하는 메모리.

**청구항 6**

제 1 항에 있어서,

상기 열 확산기는 전기 절연성 물질 및 전기 도전성 물질 중 하나를 포함하는 것을 특징으로 하는 메모리.

**청구항 7**

제 1 항에 있어서,

상기 저항성 요소는 기록 동작에 응답하여 온도가 증가하도록 구성되는 것을 특징으로 하는 메모리.

**청구항 8**

제 1 항에 있어서,

상기 저항성 요소는 자기 메모리 요소를 포함하는 것을 특징으로 하는 메모리.

**청구항 9**

메모리에 있어서,

저항성 메모리 셀들의 어레이;

상기 메모리 셀들 주변에 제 1 열 전도율을 갖는 절연 물질; 및

상기 메모리 셀들을 단열시키기 위해 상기 메모리 셀들의 라인들 사이에 상기 제 1 열 전도율보다 높은 제 2 열 전도율을 갖는 물질의 라인들을 포함하는 것을 특징으로 하는 메모리.

**청구항 10**

제 9 항에 있어서,

상기 라인들은 SiN, 금속 및 폴리(poly)-Si로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 메모리.

**청구항 11**

제 9 항에 있어서,

상기 라인들은 전기 라인들을 포함하는 것을 특징으로 하는 메모리.

**청구항 12**

제 9 항에 있어서,

상기 절연 물질은 SiO<sub>2</sub>, BPSG, BSG 및 낮은-k 유전체로 구성된 그룹으로부터 선택되는 것을 특징으로 하는 메모리.

**청구항 13**

제 9 항에 있어서,

상기 메모리 셀은 상-변화 메모리 셀들을 포함하는 것을 특징으로 하는 메모리.

**청구항 14**

반도체 메모리 디바이스에 있어서,

저항성 메모리 셀들의 어레이; 및

인접한 메모리 셀들의 가열을 방지하기 위해 기록 동작 시에 각각의 메모리 셀로부터 열을 방산(dissipate)시키는 수단을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 15**

제 14 항에 있어서,

상기 메모리 셀들은 Ge, Sb, Te, Ga, As, In, Se 및 S 중 1 이상을 포함하는 것을 특징으로 하는 반도체 메모리 디바이스.

**청구항 16**

메모리를 제조하는 방법에 있어서,

저항성 메모리 셀들의 어레이를 제공하는 단계를 포함하고, 각각의 저항성 메모리 셀은 저항성 요소를 포함하며;

제 1 열 전도율을 갖는 제 1 절연 물질로 각각의 저항성 요소를 둘러싸는 단계; 및

상기 제 1 열 전도율보다 큰 제 2 열 전도율을 갖는 제 2 절연 물질로 상기 저항성 요소들 사이를 채우는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 17**

제 16 항에 있어서,

상기 저항성 메모리 셀들의 어레이를 제공하는 단계는 상-변화 메모리 셀들의 어레이를 제공하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 18**

제 16 항에 있어서,

상기 제 1 절연 물질로 각각의 저항성 요소를 둘러싸는 단계는 SiO<sub>2</sub>, 다공성 SiO<sub>2</sub>, 에어로겔, 크세로겔 및 낮은-k 유전체로 구성된 그룹으로부터 선택된 제 1 절연 물질로 각각의 저항성 요소를 둘러싸는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 19**

제 16 항에 있어서,

상기 제 2 절연 물질로 상기 저항성 요소들 사이를 채우는 단계는 SiN, SiON, AlN, TiO<sub>2</sub> 및 Al<sub>2</sub>O<sub>3</sub>로 구성된 그룹으로부터 선택된 제 2 절연 물질로 상기 저항성 요소들 사이를 채우는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 20**

메모리를 제조하는 방법에 있어서,

저항성 메모리 셀들의 어레이를 제공하는 단계를 포함하고, 각각의 저항성 메모리 셀은 저항성 요소를 포함하며; 및

상기 메모리 셀들을 단열시키기 위해 상기 메모리 셀들의 행(row)들 사이에 열 확산기 또는 차폐 라인들을 제공하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 21**

제 20 항에 있어서,

상기 열 확산기 또는 차폐 라인들을 제공하는 단계는 상기 저항성 요소들과 공면(coplanar)인 금속 라인을 제공하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 22**

제 20 항에 있어서,

상기 열 확산기 또는 차폐 라인들을 제공하는 단계는 상기 저항성 요소들과 공면인 비트 라인 및 접지 라인 중 하나를 제공하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 23**

제 20 항에 있어서,

상기 저항성 메모리 셀들의 어레이를 제공하는 단계는 상-변화 메모리 셀들의 어레이를 제공하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 24**

메모리를 제조하는 방법에 있어서,

사전처리된 웨이퍼 상에 캡핑 층(capping layer)을 갖는 금속 라인들을 형성하는 단계;

제 1 절연 물질로 상기 금속 라인들 사이의 갭들을 채우는 단계;

상기 금속 라인들에 대해 소정 각도에서 경로들을 따라 저장 노드 리소그래피(storage node lithography)를 수행하는 단계;

상기 금속 라인들에 대해 자기-정렬된(self-aligned) 상기 제 1 절연 물질 안으로 저장 노드 콘택 홀들을 에칭하는 단계;

상기 콘택 홀들 내에 후퇴된 제 1 전극들을 형성하는 단계;

상기 제 1 전극 형성 이전 또는 이후에 상기 콘택 홀들의 벽들 상에 제 2 절연 물질을 형성하는 단계;  
저항성 물질 요소들을 제공하기 위해 상기 제 1 전극들 위에 저항성 물질을 증착하는 단계; 및  
상기 저항성 물질 위에 제 2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 25**

제 24 항에 있어서,

상기 금속 라인들을 형성하는 단계는 접지 라인들 및 더미 접지 라인들을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**청구항 26**

제 24 항에 있어서,

상기 금속 라인들을 형성하는 단계는 인접한 저항성 물질 요소들을 단열시키기 위해 상기 금속 라인들을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <18> 본 출원서는 본 명세서에 인용 참조되고 있는 2005년 10월 27에 출원된 "PHASE CHANGE MEMORY CELL"이라는 제목의 미국 특허 출원 일련번호 11/260,346호에 관한 것이다.
- <19> 비-휘발성 메모리의 일 형태는 저항성 메모리이다. 저항성 메모리는 1 이상의 데이터 비트를 저장하기 위해 메모리 요소의 저항값을 이용한다. 예를 들어, 높은 저항값을 갖도록 프로그램된 메모리 요소는 로직(logic) "1" 데이터 비트 값을 나타낼 수 있으며, 낮은 저항값을 갖도록 프로그램된 메모리 요소는 로직 "0" 데이터 비트 값을 나타낼 수 있다. 메모리 요소의 저항값은 메모리 요소에 전압 또는 전류를 인가함으로써 전기적으로 스위칭된다. 저항성 메모리의 일 형태는 MRAM(magnetic random access memory)이다. 저항성 메모리의 또 다른 형태는 상-변화 메모리이다. 본 발명은 상-변화 메모리에 대해 서술되나, 본 발명은 여하한의 적절한 타입의 저항성 메모리에 적용될 수 있다.
- <20> 상-변화 메모리는 저항성 메모리 요소용 상-변화 물질을 이용한다. 상-변화 물질은 2 이상의 상이한 상태를 나타낸다. 상-변화 물질의 상태는 비정질(amorphous) 및 결정질(crystalline) 상태라고도 언급될 수 있다. 일반적으로는 비정질 상태가 결정질 상태보다 더 높은 저항률(resistivity)을 나타내기 때문에, 상기의 상태들은 구별될 수 있다. 일반적으로, 비정질 상태는 더 무질서한(disordered) 원자 구조를 수반하는 한편, 결정질 상태는 더 질서있는 격자(ordered lattice)를 특징으로 한다. 몇몇 상-변화 물질은 2 이상의 결정질 상태, 예를 들어 면심입방(face-centered cubic: FCC) 상태 및 육방밀집(hexagonal closest packing: HCP) 상태를 나타낸다. 이들 두 결정질 상태는 상이한 저항률을 갖는다.
- <21> 상-변화 물질의 상 변화는 가역적으로(reversibly) 유도될 수 있다. 이러한 방식으로 상-변화 물질은 온도 변화에 응답하여 비정질 상태에서부터 결정질 상태로, 또한 결정질 상태에서부터 비정질 상태로 변화될 수 있다. 상-변화 물질에 대한 온도 변화는 다양한 방식으로 달성될 수 있다. 예를 들면, 상-변화 물질로 레이저가 지향될 수 있거나, 상-변화 물질을 통해 전류가 구동될 수 있거나, 상-변화 물질에 인접한 저항성 히터를 통해 전류가 공급될 수 있다. 이러한 방법들 중 어느 방법으로도, 상-변화 물질의 제어가능한 가열은 상-변화 물질 내에서의 제어가능한 상 변화를 유도한다.
- <22> 메모리 셀의 기록 동작 시 상-변화 메모리 셀 또는 여타의 저항성 메모리 셀 내에서 발생된 열이 이웃하는 메모리 셀로 열 전도되는 때에 열적 잡음(thermal crosstalk)이 생긴다. 기록 동작 시, 선택된 메모리 셀 내에는 많은 양의 열이 존재할 수도 있으나, 이웃하는 메모리 셀들은 상당한 온도 상승을 보이지 않아야 한다. 전도된 열로 인해 발생된 이웃하는 메모리 셀의 위치에서의 온도 상승이 충분히 큰 경우, 이웃하는 메모리 셀의 상태가

영향을 받을 수도 있으며, 그 안에 저장된 데이터가 오염(corrupt)될 수도 있다.

<23> 실온에서 동작하는 통상적인 상-변화 메모리들은 통상적으로 열적 잡음에 영향을 받지 않는다. 예를 들어, 저항성 요소들에 대해  $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 이용하는 통상적인 상-변화 메모리의 경우, 재설정 동작(reset operation) 시 이웃하는 상-변화 메모리 셀의 온도 증가는 통상적으로 최대 약 50 °C이다. 그러므로, 실온에서 동작하는 이 상-변화 메모리는 통상적으로 10 년 넘게 결정화에 대해 저항성이 있는 비정질 비트의 최대 온도인 110 °C 이하의 최대 온도를 갖는다. 그러므로, 이 최대 온도는 상-변화 메모리 데이터 보유를 10 년으로 제한한다. 하지만, 상-변화 메모리가 상승된 온도, 예컨대 70 °C에서 동작하고 있는 경우, 내재적(intrinsic) 열 확산은 이웃하는 상-변화 메모리 셀 온도가 10 년의 데이터 보유 동안에 특정화된 110 °C 이하로 유지될 것이라는 것을 보장하기에는 더 이상 충분하지 않다.

**발명이 이루고자 하는 기술적 과제**

<24> 본 발명의 일 실시예는 메모리를 제공한다. 상기 메모리는 메모리 셀들의 어레이를 포함하고, 각각의 메모리 셀은 저항성 물질을 포함하며; 각각의 메모리 셀의 저항성 물질을 가로방향으로 둘러싸는 제 1 절연 물질; 및 각각의 메모리 셀을 단열(thermally isolate)시키기 위해 상기 메모리 셀들 사이에 열 확산기(heat spreader)를 포함한다.

**발명의 구성 및 작용**

<25> 도 1은 상-변화 메모리 셀들(100)의 어레이의 일 실시예를 예시하는 도면이다. 메모리 어레이(100)는 열적 잡음이 메모리 셀들의 데이터 보유에 영향을 주는 것을 막기 위해 메모리 셀들 사이에 단열 물질을 포함한다. 메모리 어레이(100)는 복수의 상-변화 메모리 셀들(104a 내지 104d)(집합적으로 상-변화 메모리 셀들(104)이라고 함), 복수의 비트 라인들(BL)(112a 및 112b)(집합적으로 비트 라인들(112)이라고 함), 복수의 워드 라인들(WL)(110a 및 110b) 및 복수의 접지 라인들(GL)(114a 및 114b)(집합적으로 접지 라인들(114)이라고 함)을 포함한다.

<26> 각각의 상-변화 메모리 셀(104)은 워드 라인(110), 비트 라인(112) 및 접지 라인(114)에 전기적으로 커플링된다. 예를 들어, 상-변화 메모리 셀(104a)은 비트 라인(112a), 워드 라인(110a) 및 접지 라인(114a)에 전기적으로 커플링되고, 상-변화 메모리 셀(104b)은 비트 라인(112a), 워드 라인(110b) 및 접지 라인(114b)에 전기적으로 커플링된다. 상-변화 메모리 셀(104c)은 비트 라인(112b), 워드 라인(110a) 및 접지 라인(114a)에 전기적으로 커플링되며, 상-변화 메모리 셀(104d)은 비트 라인(112b), 워드 라인(110b) 및 접지 라인(114b)에 전기적으로 커플링된다.

<27> 각각의 상-변화 메모리 셀(104)은 상-변화 요소(106) 및 트랜지스터(108)를 포함한다. 트랜지스터(108)는 예시된 실시예에서 전계 효과 트랜지스터(FET)이며, 다른 실시예들에서 트랜지스터(108)는 바이폴라 트랜지스터 또는 3D 트랜지스터 구조체와 같은 다른 적합한 디바이스들일 수 있다. 상-변화 메모리 셀(104a)은 상-변화 요소(106a) 및 트랜지스터(108a)를 포함한다. 상-변화 요소(106a)의 한쪽은 비트 라인(112a)에 전기적으로 커플링되고, 상-변화 요소(106a)의 다른 한쪽은 트랜지스터(108a)의 소스-드레인 경로의 한쪽에 전기적으로 커플링된다. 트랜지스터(108a)의 소스-드레인 경로의 다른 한쪽은 접지 라인(114a)에 전기적으로 커플링된다. 트랜지스터(108a)의 게이트는 워드 라인(110a)에 전기적으로 커플링된다. 상-변화 메모리 셀(104b)은 상-변화 요소(106b) 및 트랜지스터(108b)를 포함한다. 상-변화 요소(106b)의 한쪽은 비트 라인(112a)에 전기적으로 커플링되고, 상-변화 요소(106b)의 다른 한쪽은 트랜지스터(108b)의 소스-드레인 경로의 한쪽에 전기적으로 커플링된다. 트랜지스터(108b)의 소스-드레인 경로의 다른 한쪽은 접지 라인(114b)에 전기적으로 커플링된다. 트랜지스터(108b)의 게이트는 워드 라인(110b)에 전기적으로 커플링된다.

<28> 상-변화 메모리 셀(104c)은 상-변화 요소(106c) 및 트랜지스터(108c)를 포함한다. 상-변화 요소(106c)의 한쪽은 비트 라인(112b)에 전기적으로 커플링되고, 상-변화 요소(106c)의 다른 한쪽은 트랜지스터(108c)의 소스-드레인 경로의 한쪽에 전기적으로 커플링된다. 트랜지스터(108c)의 소스-드레인 경로의 다른 한쪽은 접지 라인(114a)에 전기적으로 커플링된다. 트랜지스터(108c)의 게이트는 워드 라인(110a)에 전기적으로 커플링된다. 상-변화 메모리 셀(104d)은 상-변화 요소(106d) 및 트랜지스터(108d)를 포함한다. 상-변화 요소(106d)의 한쪽은 비트 라인(112b)에 전기적으로 커플링되고, 상-변화 요소(106d)의 다른 한쪽은 트랜지스터(108d)의 소스-드레인 경로의 한쪽에 전기적으로 커플링된다. 트랜지스터(108d)의 소스-드레인 경로의 다른 한쪽은 접지 라인(114b)에 전기적으로 커플링된다. 트랜지스터(108d)의 게이트는 워드 라인(110b)에 전기적으로 커플링된다.

- <29> 또 다른 실시예에서, 각각의 상-변화 요소(106)는 접지 라인(114)에 전기적으로 커플링되고, 각각의 트랜지스터(108)는 비트 라인(112)에 전기적으로 커플링된다. 예를 들어, 상-변화 메모리 셀(104a)의 경우, 상-변화 요소(106a)의 한쪽은 접지 라인(114a)에 전기적으로 커플링된다. 상-변화 요소(106a)의 다른 한쪽은 트랜지스터(108a)의 소스-드레인 경로의 한쪽에 전기적으로 커플링된다. 트랜지스터(108a)의 소스-드레인 경로의 다른 한쪽은 비트 라인(112a)에 전기적으로 커플링된다. 일반적으로, 접지 라인들(114)은 비트 라인들(112)보다 낮은 전위를 갖는다.
- <30> 각각의 상-변화 요소(106)는 본 발명에 따른 다양한 물질들로 구성될 수 있는 상-변화 물질을 포함한다. 일반적으로, 이러한 물질로는 주기율표의 VI 족으로부터 1 이상의 원소들을 포함하는 칼코게나이드(chalcogenide) 합금이 유용하다. 일 실시예에서 상-변화 요소(106)의 상-변화 물질은 GeSbTe, SbTe, GeTe 또는 AgInSbTe와 같은 칼코게나이드 화합물 물질로 구성된다. 또 다른 실시예에서 상-변화 물질은 GeSb, GaSb, InSb 또는 GeGaInSb와 같이 칼코겐이 없을 수 있다. 다른 실시예들에서 상-변화 물질은 원소들 Ge, Sb, Te, Ga, As, In, Se 및 S 중 1 이상을 포함하는 여하한 적합한 물질로 구성될 수 있다.
- <31> 메모리 어레이(100)는 인접한 상-변화 메모리 셀들(104) 사이에 단일 물질을 포함한다. 일 실시예에서 각각의 상-변화 메모리 요소(106)는 단열을 제공하는 물질에 의해 둘러싸여 있고, 메모리 셀들 사이의 공간은 열 전도를 제공하는 물질로 적어도 부분적으로 채워진다. 열 전도를 제공하는 물질은 각각의 상-변화 요소(106) 주변의 단열을 제공하는 물질을 통해 누출되는 여하한의 열을 소실한다. 용이한 열 확산과 절연의 조합은 설정(set) 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들(104)의 온도를 더 낮게 한다. 따라서, 열적 잡음이 감소되고 데이터 보유가 향상된다.
- <32> 또 다른 실시예에서 높은 열 전도율을 갖는 물질이 인접한 상-변화 메모리 셀들(104) 사이에 위치된다. 인접한 상-변화 요소들(106) 사이에는 추가 금속성 또는 반도체 열 차폐부(shield) 또는 열 확산기가 위치된다. 열 확산기는 수 개의 메모리 셀들의 길이에 걸쳐 신속히 열을 분산시킴에 따라, 상-변화 요소들(106)을 냉각시키고 인접한 상-변화 요소들(106)을 열로부터 차폐하기 위해 효과적으로 기능한다. 일 실시예에서 열 확산기는 상-변화 요소들(106) 사이에서 2D 네트워크로서 형성된다. 또 다른 실시예에서, 열 확산기들은 인접한 상-변화 요소들이 메모리 어레이(100) 내에서 서로 가장 가까운 방향으로 상-변화 요소들(106) 사이에서 병렬로 형성된다.
- <33> 또 다른 실시예에서, 금속 라인이 인접한 상-변화 요소들(106) 사이에서 정해진다(routed). 금속 라인은 접지 라인(114) 또는 비트 라인(112)과 같이 메모리 어레이(100) 내의 활성 금속 라인일 수 있다. 이 실시예는 상-변화 메모리 셀(104)의 상-변화 요소(106) 및 저부 전극이 라인 리소그래피(line lithography)를 이용하여 소정 각도, 예컨대 90° 또는 여타의 적합한 각도로 아래 놓인(underlying) 금속 라인까지 또한 상기 아래 놓인 금속 라인에 대한 선택적인 에칭까지 형성될 수 있다는 부가적인 장점을 갖는다. 주어진 리소그래피 노드(node)를 위한 라인 리소그래피는 콘택 홀(contact hole) 패턴보다 더 양호한 분해능(resolution) 및 선폭 제어를 가지므로, 상-변화 메모리 셀(104)의 기하학적 치수의 안정성을 향상시키고, 이에 따라 상-변화 메모리 셀(104)의 스위칭 특성을 향상시킨다.
- <34> 상-변화 메모리 셀(104a)의 설정 동작 시, 설정 전류 또는 전압 펄스는 선택적으로 인에이블되며, 비트 라인(112a)을 통해 상-변화 요소(106a)로 보내짐에 따라, 트랜지스터(108a)를 활성화하기 위해 선택된 워드 라인(110a)으로 상-변화 요소(106a)를 그 결정화 온도 이상으로(그러나 통상적으로는 용융 온도 이하로) 가열한다. 이러한 방식으로 상-변화 요소(106a)는 이러한 설정 동작 시 그 결정질 상태에 도달한다. 상-변화 메모리 셀(104a)의 재설정 동작 시, 재설정 전류 또는 전압 펄스는 비트 라인(112a)에 선택적으로 인에이블되고 상-변화 물질 요소(106a)에 보내진다. 재설정 전류 또는 전압은 상-변화 요소(106a)를 그 용융 온도 이상으로 신속히 가열한다. 전류 또는 전압 펄스가 턴 오프(turn off) 된 후, 상-변화 요소(106a)는 신속히 쿼칭 냉각(quench cool)되어 비정질 상태가 된다. 메모리 어레이(100) 내의 상-변화 메모리 셀들(104b 내지 104d) 및 여타의 상-변화 메모리 셀들(104)은 유사한 전류 또는 전압 펄스를 사용하여 상-변화 메모리 셀(104a)과 유사하게 설정 및 재설정된다.
- <35> 도 2는 단열 물질을 포함하는 상-변화 메모리 셀들(100a)의 어레이의 일 실시예를 예시하는 도면이다. 메모리 어레이(100a)는 비트 라인들(112), 워드 라인들(110), 상-변화 메모리 셀들(104), 제 1 절연 물질(120) 및 제 2 절연 물질(122)을 포함한다. 각각의 상-변화 메모리 셀(104) 또는 각각의 상-변화 메모리 셀(104) 내의 각각의 메모리 요소(106)는 낮은 열 전도율을 갖는 제 1 절연 물질, 예컨대 SiO<sub>2</sub>, 낮은-k 물질, 다공성 SiO<sub>2</sub>, 에어로겔, 크세로겔 또는 낮은 열 전도율을 갖는 다른 적합한 절연 물질에 의해 둘러싸여 있다. 제 2 절연 물질(122)은 메모리 셀들(104) 사이에 있으며, 제 1 절연 물질(120)과 접촉한다. 제 2 절연 물질(122)은 제 1 절연



물질(120)보다 높은 열 전도율을 갖는 유전 물질을 포함한다. 제 2 절연 물질(122)은 SiN, SiON, AlN, TiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub> 또는 제 1 절연 물질(120)보다 높은 열 전도율을 갖는 다른 적합한 유전 물질을 포함한다.

- <36> 제 1 절연 물질(120)의 낮은 열 전도율은 메모리 셀들(104)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 메모리 셀들(104) 주변의 제 1 절연 물질(120)을 통해 누출되는 여하한 열을 신속하게 소실한다. 제 1 절연 물질(120)로 인한 단열과 제 2 절연 물질(122)로 인한 열 확산의 조합은 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들(104)의 온도를 더 낮게 한다. 따라서, 열적 잡음이 감소되고 데이터 보유가 향상된다.
- <37> 도 3은 단열 물질을 포함하는 상-변화 메모리 셀들(100b)의 어레이의 또 다른 실시예들을 예시하는 도면이다. 메모리 어레이(100b)는 비트 라인들(112), 워드 라인들(110), 상-변화 메모리 셀들(104), 제 1 열 확산기 또는 차폐 라인들(130), 및 선택적인 제 2 열 확산기 또는 차폐 라인들(132)을 포함한다. 일 실시예에서, 제 1 열 확산기 또는 차폐 라인들(130)은 메모리 어레이(100b)의 행(row)들에 걸쳐 평행하게 놓여 있으며, 제 2 열 확산기 또는 차폐 라인들(132)(하나만 도시됨)은 메모리 어레이(100b)의 열(column)들에 걸쳐 평행하게 놓여 있다. 또 다른 실시예에서, 제 2 열 확산기 또는 차폐 라인들(132)이 제외된다. 일 실시예에서, 제 1 가열 확산기 또는 차폐 라인들(130)은 인접한 상-변화 요소들이 메모리 어레이(100b) 내에서 서로 가장 가까운 방향에 있다. 또 다른 실시예에서, 제 1 열 확산기 또는 차폐 라인들(130) 및/또는 선택적인 제 2 열 확산기 또는 차폐 라인들(132)은 비트 라인들(112) 또는 접지 라인들(114)과 같이 활성 금속 라인들이다.
- <38> 제 1 열 확산기 또는 차폐 라인들(130) 및 선택적인 제 2 열 확산기 또는 차폐 라인들(132)은 높은 열 전도율을 갖는 물질, 예컨대 SiN, 금속, 폴리-Si, 또는 높은 열 전도율을 갖는 다른 적합한 물질을 포함한다. 제 1 열 확산기 또는 차폐 라인들(130), 및 제 2 열 확산기 또는 차폐 라인들(132), 및 메모리 셀들(104) 사이의 공간(134)은 층간 유전체(interlayer dielectric), 예컨대 SiO<sub>2</sub>, 보로-포스포실리케이트 글래스(Boro-Phosphosilicate Glass: BPSG), 보로실리케이트 글래스(BSG), 낮은-k 물질 또는 다른 적합한 유전체 물질을 포함한다. 제 1 열 확산기 또는 차폐 라인들(130) 및 선택적 제 2 열 확산기 또는 차폐 라인들(132)은 수 개의 메모리 셀들(104)의 길이에 걸쳐 메모리 셀(104)로부터의 여하한 열을 신속하게 분산시킨다. 제 1 열 확산기 또는 차폐 라인들(130) 및 선택적인 제 2 열 확산기 또는 차폐 라인들(132)은 상-변화 요소들(106)을 냉각시키고, 인접한 상-변화 요소들(106)을 열로부터 차폐하기 위해 효과적으로 기능한다. 따라서, 열적 잡음이 감소되며 데이터 보유가 향상된다.
- <39> 도 4a는 단열 물질을 포함하는 상-변화 메모리 요소(200a)의 일 실시예의 단면도를 예시한다. 일 실시예에서 상-변화 메모리 요소(200a)는 필러(pillar) 상-변화 메모리 요소이다. 상-변화 메모리 요소(200a)는 메모리 어레이(100a) 내의 상-변화 메모리 셀(104)에 사용하기에 적합하게 되어 있다(도 2). 상-변화 메모리 요소(200a)는 제 1 전극(202), 상-변화 물질(204), 제 2 전극(206), 제 1 절연 물질(120) 및 제 2 절연 물질(122)을 포함한다. 제 1 절연 물질(120)은 제 2 절연 물질(122)보다 낮은 열 전도율을 갖는다. 상-변화 물질(204)은 1 개, 2 개, 또는 수 개의 데이터 비트를 저장하는 저장 위치를 제공한다.
- <40> 상-변화 물질(204)은 제 1 전극(202) 및 제 2 전극(206)과 접촉한다. 상-변화 물질(204)은 전류 경로 및 이에 따른 상-변화 물질(204) 내의 상-변화 영역의 위치를 정의하는 제 1 절연 물질(120)에 의해 가로방향으로 완전히 에워싸여 있다. 이 실시예에서, 상-변화 물질(204)은 원통형이다. 제 1 절연 물질(120)은 제 2 전극(206)의 측면들(212)과 접촉한다. 제 2 절연 물질(122)은 제 1 절연 물질(120)을 둘러싸고 있다. 또 다른 실시예에서, 제 1 절연 물질(120)은 제 1 전극(202) 및 제 2 전극(206)의 두 측면과 접촉한다.
- <41> 제 1 절연 물질(120)의 낮은 열 전도율은 상-변화 물질(204)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 제 1 절연 물질(120)을 통해 누출되는 여하한 열을 신속히 방산한다. 제 1 절연 물질(120)로 인한 단열 및 제 2 절연 물질(122)로 인한 열 확산의 조합은 상-변화 메모리 요소(200a)의 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들의 온도를 더 낮게 한다.
- <42> 도 4b는 상-변화 메모리 요소(200b)의 또 다른 실시예의 단면도를 예시한다. 일 실시예에서, 상-변화 메모리 요소(200b)는 필러 상-변화 메모리 요소이다. 상-변화 메모리 요소(200b)는 메모리 어레이(100a) 내의 상-변화 메모리 셀(104)에 사용하기에 적합하게 되어 있다(도 2). 상-변화 메모리 요소(200b)는 제 1 전극(202), 상-변화 물질(204), 제 2 전극(206), 제 1 절연 물질(120), 및 제 2 절연 물질(122)을 포함한다. 제 1 절연 물질(120)은 제 2 절연 물질(122)보다 낮은 열 전도율을 갖는다. 상-변화 물질(204)은 1 개, 2 개, 또는 수 개의 데이터 비트를 저장하는 저장 위치를 제공한다.



- <43> 상-변화 물질(204)은 제 1 전극(202) 및 제 2 전극(206)과 접촉한다. 상-변화 물질(204)은 전류 경로 및 이에 따른 상-변화 물질(204) 내의 상-변화 영역의 위치를 정의하는 제 1 절연 물질(120)에 의해 가로방향으로 완전히 에워싸여 있다. 이 실시예에서 상-변화 물질(204)은 모래시계형이다. 제 1 절연 물질(120)은 제 2 전극(206)의 측면들(212)과 접촉한다. 제 2 절연 물질(122)은 제 1 절연 물질(120)을 둘러싸고 있다.
- <44> 제 1 절연 물질(120)의 낮은 열 전도율은 상-변화 물질(204)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 제 1 절연 물질(120)을 통해 누출되는 여하한의 열을 신속히 방산한다. 제 1 절연 물질(120)로 인한 단열 및 제 2 절연 물질(122)로 인한 열 확산의 조합은 상-변화 메모리 요소(200b)의 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들의 온도를 더 낮게 한다.
- <45> 도 4c는 상-변화 메모리 요소(200c)의 또 다른 실시예의 단면도를 예시한다. 일 실시예에서, 상-변화 메모리 요소(200c)는 필러 상-변화 메모리 셀이다. 상-변화 메모리 요소(200c)는 메모리 어레이(100a) 내의 상-변화 메모리 셀(104)에 사용하기에 적합하게 되어 있다(도 2). 상-변화 메모리 요소(200c)는 제 1 전극(202), 상-변화 물질(204), 제 2 전극(206), 제 1 절연 물질(120), 및 제 2 절연 물질(122)을 포함한다. 제 1 절연 물질(120)은 제 2 절연 물질(122)보다 낮은 열 전도율을 갖는다. 상-변화 물질(204)은 1 개, 2 개, 또는 수 개의 데이터 비트를 저장하는 저장 위치를 제공한다.
- <46> 상-변화 물질(204)은 제 1 전극(202) 및 제 2 전극(206)과 접촉한다. 상-변화 물질(204)은 전류 경로 및 이에 따른 상-변화 물질(204) 내의 상-변화 영역의 위치를 정의하는 제 1 절연 물질(120)에 의해 가로방향으로 완전히 에워싸여 있다. 이 실시예에서 상-변화 물질(204)은 모래시계형이다. 제 2 절연 물질(122)은 제 2 전극(206)의 측면들(212)과 접촉하고, 제 1 절연 물질(120)을 둘러싸고 있다.
- <47> 제 1 절연 물질(120)의 낮은 열 전도율은 상-변화 물질(204)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 제 1 절연 물질(120)을 통해 누출되는 여하한의 열을 신속하게 방산한다. 제 1 절연 물질(120)로 인한 단열 및 제 2 절연 물질(122)로 인한 열 확산의 조합은 상-변화 메모리 요소(200c)의 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들(104)의 온도를 더 낮게 한다.
- <48> 도 5a는 상-변화 메모리 요소(220a)의 또 다른 실시예의 단면도를 설명한다. 일 실시예에서 상-변화 메모리 요소(220a)는 상-변화 메모리 요소를 통해 테이퍼진다(tapered). 상-변화 메모리 요소(220a)는 메모리 어레이(100a) 내의 상-변화 메모리 셀(104)에 사용하기에 적합하게 되어 있다(도 2). 상-변화 메모리 요소(220a)는 제 1 전극(202), 상-변화 물질(204), 제 2 전극(206), 제 1 절연 물질(120), 및 제 2 절연 물질(122)을 포함한다. 제 1 절연 물질(120)은 제 2 절연 물질(122)보다 낮은 열 전도율을 갖는다. 상-변화 물질(204)은 1 개, 2 개 또는 수 개의 데이터 비트를 저장하는 저장 위치를 제공한다.
- <49> 상-변화 물질(204)은 도면번호(226)에서 제 1 전극(202)과 접촉하는 제 1 부분(222) 및 도면번호(228)에서 제 2 전극(206)과 접촉하는 제 2 부분(224)을 포함한다. 제 1 부분(222)을 제공하기 위해 테이퍼진 측벽들을 갖는 비아 개구부(via opening) 내에 상-변화 물질(204)이 채워진다. 제 2 부분(224)을 제공하기 위해 상기 제 1 부분(222) 상에 상-변화 물질(204)이 채워진다. 상-변화 물질(204)의 제 1 부분(222)은 테이퍼진 측벽을 갖고, 도면번호(230)에서 최대 폭 또는 단면을 가지며, 도면번호(226)에서 최소 폭 또는 단면을 갖는다. 제 1 부분(222)의 도면번호(230)에서의 최대 폭은 제 2 부분(224)의 폭 또는 단면보다 작을 수 있다. 상-변화 물질(204)의 제 1 부분(222)은 전류 경로 및 이에 따른 상-변화 물질(204) 내의 상-변화 영역의 위치를 정의하는 제 1 절연 물질(120)에 의해 가로방향으로 완전히 둘러싸여 있다. 제 2 절연 물질(122)은 제 1 절연 물질(120) 및 상-변화 물질(204)의 제 2 부분(224)을 둘러싸고 있다.
- <50> 제 1 절연 물질(120)의 낮은 열 전도율은 상-변화 물질(204)의 제 1 부분(222)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 제 1 절연 물질(120)을 통해 누출되는 여하한의 열을 신속하게 방산한다. 제 1 절연 물질(120)로 인한 단열 및 제 2 절연 물질(122)로 인한 열 확산의 조합은 상-변화 메모리 요소(220a)의 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들의 온도를 더 낮게 한다.
- <51> 도 5b는 상-변화 메모리 요소(220b)의 또 다른 실시예의 단면도를 설명한다. 일 실시예에서 상-변화 메모리 요소(220b)는 상-변화 메모리 요소를 통해 테이퍼진다. 상-변화 메모리 요소(220b)는 메모리 어레이(100a) 내의 상-변화 메모리 셀(104)에 사용하기에 적합하게 되어 있다(도 2). 상-변화 메모리 요소(220b)는 제 1 전극(202), 상-변화 물질(204), 제 2 전극(206), 제 1 절연 물질(120), 및 제 2 절연 물질(122)을 포함한다. 제 1 절연 물질(120)은 제 2 절연 물질(122)보다 낮은 열 전도율을 갖는다. 상-변화 물질(204)은 1 개, 2 개 또는 수 개의 데이터 비트를 저장하는 저장 위치를 제공한다.

- <52> 상-변화 물질(204)은 제 1 전극(202) 및 제 2 전극(206)과 접촉한다. 상-변화 물질(204)은 전류 통로 및 이에 따른 상-변화 물질(204) 내의 상-변화 영역의 위치를 정의하는 제 1 절연 물질(120)에 의해 가로 방향으로 완전히 둘러싸여 있다. 이 실시예에서 상-변화 물질(204)은 테이퍼진 측면들을 갖는다. 제 1 절연 물질(120)은 제 1 전극(202)의 측면들(210) 및 제 2 전극(206)의 측면들(212)과 접촉한다. 제 2 절연 물질(122)은 제 1 절연 물질(120)을 둘러싼다.
- <53> 제 1 절연 물질(120)의 낮은 열 전도율은 상-변화 물질(204)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 제 1 절연 물질(120)을 통해 누출되는 임의의 열을 신속하게 방산한다. 제 1 절연 물질(120)로 인한 단열 및 제 2 절연 물질(122)로 인한 열 확산의 조합은 상-변화 메모리 요소(220b)의 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들의 온도를 더 낮게 한다.
- <54> 도 6a는 상-변화 메모리 요소(250)의 또 다른 실시예의 단면도를 예시하고, 도 6b는 상-변화 메모리 요소(250)의 측면도를 예시한다. 일 실시예에서 상-변화 메모리 요소(250)는 브릿지(bridge) 상-변화 메모리 요소이다. 상-변화 메모리 요소(250)는 메모리 어레이(100a) 내의 상-변화 메모리 셀(104)에 사용하기에 적합하게 되어 있다(도 2). 상-변화 메모리 요소(250)는 제 1 전극(202), 제 1 콘택(252), 상-변화 물질(204), 스페이서(256), 제 2 콘택(254), 제 2 전극(206), 제 1 절연 물질(120), 및 제 2 절연 물질(122)을 포함한다. 제 1 절연 물질(120)은 제 2 절연 물질(122)보다 낮은 열 전도율을 갖는다. 상-변화 물질(204)은 1 개, 2 개 또는 수 개의 데이터 비트를 저장하는 저장 위치를 제공한다.
- <55> 상-변화 물질(204)은 스페이서(256)에 의해 분리된 제 1 콘택(252) 및 제 2 콘택(254)과 접촉한다. 제 1 콘택(252)은 제 1 전극(202)과 접촉하고, 제 2 콘택(254)은 제 2 전극(206)과 접촉한다. 상-변화 물질(204)이 콘택들(252, 254) 및 스페이서(256)와 접촉하는 곳을 제외하고는, 상-변화 물질(204)은 제 1 절연 물질(120)에 의해 둘러싸인다. 제 2 절연 물질(122)은 제 1 절연 물질(120)을 둘러싸고 있다.
- <56> 제 1 절연 물질(120)의 낮은 열 전도율은 상-변화 물질(204)을 단열시킨다. 제 2 절연 물질(122)의 높은 열 전도율은 제 1 절연 물질(120)을 통해 누출되는 임의의 열을 신속하게 방산한다. 제 1 절연 물질(120)로 인한 단열 및 제 2 절연 물질(122)로 인한 열 확산의 조합은 상-변화 메모리 요소(250)의 설정 및 특히 재설정 동작 시 인접한 상-변화 메모리 셀들의 온도를 더 낮게 한다.
- <57> 도 7은 열 차폐부 또는 확산기를 포함하는 상-변화 메모리 셀들을 위한 레이아웃(300)의 일 실시예의 측면도를 예시한다. 상-변화 메모리 셀들을 위한 레이아웃(300)은 메모리 어레이(100b)에 사용하기에 적합하게 되어 있다(도 3). 레이아웃(300)은 기판(302), 비트 라인(112), 접지 라인(114), 트랜지스터들(108), 콘택들(304), 콘택들(306), 상-변화 요소들(106) 및 열 확산기들 또는 차폐부들(130)을 포함한다. 비트 라인(112) 및 접지 라인(114)은 별도의 금속배선 층(metallization layer)들에 있다. 일 실시예에서 비트 라인(112)은 W 또는 여타의 적합한 금속을 포함하며, Al, Cu 또는 여타의 적합한 금속을 포함하는 접지 라인(114)보다 낮은 금속배선 층에 있다. 또 다른 실시예에서 비트 라인(112)은 Al, Cu 또는 여타의 적합한 금속을 포함하며, W 또는 여타의 적합한 금속을 포함하는 접지 라인(114)보다 높은 금속배선 층에 있다.
- <58> 일 실시예에서 비트 라인(112)은 접지 라인(114)에 대해 수직이다. 각각의 트랜지스터(108)의 소스-드레인 경로의 한쪽은 Cu, W 또는 여타의 적합한 도전성 물질을 포함하는 콘택(306)을 통해 접지 라인(114)에 전기적으로 커플링된다. 각각의 트랜지스터(108)의 소스-드레인 경로의 다른 한쪽은 Cu, W 또는 여타의 적합한 도전성 물질을 포함하는 콘택(304) 및 상-변화 요소(106)를 통해 비트 라인(112)에 전기적으로 커플링된다. 각각의 트랜지스터(108)의 게이트는 도핑된 폴리-Si, W, TiN, NiSi, CoSi, TiSi, WSi<sub>x</sub> 또는 여타의 적합한 물질을 포함하는 워드 라인(110)에 전기적으로 커플링된다. 일 실시예에서 메모리 요소(106)는 히터 셀(heater cell), 액티브-인-비아 셀(active-in-via cell), 필러 셀(pillar cell) 또는 여타의 적합한 상-변화 메모리 요소이다.
- <59> 열 확산기 또는 차폐부 라인(130)은 서로 가까우며 접지 라인(114)에 의해 분리되지 않는 인접한 상-변화 요소들(106) 사이에 제공된다. 열 확산기 또는 차폐부 라인들(130)은 높은 열 전도성을 갖는 물질, 예컨대 SiN, 금속, poly-Si 또는 높은 열 전도성을 갖는 여타의 적합한 물질을 포함한다. 열 확산기 또는 차폐부 라인들(130)과 상-변화 요소들(106) 사이의 공간(134)은 층간 유전체, 예컨대 SiO<sub>2</sub>, BPSG(Boro-PhosphoSilicate Glass), BSG(BoroSilicate Glass), 낮은-k 물질 또는 여타의 적합한 유전 물질로 채워진다. 열 확산기 또는 차폐부 라인(130)은 수 개의 메모리 셀들의 길이에 걸쳐 상-변화 요소(106)으로부터의 여하한 열을 신속하게 분산시킨다. 따라서, 열 확산기 또는 차폐부 라인들(130)은 상-변화 요소들(106)을 냉각시키고, 인접한 상-변화 요소들을 열로부터 차폐하기 위해 효과적으로 기능한다.

- <60> 도 8은 열 확산기로서 활성 금속 라인을 사용하는 것을 포함하는 상-변화 메모리 셀들을 위한 레이아웃(320)의 또 다른 실시예의 측면도를 예시한다. 상-변화 메모리 셀들을 위한 레이아웃(320)은 메모리 어레이(100b)에 사용하기에 적합하게 되어 있다(도 3). 레이아웃(320)은 기판(302), 비트 라인(112), 접지 라인들(114), 트랜지스터들(108), 콘택들(304), 콘택들(306) 및 상-변화 요소들(106)을 포함한다. 비트 라인(112) 및 접지 라인(114)은 별도의 금속배선 층들에 있다. 일 실시예에서 비트 라인(112)은 W 또는 여타의 적합한 금속을 포함하며, Al, Cu 또는 여타의 적합한 금속을 포함하는 접지 라인(114)보다 낮은 금속배선 층에 있다. 또 다른 실시예에서 비트 라인(112)은 Al, Cu 또는 여타의 적합한 금속을 포함하며, W 또는 여타의 적합한 금속을 포함하는 접지 라인(114)보다 높은 금속배선 층에 있다. 어떠한 경우에도 비트 라인(112)은 워드 라인들(110)에 대해 수직으로 나아간다.
- <61> 일 실시예에서 비트 라인(112)은 접지 라인(114)에 대해 수직이다. 각각의 트랜지스터(108)의 소스-드레인 경로의 한쪽은 Cu, W 또는 여타의 적합한 도전성 물질을 포함하는 콘택(306)을 통해 비트 라인(112)에 전기적으로 커플링된다. 각각의 트랜지스터(108)의 소스-드레인 경로의 다른 한쪽은 Cu, W 또는 여타의 적합한 도전성 물질을 포함하는 콘택(304) 및 상-변화 요소(106)를 통해 접지 라인(114)에 전기적으로 커플링된다. 각각의 트랜지스터(108)의 게이트는 도핑된 폴리-Si, W, TiN, NiSi, CoSi, TiSi, WSi<sub>x</sub> 또는 여타의 적합한 물질을 포함하는 워드 라인(110)(도시되지 않음)에 전기적으로 커플링된다. 일 실시예에서 메모리 요소(106)는 히터 셀, 액티브-인-비아 셀, 필터 셀 또는 여타의 적합한 상-변화 메모리 요소이다.
- <62> 일 실시예에서 비트 라인(112)은 접지 라인들(114)보다 낮은 금속배선 층에 있다. 상-변화 요소들(106)은 비트 라인(112)이 열 확산기 또는 차폐부 라인(130)으로서 기능하도록 비트 라인(112)과 공면에 위치된다. 일 실시예에서 비트 라인들(112)은 비트 라인들(112) 사이에 서브리소그래피 개구부들(sublithographic openings)을 형성하는 측벽 스페이서들을 절연시키는 것을 포함한다. 상-변화 물질은 상-변화 요소들(106)을 제공하기 위해 스페이서들 사이의 서브리소그래피 개구부들 내에 채워진다. 스페이서 물질은 상-변화 요소들(106)을 단열시키기 위해 낮은 열 전도성을 갖는 유전 물질을 포함한다. 각각의 비트 라인(112)은 열 확산기를 제공한다. 비트 라인(112)은 수 개의 메모리 셀들의 길이에 걸쳐 인접한 상-변화 요소(106)로부터의 여하한 열을 신속하게 분산시킨다. 따라서, 비트 라인(112)은 상-변화 요소들(106)을 냉각시키고 인접한 상-변화 요소들(106)을 열로부터 차폐하기 위해 효과적으로 기능한다.
- <63> 도 9는 더미 접지 라인(402)을 포함하는 상-변화 메모리 셀들(400)의 일 실시예의 평면도를 예시한다. 상-변화 메모리 셀들의 어레이(400)는 비트 라인들(112), 접지 라인들(114), 더미 접지 라인들(402), 워드 라인들(110) 및 STI(shallow trench isolation: 404)를 포함한다. 메모리 셀들은 콘택들(304)을 통해 비트 라인들(112)에 커플링된다. 메모리 셀들은 콘택들(306)을 통해 접지 라인들(114)에 커플링된다. STI(404) 또는 여타의 적합한 트랜지스터 격리(transistor isolation)는 비트 라인들(112)과 평행하게 상기 비트 라인들(112) 사이에 제공된다. 워드 라인들(110)은 비트 라인들(112)에 대해 수직이며, 접지 라인들(114) 및 더미 접지 라인들(402)과 평행하다. 메모리 셀 콘택들(304)에 나타낸 바와 같이 더미 접지 라인들(402)은 메모리 셀들의 행들 사이에 단열 물질을 제공한다. 또한, 메모리 셀 콘택들(304)에 나타낸 바와 같이 접지 라인들(114)에도 인접한 메모리 셀들 사이에 단열 물질을 제공한다.
- <64> 도 10a는 더미 접지 라인(402)을 포함하는 상-변화 메모리 셀들을 위한 레이아웃(400)의 일 실시예의 단면도를 예시하고, 도 10b는 상-변화 요소(106)를 통한 레이아웃(400)의 일 실시예의 측면도를 예시한다. 레이아웃(400)은 기판(302), 트랜지스터들(108), 격리 게이트들(406), 접지 라인들(114), 더미 접지 라인들(402), 캡핑 층(capping layer: 410), 스페이서들(408), 상-변화 요소들(106), 전극을 각각 포함하는 상-변화 요소 콘택들(304), 접지 라인 콘택들(306), 전극들(416), 비트 라인들(112) 및 유전 물질(412 및 414)을 포함한다.
- <65> 상-변화 요소들(106)을 선택하는 트랜지스터들(108)은 기판(302) 상에 형성된다. 트랜지스터들(108)의 게이트들은 워드 라인들(110)에 전기적으로 커플링된다. 격리 게이트들(406)은 트랜지스터들(108) 사이의 기판(302) 상에 형성된다. 유전 물질(414)은 트랜지스터들(108) 및 격리 게이트들(406) 위에 증착된다. 상-변화 요소 콘택들(304)은 각각의 트랜지스터(108)의 소스-드레인 경로의 한쪽을 상-변화 요소(106)에 전기적으로 커플링하고, 접지 라인 콘택들(306)은 각각의 트랜지스터(108)의 소스-드레인 경로의 다른 한쪽을 접지 라인(114)에 전기적으로 커플링한다. 스페이서들(408)은 상-변화 요소들(106)에 서브리소그래피 폭을 제공하기 위해 상-변화 요소들(106) 및 선택적으로는 상-변화 요소 콘택들(304)을 둘러싼다.
- <66> 스페이서들(408)은 상-변화 요소들(106)을 단열시킨다. 더미 접지 라인들(402)은 접지 라인(114)에 의하여 분리되지 않는 상-변화 요소들(106) 사이에서 연장된다. 더미 접지 라인들(402) 및 접지 라인들(114)은 상-변화 요

소들(106)로부터 스페이서(408)를 통과하는 열을 방산시키기 위하여 열 확산기들을 제공한다. 일 실시예에서 SiN 또는 여타의 적합한 물질의 캡핑 층(410)은 접지 라인들(114) 및 더미 접지 라인들(402)을 캡핑한다. 선택적으로, 캡핑 물질(410)은 또한 더미 접지 라인들(402) 및 접지 라인들(114)의 측면벽에도 형성된다. 캡핑 층(410)은 저장 노드 에칭 시 차단 층(masking layer)으로서 기능하고, 상-변화 요소들(106)을 더욱 절연시키며, 상-변화 물질이 증착되는 개구부들의 폭을 감소시킨다. 전극들(416)은 상-변화 요소들(106)을 비트 라인(112)에 전기적으로 커플링한다.

<67> 도 11은 상-변화 메모리를 제조하는 방법(500)의 일 실시예를 예시한 흐름도이다. 도면번호(502)에서 캡핑 층(410) 및 선택적인 측벽 스페이서들을 갖는 금속 라인들(114 및 402)은 사전처리된 웨이퍼(302) 위에 형성된다. 도면번호(504)에서 금속 라인들 사이의 갭들은 산화물 또는 유전 물질(412)로 채워진다. 도면번호(506)에서 저장 노드 리소그래피는 금속 라인들(114 및 402)에 대해 수직인 라인들로서 수행된다. 또 다른 실시예에서 저장 노드 리소그래피는 금속 라인들(114 및 402)에 대해 수직으로 나아가는 경로들을 따르는 홀들로서 수행된다. 또 다른 실시예에서 저장 노드 리소그래피는 경로들을 따라 금속 라인들(114 및 402)에 대해 90° 보다 작은 각도로 수행된다.

<68> 도면번호(508)에서 저장 노드 콘택 홀들은 금속 라인들(114 및 402)에 대해 자기-정렬된 산화물 또는 유전 물질(412) 안으로 에칭된다. 도면번호(510)에서 낮은-k 유전체 또는 산화물 스페이서(408)는 증착 및 에칭에 의해 형성되며, 이후 상-변화 요소를 단열시킨다. 도면번호(512)에서 전극 물질(304)은 콘택 홀들 내에 증착되고 평탄화된다. 도면번호(514)에서 전극 물질(304)은 개구부 및 제 1 전극을 형성하기 위해 리세스 에칭(recess etch)된다. 도면번호(516)에서 상-변화 물질(106)은 상-변화 요소(106)를 형성하기 위해 전극 물질(304) 위에 증착된다. 일 실시예에서 단계(510)는 단계(514) 이후 및 단계(516) 이전으로 이동된다. 도면번호(518)에서 전극 물질(416)은 제 2 전극을 형성하기 위해 상-변화 물질(106) 위에 증착된다. 도면번호(520)에서 비트 라인들(112)을 포함하는 상부 금속배선 층들이 형성된다.

<69> 본 발명의 실시예들은 인접한 상-변화 메모리 셀들을 단열시키는 상-변화 메모리 어레이 레이아웃을 제공한다. 인접한 상-변화 메모리 셀들을 단열시킴으로써, 열적 잡음이 감소되고 데이터 보유가 향상된다. 본 발명의 실시예들은 상-변화 메모리들을 위해 80 °C 이상의 동작 온도를 가능하게 하며, 낮은 온도들에서 향상된 데이터 안정성을 제공한다.

**발명의 효과**

<70> 본 발명에 따르면, 인접한 상-변화 메모리 셀들을 단열시킴으로써 열적 잡음이 감소되고 데이터 보유가 향상된 메모리, 및 메모리를 제조하는 방법이 제공된다.

**도면의 간단한 설명**

<1> 첨부한 도면들은 본 발명의 더 많은 이해를 제공하기 위해 포함되며 본 명세서의 일부분에 통합되고 그 일부분을 구성한다. 본 도면들은 본 발명의 실시예들을 예시하며, 도면설명과 함께 본 발명의 원리를 설명하는 역할을 한다. 본 발명의 다른 실시예들 및 본 발명의 의도된 다수의 장점들은 다음의 상세한 설명을 참조함으로써 더 쉽게 이해될 것이다. 본 도면들의 요소들은 서로에 대해 축척대로 되어 있지는 않다. 동일한 참조 부호는 대응하는 유사한 부분을 나타낸다.

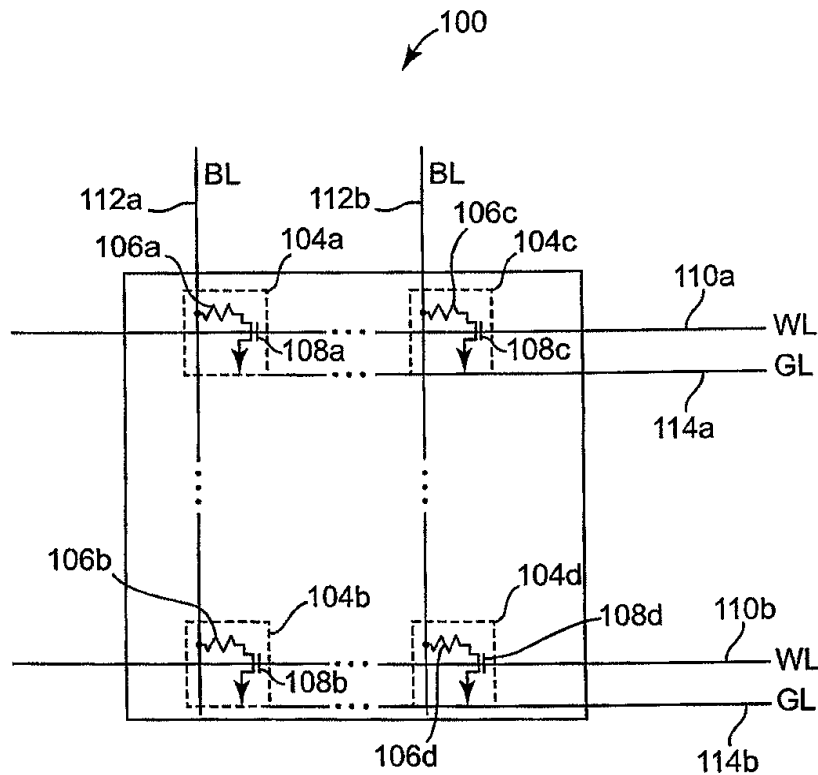
- <2> 도 1은 상-변화 메모리 셀들의 어레이의 일 실시예를 예시하는 도면;
- <3> 도 2는 단열 물질을 포함하는 상-변화 메모리 셀들의 어레이의 일 실시예를 예시하는 도면;
- <4> 도 3은 단열 물질을 포함하는 상-변화 메모리 셀들의 어레이의 또 다른 실시예를 예시하는 도면;
- <5> 도 4a는 단열 물질을 포함하는 상-변화 메모리 요소의 일 실시예의 단면도;
- <6> 도 4b는 단열 물질을 포함하는 상-변화 메모리 요소의 또 다른 실시예의 단면도;
- <7> 도 4c는 단열 물질을 포함하는 상-변화 메모리 요소의 또 다른 실시예의 단면도;
- <8> 도 5a는 단열 물질을 포함하는 상-변화 메모리 요소의 또 다른 실시예의 단면도;
- <9> 도 5b는 단열 물질을 포함하는 상-변화 메모리 요소의 또 다른 실시예의 단면도;
- <10> 도 6a는 단열 물질을 포함하는 상-변화 메모리 요소의 또 다른 실시예의 단면도;



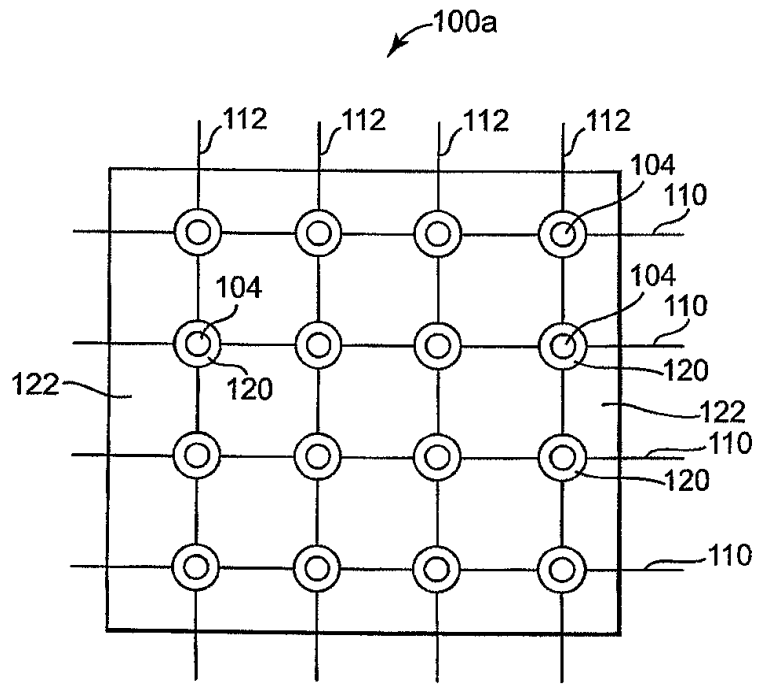
- <11> 도 6b는 도 6a에 예시된 상-변화 메모리 요소의 측단면도;
- <12> 도 7은 열 차폐부(heat shield) 또는 확산기(spreader)를 포함하는 상-변화 메모리 셀의 레이아웃의 일 실시예의 측면도;
- <13> 도 8은 열 확산기로서 활성 금속 라인을 이용하는 것을 포함하는 상-변화 메모리 셀들의 레이아웃의 또 다른 실시예의 측면도;
- <14> 도 9는 더미 접지 라인(dummy ground line)을 포함하는 상-변화 메모리 셀들의 어레이의 일 실시예의 평면도;
- <15> 도 10a는 더미 접지 라인을 포함하는 상-변화 메모리 셀들의 레이아웃의 일 실시예의 단면도;
- <16> 도 10b는 더미 접지 라인을 포함하는 상-변화 메모리 셀들의 레이아웃의 일 실시예의 측면도;
- <17> 도 11은 상-변화 메모리를 제조하는 방법의 일 실시예를 예시하는 흐름도이다.

도면

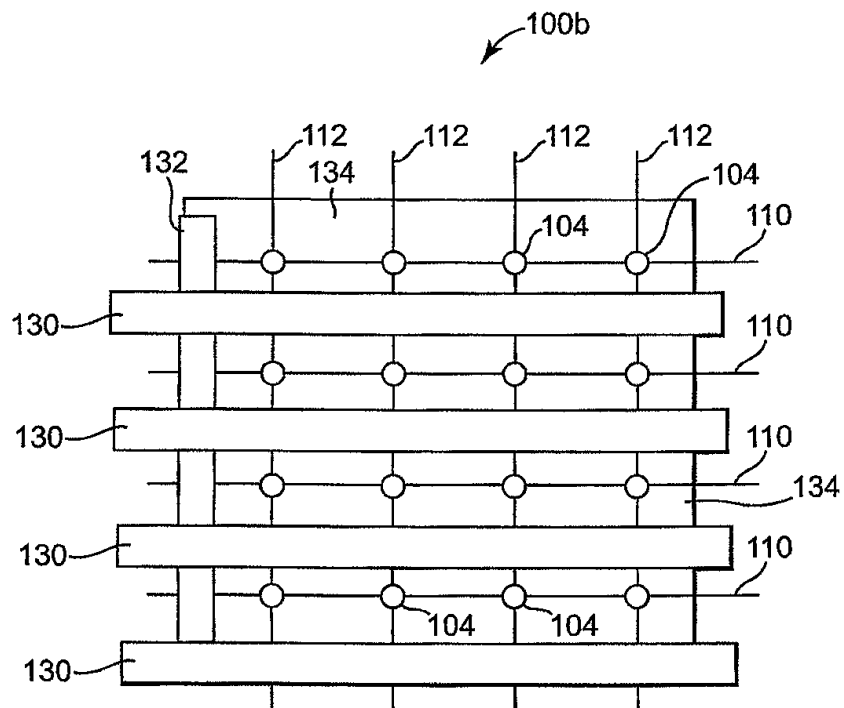
도면1



도면2

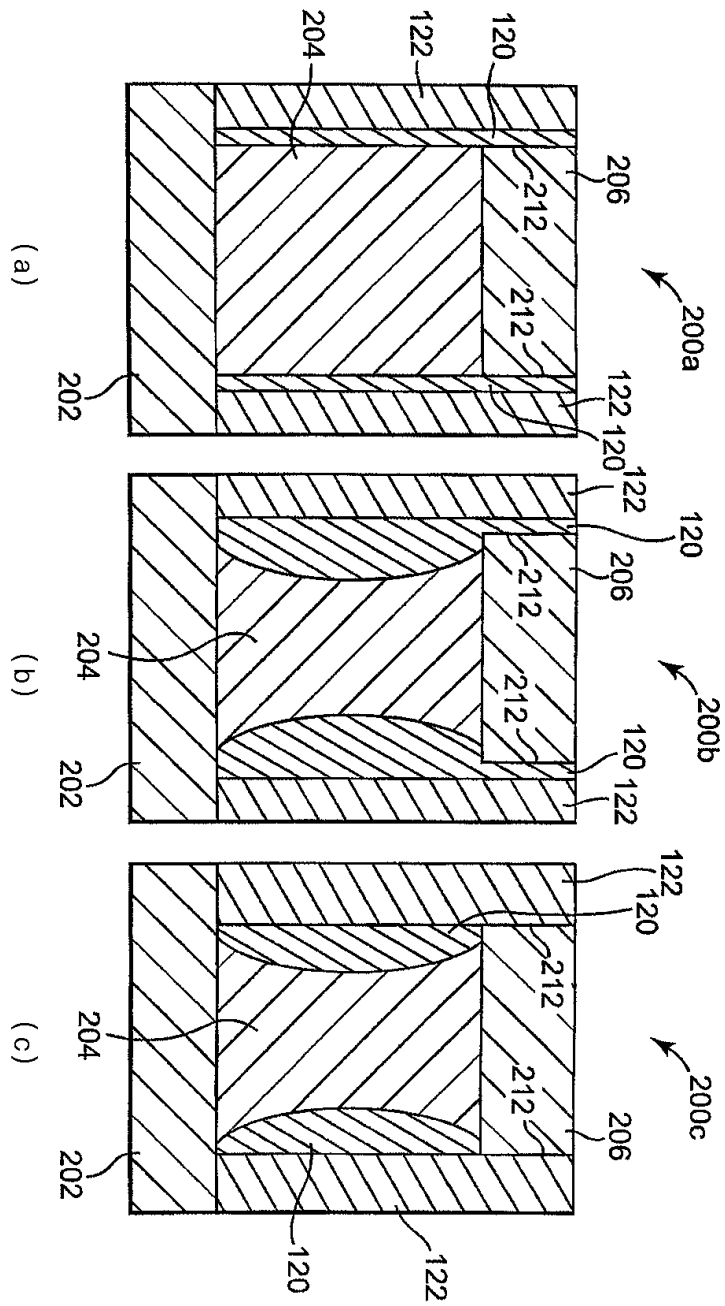


도면3

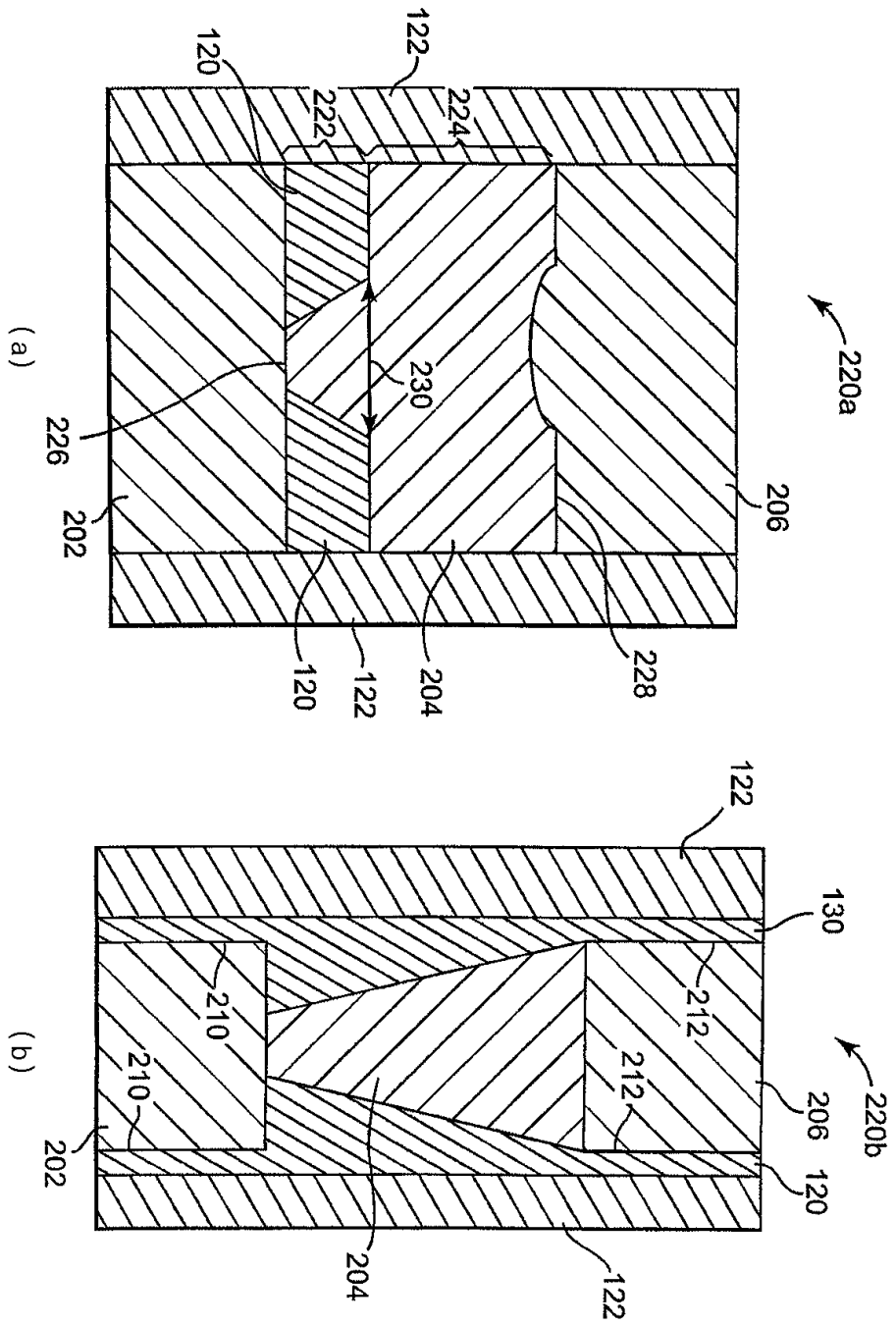




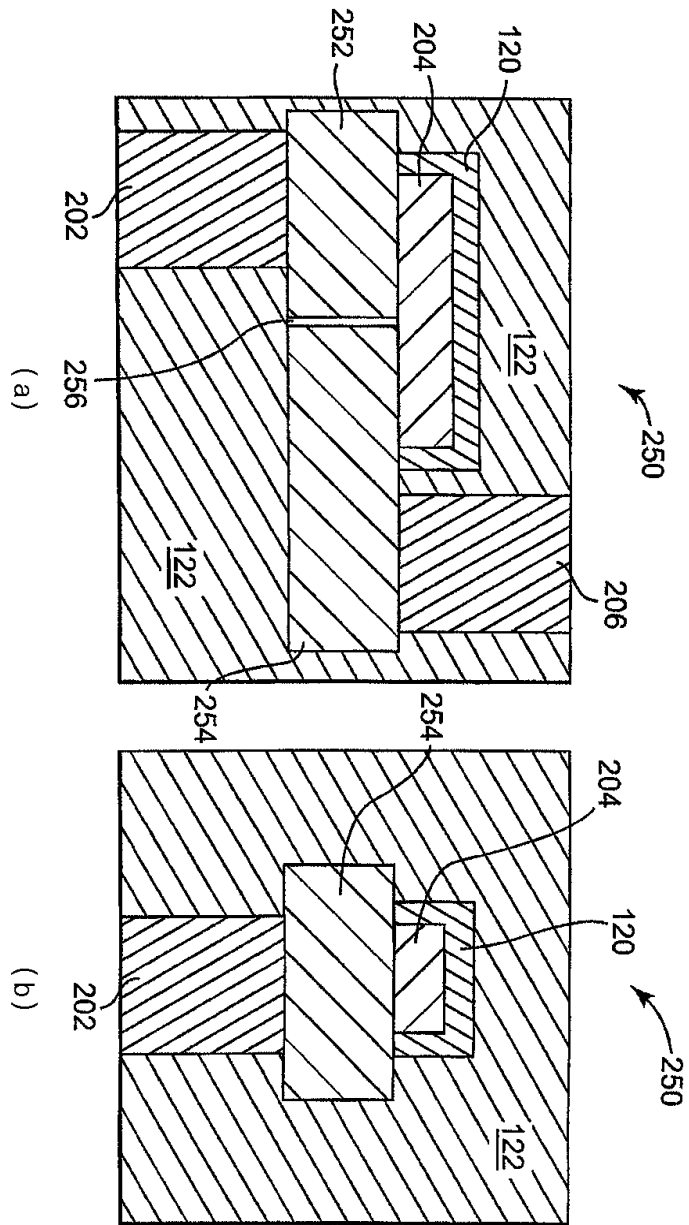
도면4



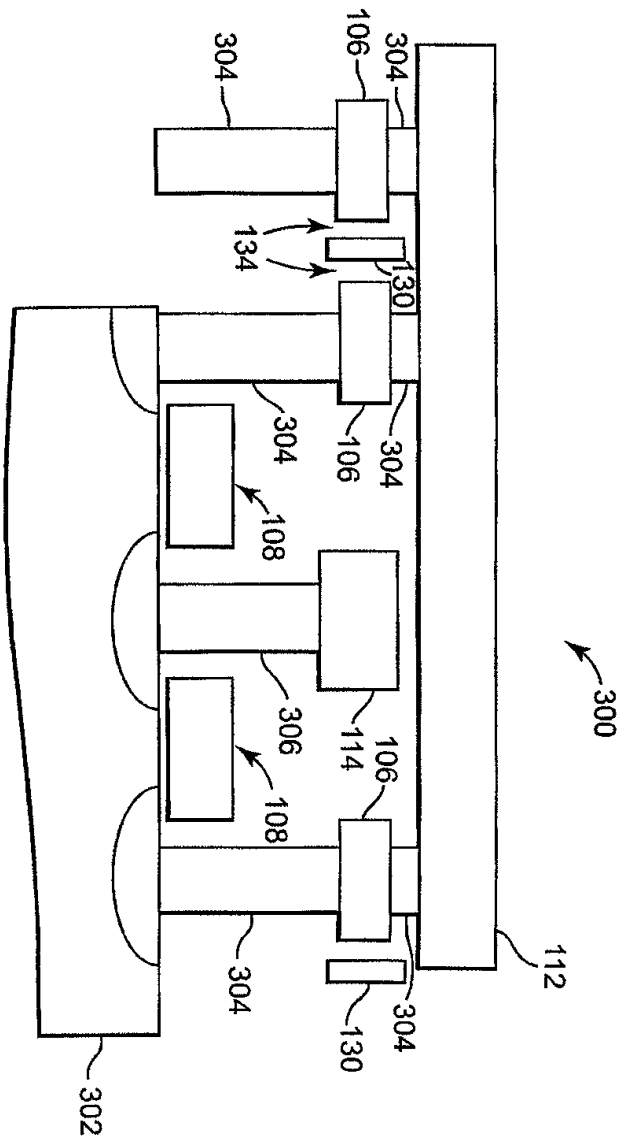
도면5



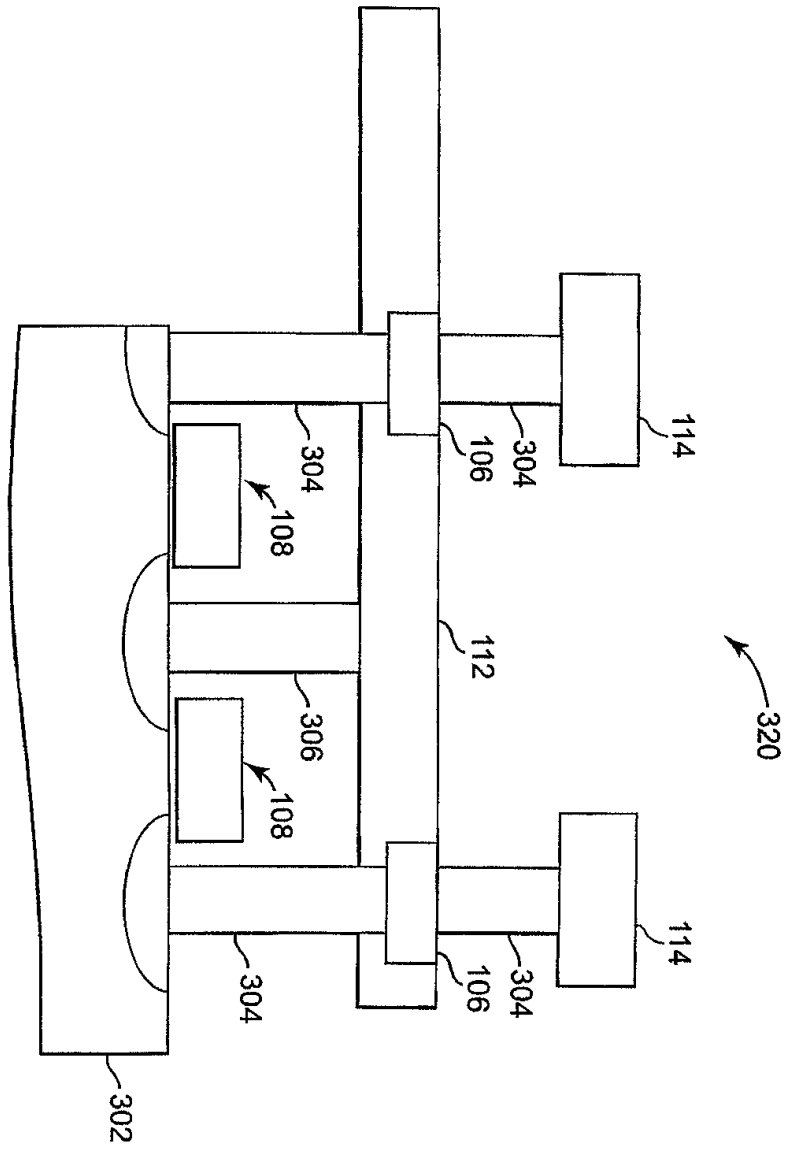
도면6



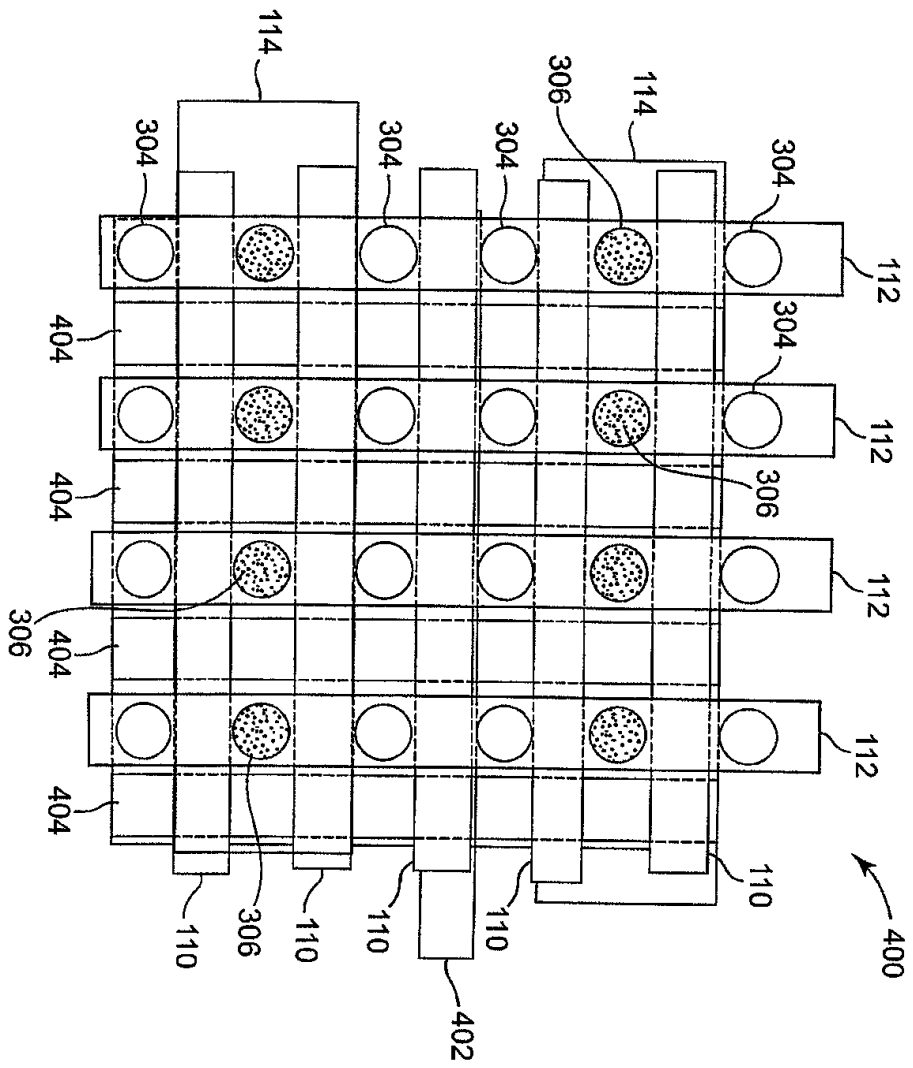
도면7



도면8

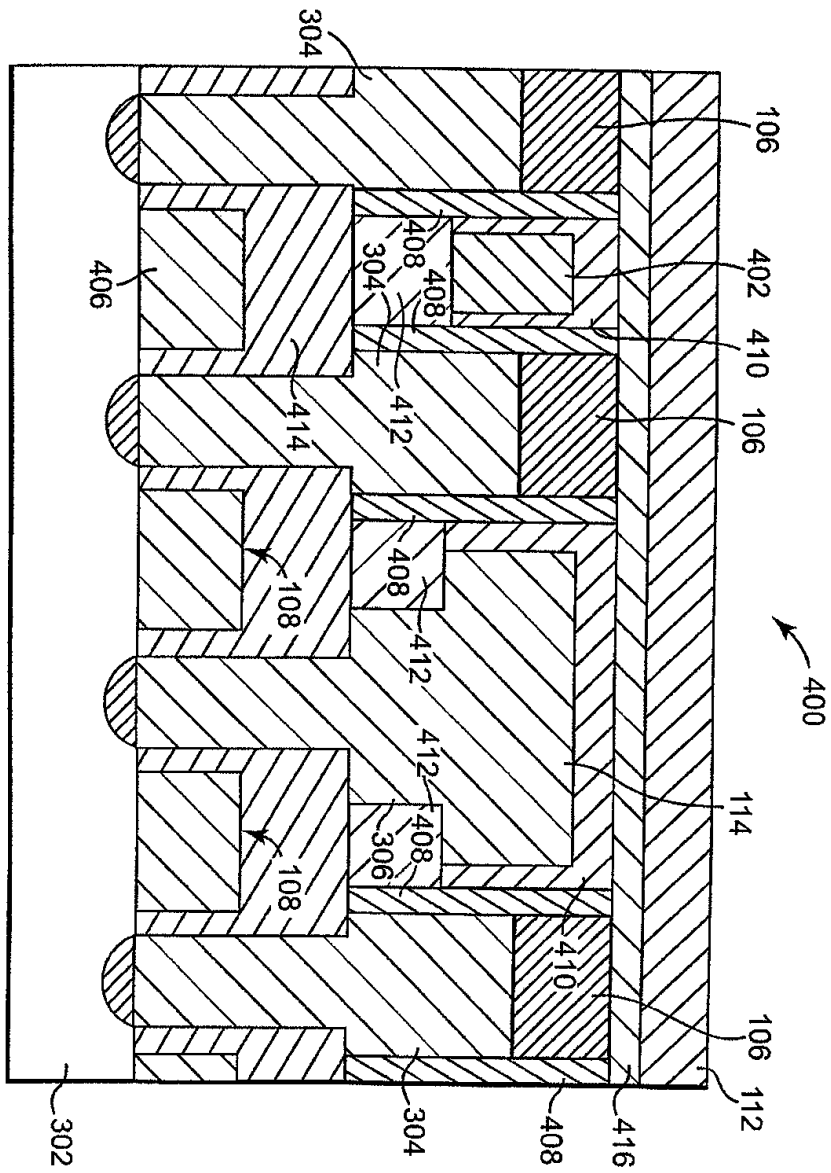


도면9

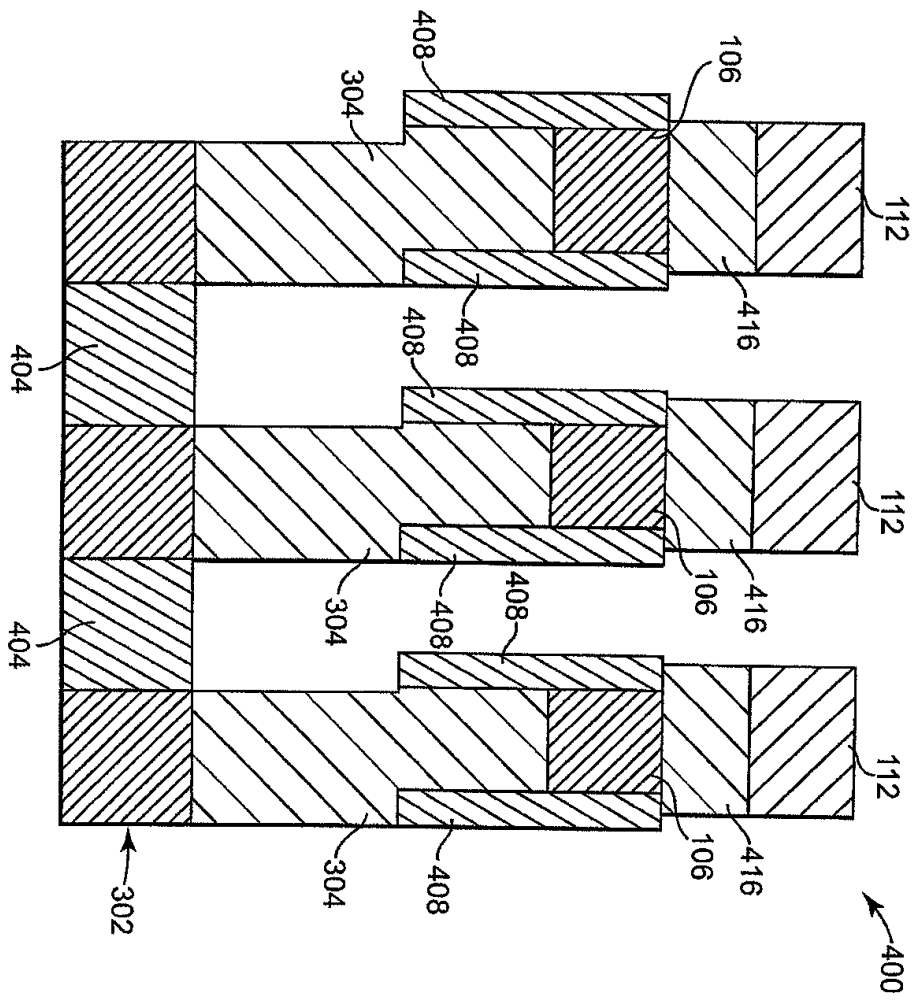




도면10a



도면10b



도면11

