



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월30일
 (11) 등록번호 10-0849069
 (24) 등록일자 2008년07월23일

(51) Int. Cl.
H01L 27/04 (2006.01)
 (21) 출원번호 10-2007-0039015
 (22) 출원일자 2007년04월20일
 심사청구일자 2007년04월20일
 (56) 선행기술조사문헌
 JP2007067095 A
 KR1020060099464 A
 KR1020070024014 A
 KR1020070102229 A

(73) 특허권자
주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
문정언
 경기 이천시 부발읍 신하리 신한아파트 103동 901호
 (74) 대리인
강성배

전체 청구항 수 : 총 12 항

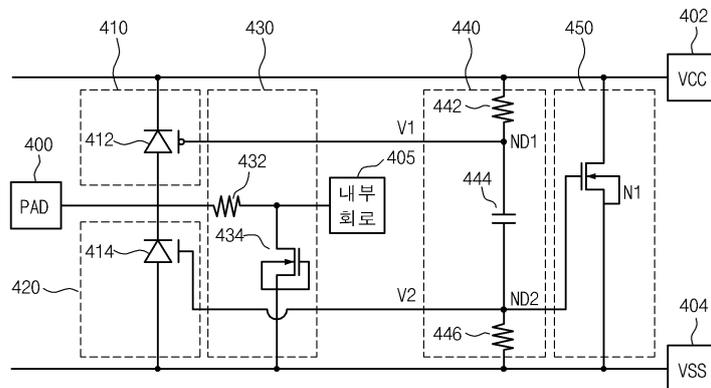
심사관 : 배진용

(54) 정전기 방전 보호 장치

(57) 요약

본 발명은 정전기 전류로부터 내부 회로를 보호하는 정전기 방전 보호 회로에 관하여 개시한다. 개시된 본 발명은 입출력 패드로 유입된 상기 정전기 전류의 교류 성분에 대응하여 전원 전압 라인과 접지 전압 라인을 도통시켜 제1 및 제2 검출 전압을 검출하는 전압 검출부; 상기 제1 검출 전압에 의해 상기 입출력 패드와 상기 전원 전압 라인을 도통시켜 상기 정전기 전류를 상기 전원 전압 라인으로 전달하는 제1 전달부; 상기 제2 검출 전압에 의해 상기 입출력 패드와 상기 접지 전압 라인을 도통시켜 상기 정전기 전류를 상기 접지 전압 라인으로 전달하는 제2 전달부; 및 상기 제2 검출 전압에 의해 상기 전원 전압 라인과 상기 접지 전압 라인을 도통시켜 상기 전원 전압 라인 또는 상기 접지 전압 라인으로 유입된 상기 정전기 전류를 방전하는 방전부;를 포함하여 구성되며, 낮은 접합 캐패시턴스와 낮은 동작 전압을 갖는 정전기 방전 보호 장치를 제공하여 내부 회로를 안전하게 보호하는 효과가 있다.

대표도 - 도4



특허청구의 범위

청구항 1

입출력 패드로 유입된 정전기 전류로부터 내부 회로를 보호하는 정전기 방전 보호 장치에 있어서,
 상기 입출력 패드로 유입된 상기 정전기 전류의 교류 성분에 대응하여 전원 전압 라인과 접지 전압 라인을 도통시켜 제1 및 제2 검출 전압을 검출하는 전압 검출부;
 상기 제1 검출 전압에 의해 상기 입출력 패드와 상기 전원 전압 라인을 도통시켜 상기 정전기 전류를 상기 전원 전압 라인으로 전달하는 제1 전달부;
 상기 제2 검출 전압에 의해 상기 입출력 패드와 상기 접지 전압 라인을 도통시켜 상기 정전기 전류를 상기 접지 전압 라인으로 전달하는 제2 전달부; 및
 상기 제2 검출 전압에 의해 상기 전원 전압 라인과 상기 접지 전압 라인을 도통시켜 상기 전원 전압 라인 또는 상기 접지 전압 라인으로 유입된 상기 정전기 전류를 방전하는 방전부;
 를 포함하여 구성됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 2

제 1 항에 있어서,
 상기 검출 전압부는
 상기 전원 전압 라인과 상기 접지 전압 라인 사이에 연결되는 RC 회로로 구성됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 3

제 2 항에 있어서,
 상기 RC 회로는
 상기 전원 전압 라인과 제1 노드 사이에 연결되어 상기 제 1 검출 전압을 출력하는 제 1 저항;
 상기 접지 전압 라인과 제2 노드 사이에 연결되어 상기 제 2 검출 전압을 출력하는 제 2 저항; 및
 상기 제1 노드와 상기 제2 노드 사이에 연결되는 캐패시터;
 를 포함하여 구성됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 4

제 2 항에 있어서,
 상기 RC 회로는
 상기 전원 전압 라인과 제1 노드 사이에 연결되어 상기 제 1 검출 전압을 출력하는 제 1 저항;
 상기 접지 전압 라인과 제2 노드 사이에 연결되어 상기 제 2 검출 전압을 출력하는 제 2 저항; 및
 상기 제 1 노드와 상기 제 2 노드 사이에 직렬로 연결되는 복수개의 다이오드;
 를 포함하여 구성됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 5

제 4 항에 있어서,
 상기 다이오드의 수는 상기 복수개의 다이오드 동작 전압이 상기 전원 전압 라인의 동작 전압 보다 크게 조절됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 6

제 4 항에 있어서,

상기 복수개의 다이오드 각각은 애노드가 상기 제 1 저항을 향하고, 캐소드가 상기 제 2 저항을 향하여 연결됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 7

제 1 항에 있어서,

상기 제1 전달부는 상기 입출력 패드와 상기 전원 전압 라인 사이에 연결되며 게이트로 상기 제1 검출 전압을 인가받는 MOS형 P다이오드를 구비함을 특징으로 하는 정전기 방전 보호 장치.

청구항 8

제 7 항에 있어서,

상기 MOS형 P다이오드는

N웰 영역;

상기 N웰 영역 내에 형성되어 상기 입출력 패드와 연결되는 제1 P형 불순물 영역;

상기 제1 P형 불순물 영역과 이격되어 형성되며 상기 전원 전압 라인과 연결되는 N형 불순물 영역;

상기 제1 P형 불순물 영역과 이격되고 상기 N형 불순물 영역에 인접하여 형성되는 제2 P형 불순물 영역; 및

상기 제1 및 제2 P형 불순물 영역의 상부에 형성되며 상기 제1 검출 전압을 인가받는 게이트;

를 포함하여 형성됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 9

제 1 항에 있어서,

상기 제2 전달부는 상기 입출력 패드와 상기 접지 전압 라인 사이에 연결되며 게이트로 상기 제2 검출 전압을 인가받는 MOS형 N다이오드를 구비함을 특징으로 하는 정전기 방전 보호 장치.

청구항 10

제 9 항에 있어서,

상기 MOS형 N다이오드는

P웰 영역;

상기 P웰 영역 내에 형성되어 상기 입출력 패드와 연결되는 제1 N형 불순물 영역;

상기 제1 N형 불순물 영역과 이격되어 형성되며 상기 접지 전압 라인과 연결되는 P형 불순물 영역;

상기 제1 N형 불순물 영역과 이격되고 상기 P형 불순물 영역에 인접하여 형성되는 제2 N형 불순물 영역; 및

상기 제1 및 제2 N형 불순물 영역의 상부에 형성되며 상기 제2 검출 전압을 인가받는 게이트;

를 포함하여 형성됨을 특징으로 하는 정전기 방전 보호 장치.

청구항 11

제 1 항에 있어서,

상기 방전부는 상기 전원 전압 라인과 상기 접지 전압 라인 사이에 연결되며 게이트로 상기 제2 검출 전압을 인가받는 MOS 트랜지스터임을 특징으로 하는 정전기 방전 보호 장치.

청구항 12

제 11 항에 있어서,

상기 MOS 트랜지스터는 GCNMOS 트랜지스터임을 특징으로 하는 정전기 방전 보호 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 본 발명은 반도체 메모리 장치에 관한 것으로 더욱 상세하게는 정전기 전류로부터 내부 회로를 보호하는 정전기 방전 보호 장치에 관한 것이다.
- <11> 일반적으로 반도체 메모리 장치는 대전된 인체나 기계로부터 반도체 메모리 장치의 내부로 유입되는 정전기 전류 또는 반도체 메모리 장치 내부에 대전되어 있다가 기계를 통해 흘러나오는 정전기 전류에 의해 가해지는 내부 회로의 손상을 방지하기 위해 입출력 패드와 내부 회로 사이에 정전기 방전 보호 장치를 설치한다.
- <12> 한편, 반도체 기술이 고속, 고집적화 됨에 따라 저 핀 캐패시턴스(Low Pin Capacitance)의 요구와 함께 반도체 소자의 게이트 산화막 두께가 점차 얇아지고 있다. 특히, 핀 캐패시턴스는 신호의 입출력 전달 속도 및 보전성에 악영향을 미치므로 고속 제품에서 핀 캐패시턴스 감소는 필수적이다.
- <13> 이러한 핀 캐패시턴스는 반도체 소자의 접합 캐패시턴스가 전체의 50% 이상을 차지하고 그 중에는 입출력 패드에 연결된 정전기 방전 보호 소자의 기생 접합 캐패시턴스가 상당 부분을 차지한다.
- <14> 따라서, 정전기 방전 보호 장치에 사용되는 소자는 고속, 고집적 제품에 적합하도록 면적을 개선하여 접합 캐패시턴스를 감소시키고, 얇아진 내부 회로 소자의 게이트 산화막을 보호하도록 동작 속도가 빨라야 한다.
- <15> 도 1을 참조하면, 종래 기술에 따른 정전기 방전 보호 장치는, 입출력 패드(100)와 전원 전압 라인 VCC(102) 사이에 연결되는 P형 다이오드(104), 입출력 패드(100)와 접지 전압 라인 VSS(103) 사이에 연결되는 N형 다이오드(105), 입출력 패드(100)와 내부 회로(108) 사이에 연결되는 CDM 트랜지스터 보호용 저항(106), 내부 회로(108)과 접지 전압 라인 VSS(103) 사이에 연결되는 CDM 트랜지스터(107), 및 전원 전압 라인 VCC(102)와 접지 전압 라인 VSS(103) 사이에 연결되는 파워클램프(109)를 포함하여 구성된다.
- <16> 여기서, P형 다이오드(104)는, 도 2a와 같이, N웰 영역(201) 내에 소자 분리막(203)을 경계로 P형 불순물 영역(202)과 N형 불순물 영역(204)이 형성되며, P형 불순물 영역(202)은 입출력 패드(100)에 연결되고 N형 불순물 영역(204)은 전원 전압 라인 VCC(102)에 연결된다.
- <17> 그리고, N형 다이오드(105)는, 도 2b와 같이, P웰 영역(211) 내에 소자 분리막(213)을 경계로 N형 불순물 영역(212)과 P형 불순물 영역(214)이 형성되며, N형 불순물 영역(212)은 입출력 패드(100)와 연결되고, P형 불순물 영역(214)은 접지 전원 라인 VSS(103)에 연결된다.
- <18> 또한, 도 3과 같이, N형 다이오드(105)와 인접하여 입출력 패드(100)와 근접 회로 사이의 래치 업을 방지하는 N형 가드링(220)이 배치된다. 구체적으로, N형 가드링(220)은 N웰 영역(222) 내에 N형 불순물 영역(224)이 형성되고 N형 불순물 영역(224)은 외부 전압 라인 VDD(226)와 연결된다. 여기서, 도면부호 215는 P형 불순물 영역(214)과 N형 불순물 영역(224)을 분리하는 소자분리막이다.
- <19> 이와 같이 구성된 종래 기술에 따른 정전기 방전 보호 장치는 P형 다이오드(104)와 N형 다이오드(105)를 적용하여 작은 접합 영역을 갖는 반면, 파워클램프(109)의 동작 속도가 느린 경우 내부 회로(108) 소자의 게이트 산화막을 효율적으로 보호하지 못하는 문제가 있다.
- <20> 또한, 종래 기술에 따른 정전기 방전 보호 장치는 입출력 패드(100)로 유입된 네거티브 정전기(Negative ESD) 전류를 전원 전압 패드 VCC(102)로부터 파워클램프(109)를 거쳐 N형 다이오드(105)를 통해 입출력 패드(100)로 방전하는데, 이 경우, 파워클램프(109)가 빠르게 동작하지 못하면 N형 가드링(220)과 N형 다이오드(105) 사이에 존재하는 기생 NPN 바이폴라(T1)가 동작하여 원치 않는 정전기 방전 경로가 형성되어 취약한 N형 가드링(220)과 P형 불순물 영역(214) 사이에 불량이 발생하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

- <21> 따라서, 본 발명의 목적은 낮은 접합 캐패시턴스와 낮은 동작 전압을 갖는 정전기 방전 보호 장치를 제공하는 데 있다.

<22> 본 발명의 다른 목적은 취약한 기생 바이폴라 동작으로 인해 생성되는 정전기 방전 경로에 의한 불량을 방지하는 정전기 방전 보호 장치를 제공하는 데 있다.

발명의 구성 및 작용

<23> 상기한 목적을 달성하기 위해 본 발명의 정전기 방전 보호 장치는 입출력 패드로 유입된 정전기 전류의 교류 성분에 대응하여 전원 전압 라인과 접지 전압 라인을 도통시켜 제1 및 제2 검출 전압을 검출하는 전압 검출부; 상기 제1 검출 전압에 의해 상기 입출력 패드와 상기 전원 전압 라인을 도통시켜 상기 정전기 전류를 상기 전원 전압 라인으로 전달하는 제1 전달부; 상기 제2 검출 전압에 의해 상기 입출력 패드와 상기 접지 전압 라인을 도통시켜 상기 정전기 전류를 상기 접지 전압 라인으로 전달하는 제2 전달부; 및 상기 제2 검출 전압에 의해 상기 전원 전압 라인과 상기 접지 전압 라인을 도통시켜 상기 전원 전압 라인 또는 상기 접지 전압 라인으로 유입된 상기 정전기 전류를 방전하는 방전부;를 포함하여 구성됨을 특징으로 한다.

<24> 상기 검출 전압부는 상기 전원 전압 라인과 상기 접지 전압 라인 사이에 연결되는 RC 회로로 구성된다.

<25> 상기 RC 회로는 일실시예에 따르면, 상기 전원 전압 라인과 제1 노드 사이에 연결되어 상기 제 1 검출 전압을 출력하는 제 1 저항; 상기 접지 전압 라인과 제2 노드 사이에 연결되어 상기 제 2 검출 전압을 출력하는 제 2 저항; 및 상기 제1 노드와 상기 제2 노드 사이에 연결되는 캐패시터;를 포함하여 구성된다.

<26> 상기 RC 회로는 다른 실시예에 따르면, 상기 전원 전압 라인과 제1 노드 사이에 연결되어 상기 제 1 검출 전압을 출력하는 제 1 저항; 상기 접지 전압 라인과 제2 노드 사이에 연결되어 상기 제 2 검출 전압을 출력하는 제 2 저항; 및 상기 제 1 노드와 상기 제 2 노드 사이에 직렬로 연결되는 복수개의 다이오드;를 포함하여 구성된다.

<27> 여기서, 상기 다이오드의 수는 상기 복수개의 다이오드 동작 전압이 상기 전원 전압 라인의 동작 전압 보다 크게 조절되며, 상기 복수개의 다이오드 각각은 애노드가 상기 제 1 저항을 향하고, 캐소드가 상기 제 2 저항을 향하여 연결됨이 바람직하다.

<28> 상기 제1 전달부는 상기 입출력 패드와 상기 전원 전압 라인 사이에 연결되며 게이트로 상기 제1 검출 전압을 인가받는 MOS형 P다이오드를 구비한다.

<29> 여기서, 상기 MOS형 P다이오드는 N웰 영역; 상기 N웰 영역 내에 형성되어 상기 입출력 패드와 연결되는 제1 P형 불순물 영역; 상기 제1 P형 불순물 영역과 이격되어 형성되며 상기 전원 전압 라인과 연결되는 N형 불순물 영역; 상기 제1 P형 불순물 영역과 이격되고 상기 N형 불순물 영역에 인접하여 형성되는 제2 P형 불순물 영역; 및 상기 제1 및 제2 P형 불순물 영역의 상부에 형성되며 상기 제1 검출 전압을 인가받는 게이트;를 포함하여 형성됨을 특징으로 한다.

<30> 상기 제2 전달부는 상기 입출력 패드와 상기 접지 전압 라인 사이에 연결되며 게이트로 상기 제2 검출 전압을 인가받는 MOS형 N다이오드를 구비한다.

<31> 여기서, 상기 MOS형 N다이오드는 P웰 영역; 상기 P웰 영역 내에 형성되어 상기 입출력 패드와 연결되는 제1 N형 불순물 영역; 상기 제1 N형 불순물 영역과 이격되어 형성되며 상기 접지 전압 라인과 연결되는 P형 불순물 영역; 상기 제1 N형 불순물 영역과 이격되고 상기 P형 불순물 영역에 인접하여 형성되는 제2 N형 불순물 영역; 및 상기 제1 및 제2 N형 불순물 영역의 상부에 형성되며 상기 제2 검출 전압을 인가받는 게이트;를 포함하여 형성됨을 특징으로 한다.

<32> 상기 방전부는 상기 전원 전압 라인과 상기 접지 전압 라인 사이에 연결되며 게이트로 상기 제2 검출 전압을 인가받는 MOS 트랜지스터이며, 상기 MOS 트랜지스터는 GCNMOS 트랜지스터임이 바람직하다.

<33> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

<34> 본 발명은 접합 캐패시턴스와 동작 전압이 낮은 정전기 방전 보호 장치에 관한 것으로 바람직한 실시예가 도 4 과 같이 제시된다.

<35> 도 4을 참조하면, 본 발명의 일 실시예에 따른 정전기 방전 보호 장치는 전달부(410, 420), CDM부(430), 전압 검출부(440) 및 방전부(450)를 포함하여 구성된다.

<36> 전달부(410)는 입출력 패드(400)와 전원 전압 라인 VCC(402) 사이에 연결되어 입출력 패드(400)로 유입되는 정전기 전류를 전원 전압 라인 VCC(402)으로 전달하는 PMOS-P형 다이오드(412)로 구현될 수 있다.

- <37> 전달부(420)는 입출력 패드(400)와 접지 전압 라인 VSS(404) 사이에 연결되어 입출력 패드(400)로 유입되는 정전기 전류를 접지 전원 라인 VSS(404)로 전달하는 NMOS-N형 다이오드(414)로 구현될 수 있다.
- <38> CDM부(430)는 입출력 패드(400)와 내부 회로(405) 사이에 연결되는 CDM 트랜지스터 보호용 저항(432)과 내부 회로(405)와 접지 전압 라인 VSS(404) 사이에 연결되는 CDM 트랜지스터(434)로 구현된다.
- <39> 전압 검출부(440)는 전원 전압 라인 VCC(402)와 접지 전압 라인 VSS(404) 사이에 연결되는 RC 회로로 구현되며, 정전기 전류의 교류 성분을 감지하여 검출 전압 V1, V2을 검출한다. 구체적으로, 전원 전압 라인 VCC(402)와 노드 ND1 사이에 연결되어 제1 검출 전압 V1을 출력하는 저항(442)과, 노드 ND1과 노드 ND2 사이에 연결되어 교류 전류를 통과시키는 캐패시터(444) 및 노드 ND2와 접지 전압 라인 VSS(404) 사이에 연결되어 제2 검출 전압 V2를 출력하는 저항(446)으로 구현된다.
- <40> 여기서, 제1 검출 전압 V1은 PMOS-P형 다이오드(412)의 게이트로 인가되어 PMOS-P형 다이오드(412)의 역방향 브레이크다운(reverse breakdown)을 감소시키며, 제2 검출 전압 V2는 NMOS-N형 다이오드(414)의 게이트로 인가되어 NMOS-N형 다이오드(414)의 동작 전압을 감소시킨다.
- <41> 방전부(450)는 전원 전압 라인 VCC(402)와 접지 전압 라인 VSS(404) 사이에 연결되며, 제2 검출 전압 V2에 의해 전원 전압 라인 VCC(402)와 접지 전압 라인 VSS(404)를 도통시켜 전원 전압 라인 VCC(402) 또는 접지 전압 라인 VSS(404)로 유입된 정전기 전류를 서로 다른 전압 라인으로 방전시키는 NMOS 트랜지스터(N1)로 구현된다. 여기서, NMOS 트랜지스터(N1)는 GCNMOS(Gate Coupled NMOS) 소자로 구현될 수 있으며, NMOS 트랜지스터(N1)의 게이트로 제2 검출 전압 V2가 인가된다.
- <42> 여기서, PMOS-P형 다이오드(412)는, 도 5a와 같이, N웰 영역(501) 내에 입출력 패드(400)와 연결되는 P형 불순물 영역(502)이 형성되고, 이와 이격되어 전원 전압 VCC(402)와 연결되는 N형 불순물 영역(506)이 형성되어 P형 다이오드가 형성하고, P형 불순물 영역(502)으로부터 소정 간격 이격되고 N형 불순물 영역(506)에 인접하여 P형 불순물 영역(504)이 형성되고, P형 불순물 영역(502, 504) 사이에 게이트(508)가 형성됨으로써 PMOS가 형성된다. 여기서, 게이트(508)는 제1 검출 전압 V1을 인가받는다.
- <43> 그리고, NMOS-N형 다이오드(414)는, 도 5b와 같이, P웰 영역(511) 내에 입출력 패드(400)와 연결되는 N형 불순물 영역(512)이 형성되고, 이와 이격되어 접지 전압 VSS(404)와 연결되는 P형 불순물 영역(516)이 형성되어 N형 다이오드가 형성되고, N형 불순물 영역(512)으로부터 소정 간격 이격되고 P형 불순물 영역(516)에 인접하여 N형 불순물 영역(514)이 형성되고 N형 불순물 영역(512, 514) 사이에 게이트(518)가 형성됨으로써 NMOS가 형성된다. 여기서, 게이트(518)는 제2 검출 전압 V2를 인가받는다.
- <44> 본 발명의 일 실시예에 따른 정전기 방전 보호 장치의 동작을 살펴보면 다음과 같다.
- <45> 입출력 패드(400)로부터 전원 전압 패드 VCC(402)를 그라운드(Ground)로 하는 네거티브 정전기(Negative ESD)가 발생하는 경우, 교류 특성을 갖는 초기 정전기 전류가 전압 검출부(440)를 거쳐 NMOS-N 다이오드(414)를 통해 입출력 패드(400)로 방전된다. 이때, NMOS-N형 다이오드는 순방향(forward) 동작이 일어난다.
- <46> 상기 정전기 전류가 방전되는 과정에서 전압 검출부(440)의 각 저항단(442, 446)에는 전압 강하가 발생하는데, 접지 전압 라인 VSS(404)와 연결된 저항(446)에 의해 발생하는 전압 강하는 제2 검출 전압 V2로 NMOS-N형 다이오드(414)의 게이트와 NMOS 트랜지스터(N1)의 게이트로 동시에 인가되며, 상기 제2 검출 전압 V2가 NMOS 트랜지스터(N1)의 문턱 전압 이상 상승하면 채널이 형성되어 NMOS 트랜지스터(N1)를 빠르게 동작시킨다.
- <47> 그리고, 전원 전압 라인 VCC(402)와 연결된 저항(432)에 의해 발생하는 전압 강하는 제1 검출 전압 V1으로 PMOS-P형 다이오드의 게이트에 인가되고, 상기 제1 검출 전압 V1이 PMOS-P형 다이오드의 문턱 전압 이상 상승하면 채널이 열리기 시작하여, 전원 전압 라인 VCC(402)로 연결된 N형 불순물 영역(506)과 P형 불순물 영역(504) 정션(junction) 사이의 역방향 브레이크다운(reverse breakdown)을 빠르게 유도한다.
- <48> 다시말해, 본 발명의 일 실시예에 따른 정전기 방전 보호 장치는 입출력 패드(400)에서 네거티브 정전기(Negative ESD) 발생시, 처음에는 전원 전압 라인 VCC(402)에서 GCNMOS 트랜지스터(N1)인 방전부(450)를 거쳐 NMOS-N형 다이오드(414)를 통해 입출력 패드(400)로 방전하고, 정전기 전류에 의해 전원 전압 라인 VCC(402)와 입출력 패드(400) 사이의 전압이 상승하면 N형 가드링(미도시)과 NMOS-N형 다이오드(414) 사이의 기생 NPN 바이폴라가 동작하여 원치않는 정전기 방전 경로를 형성하기 전에, PMOS-P형 다이오드(412)의 역방향으로 동작시킴으로써, 취약한 기생 NPN 바이폴라 동작에 의한 불량을 방지할 수 있다.
- <49> 도 6은 정전기 방전 보호 장치를 구성하는 각 소자별 동작 전압과 동작 속도를 TLP(Transmission Line Pulse) 시

물레이션을 통해 비교한 파형도이다.

- <50> 도 6을 참조하면, 본 발명의 일 실시예에 따른 정전기 방전 보호 장치는 전압 검출부(440)와 결합한 방전부(450)가 가장 낮은 동작 전압 약 5.4V에서 가장 먼저 동작한다. 그리고, PMOS-P형 다이오드(412)의 역방향 동작 전압은 약 7.5V로 NMOS-N형 다이오드(414)의 기생 NPN 바이폴라 동작 전압 약 8.7V에 비해 낮음을 확인할 수 있다. 이는 종래 기술에 따른 정전기 방전 보호 장치의 P형 다이오드(도 1의 104)의 역방향 동작 전압 약 8.5V 보다 낮다.
- <51> 반면, 종래 기술에 따른 정전기 방전 보호 장치의 P형 다이오드(도 1의 104)의 역방향 동작 전압 약 8.5V은 기생 NPN 바이폴라 동작 전압 약 8.7V와 거의 같으므로 파워클램프(도 1의 109)가 보다 빠르게 동작하여 기생 NPN 바이폴라가 동작하기 전에 많은 정전기 전류를 방전시키지 못하면 불량이 발생할 가능성이 커질 수 있다.
- <52> 도 7을 참조하면, 본 발명의 다른 실시예에 따른 정전기 방전 보호 장치는 전달부(710, 720), CDM부(730), 전압 검출부(740) 및 방전부(750)를 포함하여 구성된다.
- <53> 여기서, 전달부(710, 720) CDM부(730) 및 방전부(750)는 도 4의 정전기 방전 보호 회로를 구성하는 전달부(710, 720), CDM부(730), 및 방전부(750)와 동일한 구성 및 동작을 수행한다.
- <54> 다만, 전압 검출부(740)는 캐패시터(도 4의 434)를 대신하여 직렬로 연결된 다이오드(744)를 저항(742, 746) 사이에 연결되는 구성이 상이하며, 동작은 전압 검출부(도 4의 440)와 동일하다. 여기서, 다이오드 개수는 총 다이오드의 동작 전압이 전원 전압 VCC의 동작 전압 보다 크도록 조절됨이 바람직하다.

발명의 효과

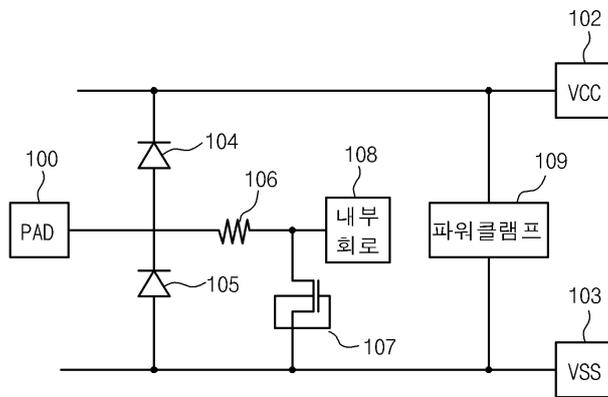
- <55> 따라서, 본 발명에 의하면 MOS형 다이오드를 구비하고 RC 회로에서 검출되는 전압 강하를 인가하여 취약한 기생 바이폴라 동작으로 발생할 수 있는 불량을 제거하는 정전기 방전 보호 장치를 제공하는 데 있다.
- <56> 또한, 본 발명에 의하면 상기 RC 회로에서 검출되는 전압 강하를 파워 클램프에 인가함으로써 동작 속도를 개선하여 고속 제품에 적합한 정전기 방전 보호 장치를 제공하는 데 있다.
- <57> 또한, 본 발명에 의하면 상기 MOS형 다이오드를 구비하여 캐패시턴스 증가를 방지하면서 고집적 제품에 적합한 정전기 방전 보호 장치를 제공하는 데 있다.

도면의 간단한 설명

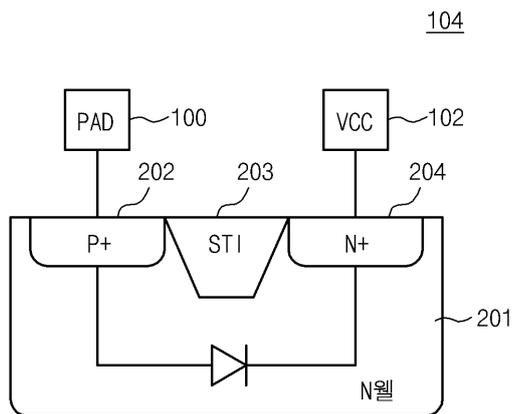
- <1> 도 1은 종래 기술에 따른 정전기 방전 보호 장치를 나타내는 회로도.
- <2> 도 2a는 도 1의 P형 다이오드의 단면도.
- <3> 도 2b는 도 1의 N형 다이오드의 단면도.
- <4> 도 3은 도 2b의 N형 다이오드와 인접한 가드링의 단면도.
- <5> 도 4는 본 발명의 일 실시예에 따른 정전기 방전 보호 장치를 나타내는 회로도.
- <6> 도 5a는 도 4의 PMOS-P형 다이오드의 단면도.
- <7> 도 5b는 도 4의 NMOS-N형 다이오드의 단면도.
- <8> 도 6은 정전기 방전 보호 장치를 구성하는 각 소자별 동작 전압과 동작 속도를 시물레이션을 통해 비교한 파형도.
- <9> 도 7은 본 발명의 다른 실시예에 따른 정전기 방전 보호 장치를 나타내는 회로도.

도면

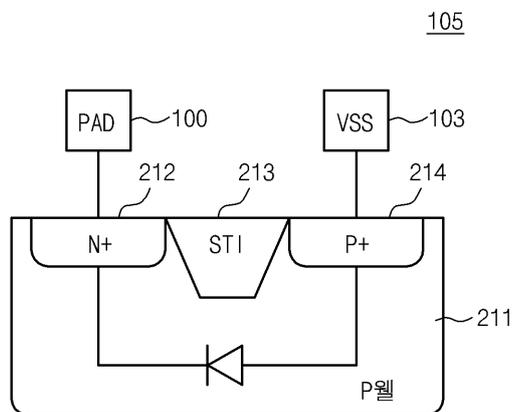
도면1



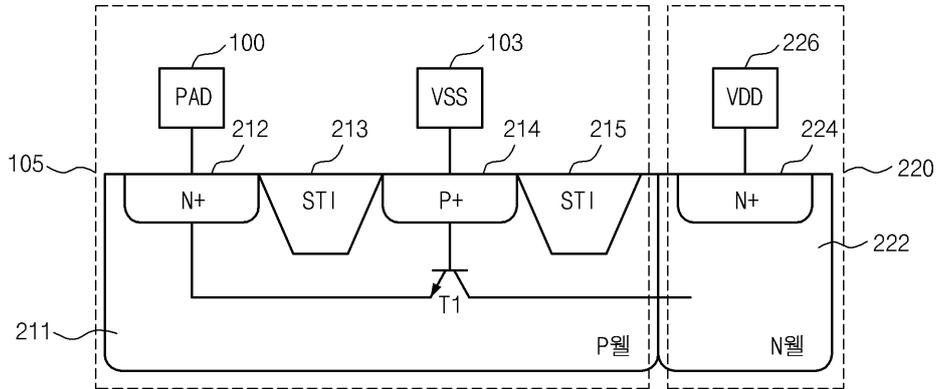
도면2a



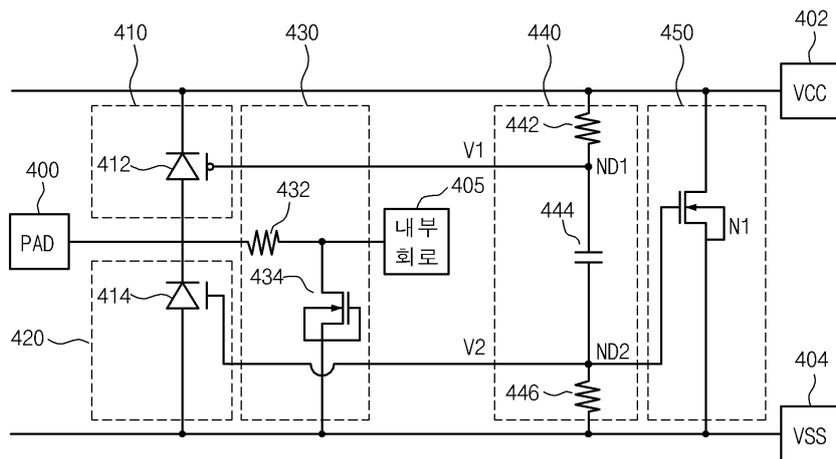
도면2b



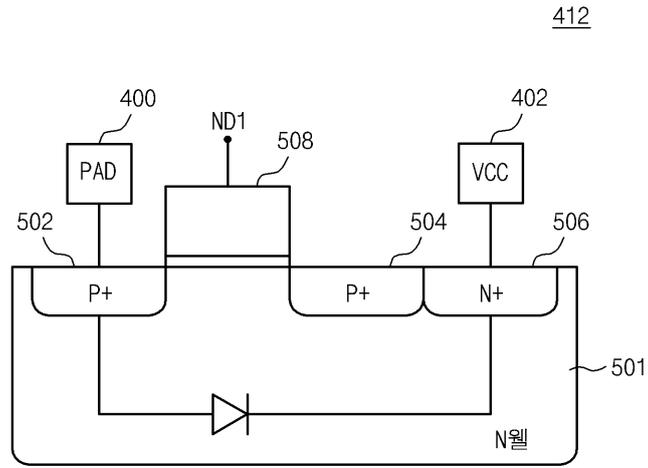
도면3



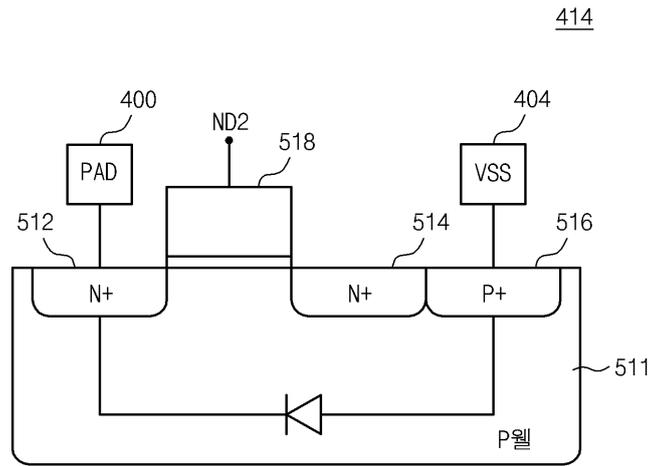
도면4



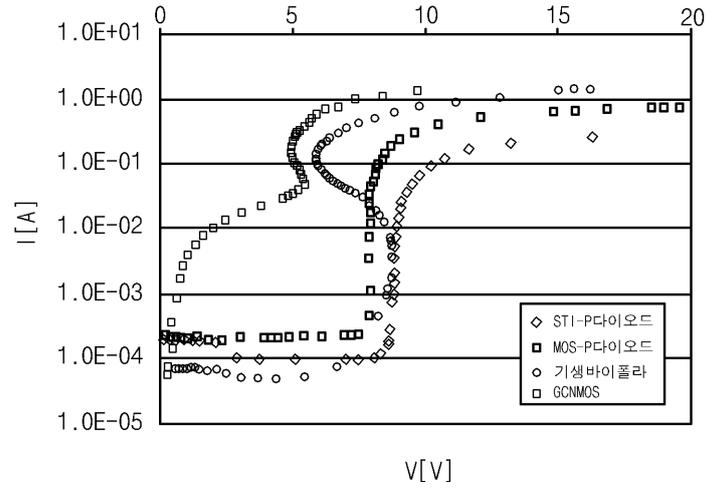
도면5a



도면5b



도면6



도면7

