



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2012년07월02일  
 (11) 등록번호 10-1161456  
 (24) 등록일자 2012년06월25일

(51) 국제특허분류(Int. Cl.)  
**H01L 21/266** (2006.01)  
 (21) 출원번호 10-2006-0072059  
 (22) 출원일자 2006년07월31일  
 심사청구일자 2010년09월01일  
 (65) 공개번호 10-2007-0016069  
 (43) 공개일자 2007년02월07일  
 (30) 우선권주장  
 JP-P-2005-00224353 2005년08월02일 일본(JP)  
 (56) 선행기술조사문헌  
 JP2001135591 A\*  
 JP2004297007 A\*  
 JP61160924 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**신덴겐코교 가부시키키가이사**  
 일본국 도쿄토 치요다쿠 오테마치 2초메 2반 1고  
**혼다 기켄 고교 가부시키키가이사**  
 일본 도쿄 미나토쿠 미나미-아오야마 2-1-1  
 (72) 발명자  
**노나카 겐이치**  
 일본 사이타마켄 와코시 츄오 1-4-1 가부시키키가  
 이샤 혼다 기쥬츠겐큐쇼 나이  
**하시모토 히데키**  
 일본 사이타마켄 와코시 츄오 1-4-1 가부시키키가  
 이샤 혼다 기쥬츠겐큐쇼 나이  
 (뒷면에 계속)  
 (74) 대리인  
**송승필, 김태홍**

전체 청구항 수 : 총 14 항

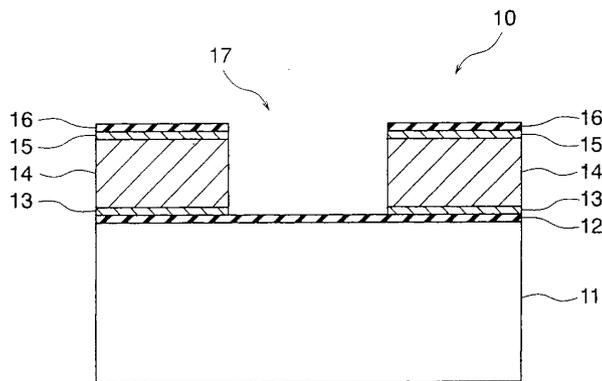
심사관 : 이석주

(54) 발명의 명칭 **이온 주입 마스크 및 그 제조 방법과, 이온 주입 마스크를이용한 탄화규소 반도체 장치 및 그 제조 방법**

**(57) 요약**

이온 주입 마스크(10)를 제조하는 제조 방법이 개시되어 있으며, 이 제조 방법은 반도체 기판(11)의 전면(全面)에 걸쳐 보호막으로서의 산화막(11)을 형성하는 단계와, 상기 산화막(12) 위에 금속 박막(13)을 형성하는 단계와, 상기 금속 박막(13) 위에 이온 저지 금속제의 이온 저지층을 형성하는 단계를 포함한다. 얻어진 이온 주입 마스크(10)는 보다 깊은 선택적 도전성 영역을 형성하는 데 사용된다.

**대표도 - 도1**



(72) 발명자

**요코야마 세이이치**

일본 사이타마켄 와코시 츄오 1-4-1 가부시키키가이샤  
샤 혼다 기쥬즈겐큐쇼 나이

**이와쿠로 히로아키**

일본 사이타마켄 한노시 미나미초 10-13 신텐겐코  
교가부시키키가이샤 고쥬 나이

**니시카와 고이치**

일본 사이타마켄 한노시 미나미초 10-13 신텐겐코  
교가부시키키가이샤 고쥬 나이

**시미즈 마사아키**

일본 사이타마켄 한노시 미나미초 10-13 신텐겐코  
교가부시키키가이샤 고쥬 나이

**후쿠다 유스케**

일본 사이타마켄 한노시 미나미초 10-13 신텐겐코  
교가부시키키가이샤 고쥬 나이

**특허청구의 범위**

**청구항 1**

반도체 기판 상의 전면(全面)에 형성된 보호막인 제1 산화막과,  
 이온 저지 능력을 구비한 금속을 포함하는 이온 저지층과,  
 상기 제1 산화막과 상기 이온 저지층의 사이에, 상기 제1 산화막과 상기 이온 저지층을 밀착시키는 제1 금속 박막과,  
 상기 이온 저지층의 바로 위에 형성된 제2 산화막과,  
 상기 제2 산화막과 상기 이온 저지층의 사이에, 상기 제2 산화막과 상기 이온 저지층을 밀착시키는 제2 금속 박막  
 을 포함하는 것을 특징으로 하는 이온 주입 마스크.

**청구항 2**

제1항에 있어서, 상기 제1 금속 박막은, 상기 이온 저지층에 사용된 금속보다 산화되기 쉬운 것을 특징으로 하는 이온 주입 마스크.

**청구항 3**

제1항 또는 제2항에 있어서,  
 상기 제1 산화막은 규소 산화막이고,  
 상기 제1 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬 중 적어도 하나를 사용한 박막이고,  
 상기 이온 저지층에 사용된 금속은 폴리브덴 또는 텅스텐인 것인 것을 특징으로 하는 이온 주입 마스크.

**청구항 4**

반도체 기판 상의 전면(全面)에 형성된 보호막인 제1 질화막과,  
 이온 저지 능력을 구비한 금속을 포함하는 이온 저지층과,  
 상기 제1 질화막과 상기 이온 저지층의 사이에, 상기 제1 질화막과 이온 저지층을 밀착시키는 제1 금속 박막과,  
 상기 이온 저지층의 바로 위에 형성된 제2 질화막과,  
 상기 제2 질화막과 상기 이온 저지층의 사이에, 상기 제2 질화막과 상기 이온 저지층을 밀착시키는 제2 금속 박막  
 을 포함하는 것을 특징으로 하는 이온 주입 마스크.

**청구항 5**

제4항에 있어서, 상기 제1 금속 박막은, 상기 이온 저지층에 사용된 금속보다 질화되기 쉬운 것을 특징으로 하는 이온 주입 마스크.

**청구항 6**

제4항 또는 제5항에 있어서,  
 상기 제1 질화막은 규소 질화막이고,  
 상기 제1 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬 중 적어도 하나를 사용한 박막이고,  
 상기 이온 저지층에 사용된 금속은 폴리브덴 또는 텅스텐인 것을 특징으로 하는 이온 주입 마스크.

**청구항 7**

반도체 기판 상의 전면에 보호막인 제1 산화막을 형성하는 제1 산화막 형성 단계와,  
 상기 제1 산화막 상에 제1 금속 박막을 형성하는 제1 금속 박막 형성 단계와,  
 상기 제1 금속 박막 상에 이온 저지 능력을 구비한 금속을 포함하는 이온 저지층을 형성하는 이온 저지층 형성 단계와,  
 상기 이온 저지층 상에 제2 금속 박막을 형성하는 제2 금속 박막 형성 단계와,  
 상기 제2 금속 박막 상에 제2 산화막을 형성하는 제2 산화막 형성 단계  
 를 포함하는 것을 특징으로 하는 이온 주입 마스크의 제조 방법.

**청구항 8**

제7항에 있어서, 상기 제1 금속 박막은 상기 이온 저지층에 사용된 금속보다 산화되기 쉬운 것을 특징으로 하는 이온 주입 마스크의 제조 방법.

**청구항 9**

제7항 또는 제8항에 있어서,  
 상기 제1 산화막은 규소 산화막이고,  
 상기 제1 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬 중 적어도 하나를 사용한 박막이고,  
 상기 이온 저지층에 사용된 금속은 몰리브덴 또는 텅스텐인 것을 특징으로 하는 이온 주입 마스크의 제조 방법.

**청구항 10**

반도체 기판 상의 전면에 보호막인 제1 질화막을 형성하는 제1 질화막 형성 단계와,  
 상기 제1 질화막 상에 제1 금속 박막을 형성하는 제1 금속 박막 형성 단계와,  
 상기 제1 금속 박막 상에 이온 저지 능력을 구비한 금속을 포함하는 이온 저지층을 형성하는 이온 저지층 형성 단계와,  
 상기 이온 저지층 상에 제2 금속 박막을 형성하는 제2 금속 박막 형성 단계와,  
 상기 제2 금속 박막 상에 제2 질화막을 형성하는 제2 질화막 형성 단계  
 를 포함하는 것을 특징으로 하는 이온 주입 마스크의 제조 방법.

**청구항 11**

제10항에 있어서, 상기 제1 금속 박막은, 상기 이온 저지층에 사용된 금속보다 질화되기 쉬운 것을 특징으로 하는 이온 주입 마스크의 제조 방법.

**청구항 12**

제10항 또는 제11항에 있어서,  
 상기 제1 질화막은 규소 질화막이고,  
 상기 제1 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬 중 적어도 하나를 사용한 박막이고,  
 상기 이온 저지층에 사용된 금속은 몰리브덴 또는 텅스텐인 것을 특징으로 하는 이온 주입 마스크의 제조 방법.

**청구항 13**

제1 도전성 저저항 층인 탄화규소 반도체 기판에 형성된 제1 도전성 고저항 층과,  
 상기 제1 도전성 저저항 층을 포함하는 소스 영역과,  
 제1항 또는 제4항에 따른 이온 주입 마스크를 사용하여 이온 주입을 행해 형성된 제2 도전성 저저항 층인 게

이트 영역과,  
소스 전극, 게이트 전극 및 드레인 전극  
을 포함하는 것을 특징으로 하는 탄화규소 반도체 장치.

**청구항 14**

제1 도전성 저저항 층인 탄화규소 반도체 기판에 제1 도전성 고저항 층을 형성하는 고저항 층 형성 단계와,  
소스 영역을 구성하는 제1 도전성 저저항 층을 형성하는 저저항 층 형성 단계와,  
제1항 또는 제4항에 따른 이온 주입 마스크를 사용하여 이온 주입을 행해 제2 도전성 저저항 층인 게이트 영  
역을 형성하는 게이트 영역 형성 단계와,  
소스 전극, 게이트 전극 및 드레인 전극을 형성하는 전극 형성 단계  
를 포함하는 것을 특징으로 하는 탄화규소 반도체 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- [0023] 본 발명은 반도체 기판에 전기적 도전 영역을 형성하는 이온 주입 공정에 사용되는 이온 주입 마스크 및 그 제조 방법과, 이온 주입 마스크를 이용하는 탄화규소 반도체 장치 및 그 제조 방법에 관한 것이다.
- [0024] 탄화규소(SiC) 반도체는 실리콘보다 밴드 갭(band gap)이 크기 때문에 내전압 및 내열성이 우수하며, 파워 디바이스에 적용할 때에 큰 포텐셜을 가질 것으로 예상된다.
- [0025] 도 11 및 도 12는 SiC 파워 디바이스의 통상의 예로서 접합형 전계 효과 트랜지스터(100)의 일부의 단면도 및 평면도를 각각 도시하고 있다. 도 12는 5개의 소스를 구비하는 접합형 전계 효과 트랜지스터(100)의 예를 도시하고 있다. 도 11은 도 12의 B-B 선을 따른 단면에서의 구조를 확대하여 도시하고 있다. 이러한 접합형 전계 효과 트랜지스터(100)는 n형 저저항 층인 드레인 영역(101); n형 고저항 층인 드리프트 영역(102); n형 저저항 영역인 소스 영역(103); 소스 영역을 둘러싸도록 형성된 p형 저저항 영역인 게이트 영역(104); 드레인 전극(105), 소스 전극(106) 및 게이트 전극(107)을 포함한 3가지 유형의 전극을 구비한다. 이러한 구조에서, 고저항의 n<sup>-</sup>층(102)은 저저항의 n<sup>+</sup> SiC 기판(101) 상에서의 에피택셜 성장에 의해 형성된다. 이 기판은 주 전극 중 하나인 드레인 영역(101)을 형성한다. 다른 주 전극인 소스 영역(103)은 고저항의 n<sup>-</sup>층(102)의 표면에 마련된다. 각각의 소스 전극(106)은 길고 얇은 형상을 가지며, 다수의 소스 전극(106)은 도 12에 도시된 바와 같이 상호 분리되어 정렬되어 있다. 제어 전극인 게이트 전극(107)이 소스 전극(106)을 둘러싸도록 마련되어 있다. 소스 전극(106)과 드레인 전극(105) 사이에서 흐르는 전류는 게이트 전극(107)에 인가되는 신호에 의해 흐르게 되거나 차단된다.
- [0026] 이용되는 재료의 성질 차이 때문에 실리콘 프로세스를 상기 SiC 디바이스의 제조 프로세스에 변형 없이 사용할 수 없는 경우가 많으며, 새로운 처리 기술의 개발이 주요 이슈로 되고 있다. 도 11에 도시된 경우에는 p<sup>+</sup> 게이트 영역(104) 또는 다른 선택적 도전성 영역을 형성하기 위한 기술의 예가 도시되어 있다. 게이트 영역(104)을 선택적 도전성 영역으로서 형성한 때에는, 실리콘에 대해서 통상적으로 사용하는 열 확산을 사용할 수 없다. 그 이유는, 반도체의 도전율을 제어하는 데 사용된 SiC 중의 불순물이 낮은 확산 계수를 갖기 때문이다. 이를 고려하여, SiC에서는 선택적 도전성 영역으로서 게이트 영역(104)을 형성하기 위해서 단지 이온 주입법만이 사용된다.
- [0027] 도 13은 이온 주입법에 의해 게이트 영역을 형성하는 제조 스테이지 중의 접합형 전계 효과 트랜지스터(100)의 일부의 단면도를 도시한다. 도 11에 도시된 요소와 유사한 요소에는 동일한 부호를 병기한다. 이온 주입법에 있어서는, 도 13에 도시된 바와 같이, 형성하고자 하는 게이트 영역(104) 이외의 영역에서 불순물 이온이 SiC 중에 주입되는 것을 방지하기 위하여, 개구(108)가 있는 마스크(109)가 미리 제공되며, 불순물 이온은

화살표 110으로 도시된 바와 같이 전면(全面)으로 안내되어, 이온을 필요한 영역에만 주입할 수 있다. 여기서, 깊은 게이트 영역을 형성하기 위해서는 높은 주입 에너지가 필요하며, 종래의 실리콘에 채용한 마스크 재료 및 두께를 사용할 수 없을 때에는 특별한 마스크를 준비해야 한다. 입수 가능한 문헌(신기능 소자 개발 협회 발행의 "2002년도 신에너지 산업 기술 총회 개발 기구의 위탁 성과 보고서, 초저손실 전력 소자 기술 개발, 소자화 기술")은, 두께가 3.2  $\mu\text{m}$ 이고 화학 증착법(CVD)에 의해 형성된 규소 산화막( $\text{SiO}_2$ )을 마스크로서 사용하고, 알루미늄을 최대 에너지 1.4 MeV의 이온 주입에 의해 게이트를 형성하는 데에 사용하는 예를 개시하고 있다. 이로써 깊이가 약 2  $\mu\text{m}$ 인 게이트 영역이 형성된다. 또한, 이러한 방식으로 형성된 접합형 전계 효과 트랜지스터의 게이트 전극에 역전압을 인가하게 되면, 채널이 차단되고, 트랜지스터가 오프 상태로 되는 것으로 확인되었다. 구체적으로, 게이트 전극에 음의 전압이 인가되는 때에 접합형 전계 효과 트랜지스터가 오프 상태로 되도록 통상-온 타입(normally-on type)의 특징이 나타나는 것으로 확인되었다.

[0028] 어떠한 이상이 발생하여 게이트로의 제어 신호가 차단된 때에, 오프 상태로 되는 파워 디바이스에 대하여 많은 요구가 있다. 그러한 파워 디바이스에 있어서는 통상-오프 타입의 특징을 갖는 것이 중요한 요건이다. 전술한 문헌(신기능 소자 개발 협회 발행의 "2002년도 신에너지 산업 기술 총회 개발 기구의 위탁 성과 보고서, 초저손실 전력 소자 기술 개발, 소자화 기술")에서는, 약 2  $\mu\text{m}$ 의 게이트 깊이를 얻을 수 있지만, 접합형 전계 효과 트랜지스터는 통상-온 타입의 특징을 가졌다. 이를 고려하여, 게이트에 음의 전압을 인가하여 디바이스를 오프 상태로 되게 하는 통상-온 특징으로부터 0 V의 게이트 전압에서 디바이스를 오프 상태로 유지할 수 있는 통상-오프 특징으로 전이시키기 위하여 보다 깊은 게이트를 형성할 것이 요구된다. 선택적 도전성 영역으로서 보다 깊은 게이트 영역을 형성하기 위하여, 고에너지의 이온을 주입해야 한다. 그러나,  $\text{SiO}_2$  등으로 제조되는 종래의 마스크를 사용하는 경우에, 고에너지 이온을 주입하게 되면, 이온이 마스크를 통과하여 마스크의 개구 이외의 영역에 주입되는 문제를 초래한다. 다른 문제는,  $\text{SiC}$ 가 마스크의 개구를 통하여 노출되기 때문에 게이트 영역이 오염될 수 있고, 선택적 도전성 영역의 품질이 저하될 수 있다는 것이다.

**발명이 이루고자 하는 기술적 과제**

[0029] 따라서 본 발명의 목적은, 종래 기술보다 깊은 선택적 도전성 영역을 형성하고 종래 기술보다 고품질의 선택적 도전성 영역을 산출하는 데 사용할 수 있는 이온 주입 마스크 및 그 제조 방법과, 그러한 이온 주입 마스크를 사용하는 탄화규소 반도체 장치 및 그 제조 방법을 제공하는 것이다.

**발명의 구성 및 작용**

[0030] 일 양태에 따르면, 본 발명은 반도체 기판의 전면 상에 보호막으로서 형성된 산화막과, 이온 저지 금속으로 구성된 이온 저지층과, 산화막과 이온 저지층을 함께 접합하도록 산화막과 이온 저지층 사이에 배치된 금속 박막을 포함하는 이온 주입 마스크를 제공한다.

[0031] 이러한 구조에 따르면, 이온 저지층은 종래의 마스크에 사용된 규소 산화막보다 밀도가 높은 금속으로 제조된다. 따라서 이러한 이온 저지층을 구성 요소로서 구비하는 이온 주입 마스크는 종래의 마스크보다 이온 저지 능력이 우수하다. 그에 따라 이온 저지층은 고에너지의 이온을 저지할 수 있고, 따라서 이러한 이온 저지층을 구성 요소로서 구비하는 이온 주입 마스크를 이용한 이온 주입에 의하여 반도체에 보다 깊은 선택적 도전성 영역을 형성할 수 있다.

[0032] 이온 주입 마스크에 사용된 금속 박막은 이온 저지층에 사용된 금속보다 산화되기 쉬운 것이 바람직하다.

[0033] 이러한 구조에 따르면, 이온 주입 마스크를 구성하는 금속 박막은 이온 저지층에 사용된 금속보다 산화되기 쉬우므로, 산화막의 산소 원자와 금속 박막의 금속 원자 사이의 원자간 결합이 산화막과 이온 저지층의 금속 원자 사이의 원자간 결합보다 강하기 때문에, 이온 저지층과 산화막 사이의 금속 박막이 이온 저지층의 박리를 방지하도록 작용한다.

[0034] 이온 주입 마스크에 사용된 산화막은 규소 산화막이고, 상기 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 이루어진 군에서 선택된 적어도 1종의 원소를 이용하여 얻은 박막이고, 상기 이온 저지층에 사용된 금속은 몰리브덴 또는 텅스텐인 것이 바람직하다.

[0035] 이러한 구조에 따르면, 이온 저지층은 종래의 이온 주입 마스크에 사용된 규소 산화막보다 밀도가 높은 몰리브덴 또는 텅스텐으로 구성되기 때문에, 이온 저지층은 규소 산화막보다 이온 저지 능력이 우수하다. 따라서 이러한 이온 저지층은 고에너지의 이온을 저지할 수 있고, 구성 요소로서 이온 저지층을 구비하는 이온 주입 마스크를 이용한 이온 주입에 의하여 반도체에 보다 깊은 선택적 도전성 영역을 형성할 수 있다. 또한,

티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 제조되고 이온 주입 마스크를 구성하는 금속 박막으로서 사용되는 박막은 이온 저지층에 사용된 몰리브덴 또는 텅스텐보다 산화되기 쉽다. 따라서 산화막의 산소 원자와 금속 박막의 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬 원자 사이의 원자간 결합은 산화막과 이온 저지층 중의 몰리브덴 또는 텅스텐 원자 사이의 원자간 결합보다 강하기 때문에, 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 구성되고 이온 저지층과 산화막 사이에 배치되는 박막은 이온 저지층의 박리를 방지하도록 작용한다.

[0036] 본 발명은 또한 반도체 기판의 전면 상에 보호막으로서 형성된 질화막과, 이온 저지 금속으로 구성된 이온 저지층과, 질화막과 이온 저지층을 함께 접합하도록 질화막과 이온 저지층 사이에 배치된 금속 박막을 포함하는 이온 주입 마스크를 제공한다.

[0037] 이러한 구조에 따르면, 이온 저지층은 종래의 마스크에 사용된 규소 산화막보다 밀도가 높은 금속으로 제조된다. 따라서 이러한 이온 저지층을 구성 요소로서 구비하는 이온 주입 마스크는 종래의 마스크보다 이온 저지 능력이 우수하다. 그에 따라 이온 저지층은 고에너지의 이온을 저지할 수 있고, 따라서 이러한 이온 저지층을 구성 요소로서 구비하는 이온 주입 마스크를 이용한 이온 주입에 의하여 반도체에 보다 깊은 선택적 도전성 영역을 형성할 수 있다.

[0038] 이온 주입 마스크에 사용된 금속 박막은 이온 저지층에 사용된 금속보다 질화되기 쉬운 것이 바람직하다.

[0039] 이러한 구조에 따르면, 이온 주입 마스크를 구성하는 금속 박막은 이온 저지층에 사용된 금속보다 질화되기 쉬우므로, 질화막의 질소 원자와 금속 박막의 금속 원자 사이의 원자간 결합이 질화막과 이온 저지층의 금속 원자 사이의 원자간 결합보다 강하기 때문에, 이온 저지층과 질화막 사이의 금속 박막이 이온 저지층의 박리를 방지하도록 작용한다.

[0040] 이온 주입 마스크에 사용된 질화막은 규소 질화막이고, 상기 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 이루어진 군에서 선택된 적어도 1종의 원소를 이용하여 얻은 박막이고, 이온 저지층에 사용된 금속은 몰리브덴 또는 텅스텐인 것이 바람직하다.

[0041] 이러한 구조에 따르면, 이온 저지층은 종래의 이온 주입 마스크에 사용된 규소 산화막보다 밀도가 높은 몰리브덴 또는 텅스텐으로 구성되기 때문에, 이온 저지층은 규소 산화막보다 이온 저지 능력이 우수하다. 따라서 이러한 이온 저지층은 고에너지의 이온을 저지할 수 있고, 구성 요소로서 이온 저지층을 구비하는 이온 주입 마스크를 이용한 이온 주입에 의하여 반도체에 보다 깊은 선택적 도전성 영역을 형성할 수 있다. 또한, 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 제조되고, 이온 주입 마스크를 구성하는 금속 박막으로서 사용되는 박막은 이온 저지층에 사용된 몰리브덴 또는 텅스텐보다 쉽게 질화물을 형성한다. 따라서 질화막의 질소 원자와 금속 박막의 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬 원자 사이의 원자간 결합은 질화막과 이온 저지층 중의 몰리브덴 또는 텅스텐 원자 사이의 원자간 결합보다 강하기 때문에, 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 구성되고 이온 저지층과 질화막 사이에 배치되는 박막은 이온 저지층의 박리를 방지하도록 작용한다.

[0042] 또한, 본 발명은 반도체 기판의 전면 상에 보호층으로서의 산화막을 형성하는 산화막 형성 단계와, 상기 산화막 상에 금속 박막을 형성하는 금속 박막 형성 단계와, 상기 금속 박막 상에 이온 저지 금속으로 구성된 이온 저지층을 형성하는 이온 저지층 형성 단계를 포함하는 이온 주입 마스크의 제조 방법을 제공한다.

[0043] 이온 주입 마스크의 제조 방법에 사용된 금속 박막은 이온 저지층에 사용된 금속보다 산화되기 쉬운 것이 바람직하다.

[0044] 이온 주입 마스크의 제조 방법에 사용된 산화막은 규소 산화막이고, 상기 금속 박막은 티탄, 지르코늄, 바나듐, 니오븀, 하프늄 및 크롬으로 이루어진 군에서 선택된 적어도 1종의 원소를 이용하여 얻은 박막이고, 상기 이온 저지층에 사용된 금속은 몰리브덴 또는 텅스텐인 것이 바람직하다.

[0045] 본 발명은, 반도체 기판의 전면 상에 보호층으로서의 질화막을 형성하는 질화막 형성 단계와, 상기 질화막 상에 금속 박막을 형성하는 금속 박막 형성 단계와, 상기 금속 박막 상에 이온 저지 금속으로 구성된 이온 저지층을 형성하는 이온 저지층 형성 단계를 포함하는 이온 주입 마스크의 제조 방법을 또한 제공한다.

[0046] 이온 주입 마스크의 제조 방법에 사용된 금속 박막은 이온 저지층에 사용된 금속보다 질화되기 쉬운 것이 바람직하다.

[0047] 이온 주입 마스크의 제조 방법에 사용된 질화막은 규소 질화막이고, 상기 금속 박막은 티탄, 지르코늄, 바나

뎀, 니오븀, 하프늄 및 크롬으로 이루어진 군에서 선택된 적어도 1종의 원소를 이용하여 얻은 박막이고, 상기 이온 저지층에 사용된 금속은 몰리브덴 또는 텅스텐인 것이 바람직하다.

- [0048] 또한, 본 발명은 제1 도전성 저저항 층인 탄화규소 반도체 기판 상에 형성된 제1 도전성 고저항 층과, 상기 제1 도전성 저저항 층으로 구성된 소스 영역과, 전술한 바와 같이 구성된 이온 주입 마스크를 이용한 이온 주입에 의해 형성된 제2 도전성 저저항 층인 게이트 영역과, 소스 전극, 게이트 전극 및 드레인 전극을 포함하는 탄화규소 반도체 장치를 제공한다.
- [0049] 본 발명은, 제1 도전성 저저항 층인 탄화규소 반도체 기판 상에 제1 도전성 고저항 층을 형성하는 단계와, 소스 영역을 구성하는 제1 도전성 저저항 층을 형성하는 단계와, 전술한 바와 같은 이온 주입 마스크를 이용한 이온 주입에 의해 형성된 제2 도전성 저저항 층인 게이트 영역을 형성하는 단계와, 소스 전극, 게이트 전극 및 드레인 전극을 형성하는 단계를 포함하는 탄화규소 반도체 장치의 제조 방법을 또한 제공한다.
- [0050] 첨부 도면을 참고로 하여, 한정 의도는 없고 단지 예시적인 본 발명의 특징의 바람직한 실시예를 이하에서 상세하게 설명하기로 한다.
- [0051] 본 발명의 이온 주입 마스크(10)의 기본 구조의 종단면도 및 평면도를 각각 도시하고 있는 도 1 및 도 2를 먼저 참고하기로 한다.
- [0052] 이온 주입 마스크(10)는 예컨대 SiC 파워 디바이스를 제조할 때의 이온 주입 공정에 사용될 수 있다. 이를 고려하여, SiC 접합형 전계 효과 트랜지스터의 게이트 영역을 제조하기 위한 마스크를 예로서 설명한다. 도 2는, 5개의 소스 영역의 둘레에 배치되는 선택적 도전성 영역인 게이트 영역을 형성하기 위하여 개구(17)를 형성하는 제조 공정 중에 기판(11)을 상측에서 보았을 때의 이온 주입 마스크(10)의 일부를 도시한다. 도 1은 도 2의 선 A-A를 따른 단면 구조를 확대하여 도시하고 있다. 드레인 영역, 소스 영역, 그리고 게이트 영역의 형성에 선행하여 형성되는 다른 영역을 형성함으로써 SiC 기판(11) 상에 구조를 형성할 수 있지만, 본 실시예가 이온 주입 마스크의 구조를 설명하는 것만을 의도하고 있으므로 이들 구조는 생략한다.
- [0053] 이온 주입 마스크(10)는 규소 산화막(SiO<sub>2</sub>)으로 구성되고 SiC 기판(11)의 전면 상에 형성된 제1 산화막(12)과, 티탄(Ti)으로 구성되고 상기 제1 산화막(11) 상에 형성된 제1 금속 박막(13)과, 몰리브덴(Mo)으로 구성되고 상기 제1 금속 박막(13) 상에 형성된 이온 저지층(14)과, 티탄으로 구성되고 상기 이온 저지층(14) 상에 형성된 제2 금속 박막(15)과, 규소 산화막(SiO<sub>2</sub>)으로 구성되고 제2 금속 박막(15) 상에 형성된 제2 산화막(16)을 포함한다. 게이트 영역을 형성하기 위하여 이온을 주입하도록 제1 산화막(12)만을 남겨둔 상태로 개구(17)를 형성한다.
- [0054] 이온 저지층(14)은 종래의 마스크에 사용된 규소 산화막보다 밀도가 큰 금속으로 구성된다. 따라서 구성 요소로서 이러한 이온 저지층(14)을 구비하는 이온 주입 마스크(10)는 종래의 마스크보다 이온 저지 능력이 우수하다. 따라서, 이온 저지층(14)은 고에너지의 이온을 저지할 수 있고, 구성 요소로서 이러한 이온 저지층(14)을 구비하는 이온 주입 마스크(10)를 고에너지의 이온을 주입하는 데 사용할 수 있고, 이로써 마스크 부분에 의해 이온을 적절하게 저지하면서 보다 깊은 선택적 도전성 영역(게이트 영역)을 반도체에 형성할 수 있다.
- [0055] 이온 저지층(14)에 사용되는 금속 몰리브덴은 스퍼터링 장치 또는 증착 장치에 의해 용이하게 성막될 수 있으며, 또한 예칭 가공을 용이하게 실시할 수도 있다. 구체적으로, 몰리브덴을 사용하는 처리 공정을 실행하기 위하여 종래의 반도체 처리 장치를 변형 없이 사용할 수 있다. 또한, 몰리브덴과 SiC 기판(11) 사이의 열팽창 계수의 차이가 작기 때문에, 몰리브덴으로 구성된 이온 저지층(14)을 고온에서 형성하고 기판을 실온으로 복귀시킬 때에 이온 저지층(14)에 작용하는 열응력이 작다. 따라서, 이온 저지층(14)에 균열이 쉽게 발생하지 않아서, 고품질의 이온 저지층(14)을 형성할 수 있다. 따라서, 이온 저지층(14)에 의해 이온 주입을 더욱 만족스럽게 감소시킬 수 있다.
- [0056] 이온 주입 마스크(10)를 구성하는 제1 금속 박막(13) 및 제2 금속 박막(15)에 사용된 티탄 박막은 이온 저지층(14)에 사용되는 금속인 몰리브덴보다 용이하게 산화된다. 구체적으로, 산화막(12, 16) 중의 산소 원자와 금속 박막(13, 15) 중의 티탄 원자 사이의 원자간 결합은 산화막(12, 16)과 이온 저지층(14)의 몰리브덴 결합 사이의 원자간 결합보다 강하다. 따라서, 이온 저지층(14)과 산화막(12, 16) 사이에서 티탄 박막으로 구성된 금속 박막(13, 15)은 이온 저지층(14)의 박리를 방지하는 접촉층으로서 작용한다.
- [0057] 이제 티탄이 몰리브덴보다 용이하게 산화되는 이유를 설명한다. 산화 반응의 표준 자유 에너지 변화(또는 엔

트로피 변화를 표준 자유 에너지 변화에 더한 표준 생성 엔탈피 변화)를 이온 주입 마스크(10)의 작동 온도에서 얼마나 용이하게 산화가 일어나는가에 대한 결정 수단으로서 사용한다. 산화 반응에 있어서 표준 자유 에너지 변화의 음의 절대치가 클수록 산화가 용이하게 발생하는 것으로 생각된다. 표 1은 다양한 금속의 산화 반응에 있어서 금속 1 mol당 표준 생성 엔탈피 변화( $\Delta H^\circ$ )를 나타내고 있다.

표 1

[0058]

금속	$\Delta H^\circ$ (kJ/mol)
Ti	-916.3
Zr	-1094.5
Hf	-1120.9
V	-736.8
Nb	-800.0
Cr	-581.2
W	-569.9
Mo	-543.5

[0059]

표 1에 나타난 바와 같이, 몰리브덴을 포함하는 산화 반응에서의 표준 생성 엔탈피 변화는 -543.5(kJ/mol) 이고, 티탄을 포함하는 산화 반응에서의 표준 생성 엔탈피 변화는 -916.3(kJ/mol) 이다. 결과적으로, 산화 반응에서의 티탄의 표준 생성 엔탈피 변화의 음의 절대치는 몰리브덴의 경우보다 크다. 따라서, 이들 값으로부터 산화 반응에서의 엔트로피 변화를 감산함으로써 얻은 표준 자유 에너지의 음의 절대치도 또한 몰리브덴의 경우보다 티탄의 경우가 크기 때문에, 티탄이 몰리브덴보다 용이하게 산화되는 것으로 말할 수 있다.

[0060]

티탄은 또한 통상적으로 사용되는 스퍼터링 장치 또는 증착 장치에 의해 보다 용이하게 성막될 수 있고, 또한 보다 용이하게 에칭 가공될 수 있다. 따라서 티탄이 제1 금속 박막 및 제2 금속 박막에 사용되는 금속으로서 적합하다. 통상의 반도체 프로세스에 적용할 수 있고, 산화되기 쉬우며, 접착층으로서 충분히 작용할 수 있으면, 티탄 이외의 재료를 금속 박막(13, 15)으로 사용할 수도 있다. 티탄 이외의 다른 가능한 예로는 지르코늄, 바나듐, 니오븀, 하프늄, 및 크롬이 포함된다.

[0061]

제2 산화막(16)은 이온 저지층(14)을 형성하는 몰리브덴의 에칭 중에 마스크로서 기능하도록 형성된다. 몰리브덴 층에 포토레지스트를 직접적으로 형성하는 경우에는, 제2 금속 박막(15)과 제2 산화막(16)은 필요하지 않다. 그러나, 종래의  $CF_4/O_2$  가스 혼합물에서 반응성 이온 에칭(RIE)을 이용하여 몰리브덴을 에칭하는 처리 장치의 반응 시스템에서는 몰리브덴 상에 포토레지스트를 직접적으로 형성할 수 없으므로, 그러한 시스템에 제2 산화막(16)이 제공된다.

[0062]

도 1에 도시된 이온 주입 마스크(10)는 3 MeV 이상에서의 알루미늄 이온 주입을 위하여 저지층의 기능을 실행하는 마스크 구조로서 사용된다. 주로 고에너지 이온을 저지하기 위한 이온 저지층(14)으로서 사용되는 몰리브덴은, 반도체 처리 장치에 의해 수 마이크로미터의 두께를 갖는 막으로 형성될 수 있고, 이온을 저지하는 능력이 크고, 반도체 프로세서에서의 가공성이 우수하며, 반도체 재료의 열팽창 계수와 유사한 열팽창 계수를 갖는 재료이다.

[0063]

몰리브덴 이외에, 텅스텐도 위에서 설명하는 특징을 갖기 때문에, 이온 저지층(14)으로 사용할 수 있는 재료의 다른 예로는 텅스텐이 포함된다. 도 3의 표 1에 개시된 바와 같이, 텅스텐을 포함한 산화 반응에 있어서의 표준 생성 엔탈피 변화는 -569.9(kJ/mol)로서, 음의 절대치가 티탄을 포함한 산화 반응에 있어서의 표준 생성 엔탈피 변화인 -916.3 (kJ/mol)보다 작다. 텅스텐은 몰리브덴과 마찬가지로 산화되기 어렵다. 따라서 텅스텐이 사용된 이온 저지층(14)은 제1 금속 박막(13)으로서 티탄 박막을 이용함으로써 제1 산화막(13)으로부터 더욱 박리되기 어렵게 된다. 또한, 텅스텐과 SiC 사이의 열팽창 계수의 차이가 작다. 따라서, 텅스텐으로 이루어지는 이온 저지층(14)을 고온에서 형성한 후에, 실온으로 복귀시킬 때에, 이온 저지층(14)에서 발생하는 열응력이 작기 때문에, 이온 저지층(14)에 크랙이 형성되지 않게 된다. 따라서 텅스텐을 이용하게 되면, 고품질의 이온 저지층(14)을 형성할 수 있고, 이온 주입을 만족스럽게 저지하는 이온 주입 마스크를 형성할 수 있다.

[0064]

도 3은 몰리브덴의 높은 이온 저지 능력을 확인하기 위하여 행한 모의 실험 결과를 도시한다. 도 3은 알루미늄을 3 MeV의 에너지로 주입할 때에 산화규소와 몰리브덴 중의 알루미늄의 분포를 모의 실험한 결과를 도시하고 있다. 횡축은 주입 깊이를 나타내고, 종축은 알루미늄 농도를 나타낸다. 흰 원형 플롯(P10)은 알루미늄

이온을 폴리브텐에 주입할 때에 다양한 주입 깊이에서의 알루미늄 농도를 나타낸다. 검은 원형 플롯(P111)은 알루미늄 이온을 산화규소에 주입할 때에 다양한 주입 깊이에서의 알루미늄 농도를 나타낸다. 알루미늄의 피크 농도를 약  $1 \times 10^{19} \text{ cm}^{-3}$  으로부터  $1 \times 10^{16} \text{ cm}^{-3}$  으로 3자리 작게 감소시키는 알루미늄의 두께는 산화규소에서는 약  $3 \mu\text{m}$ 이고, 폴리브텐에서는 약  $1.7 \mu\text{m}$ 이다. 따라서, 폴리브텐을 이온 저지층으로 사용할 때에, 마스크 두께는 약 1/2로 감소할 것으로 기대된다.

[0065] 이온 주입 중에는, 오염을 방지하기 위하여 반도체 표면을 노출시키지 않고 얇은 규소 산화막 등으로 덮는 것이 바람직하다. 따라서 본 발명에 따르면, 반도체 표면은 도 1에 도시된 바와 같이 규소 산화막으로 구성된 제1 산화막(12)에 의해 덮인다.

[0066] 전술한 바와 같이, 이온 주입 마스크(10)는 3 MeV 이상의 고에너지의 알루미늄 이온을 저지할 수 있다. 또한, SiC 기판(11)의 열팽창 계수와 이온 저지층(14)에 사용된 폴리브텐 또는 텅스텐의 열팽창 계수의 차이가 작기 때문에, 이온 저지층(14)의 형성 중에 사용된 고온으로부터 실온으로 복귀할 때에 이온 저지층(14)에 작용하는 열응력이 작다. 따라서 고품질의 이온 주입 마스크(10)를 형성하는 것이 가능하다. 또한, 폴리브텐 또는 텅스텐보다 쉽게 산화되는 티탄으로 구성된 제1 금속 박막(13)이 제1 산화막(12)과 이온 저지층(14) 사이에 배치되어 있기 때문에, 이온 저지층(14)의 박리를 방지할 수 있다.

[0067] 반응성 이온 에칭(RIE) 또는 다른 반도체 프로세스를 사용하여 산화규소에 대하여 선택적으로 에칭되는 조건으로 폴리브텐을 처리할 수 있다. 최상층의 제2 산화막(16)을 마스크로서 이용하여 폴리브텐 또는 텅스텐을 에칭할 때에, 제1 산화막(12)과 폴리브텐 또는 텅스텐의 높은 에칭 속도비를 허용하는 조건을 이용하여, 폴리브텐 또는 텅스텐을 고속으로 에칭할 수 있다. 폴리브텐 또는 텅스텐 중 하나와 티탄에 대한 에칭을 완료한 후에, SiC 상의 제1 산화막(12)이 노출될 때에 에칭 속도를 감소시키며, 따라서 그 시점에 에칭을 용이하게 중지할 수 있다. 따라서 SiC 표면이 오염되는 것을 방지하는 제1 산화막(12)을 단지 최소로 에칭한 상태로 에칭 공정을 완료할 수 있다. 또한, 에칭이 종료된 때를 검출하는 광학적 간섭을 이용하는 방법을 채용함으로써, 에칭 공정을 고정밀도로 제어할 수 있다.

[0068] 도 4는 본 발명에 따른 이온 주입 마스크(10)를 제조하는 제조 방법을 도시하는 흐름도이다. 이온 주입 마스크(10)의 제조 방법은 반도체 기판의 전면 상에 규소 산화막으로 구성된 제1 산화막(12)을 형성하는 제1 산화막 형성 공정(스텝 S11)과, 제1 산화막(12) 상에 티탄으로 구성된 제1 금속 박막(13)을 형성하는 제1 금속 박막 형성 공정(스텝 S12)과, 제1 금속 박막(13) 상에 폴리브텐으로 구성된 이온 저지층(14)을 형성하는 이온 저지층 형성 공정(스텝 S13)과, 이온 저지층(14) 상에 티탄으로 구성된 제2 금속 박막(15)을 형성하는 제2 금속 박막 형성 공정(스텝 S14)과, 제2 금속 박막(15) 상에 규소 산화막으로 구성된 제2 산화막(16)을 형성하는 제2 산화막 형성 공정(스텝 S15)을 포함한다. 전술한 바와 같이, 일부 처리 장치에 있어서는, 스텝 S14, 스텝 S15 및 스텝 S17을 생략할 수 있다. 이러한 제조 방법에 있어서 제1 금속 박막(13)과 제2 금속 박막(15)에 사용된 티탄은 이온 저지층(14)에 사용된 폴리브텐보다 쉽게 산화된다. 이온 주입 마스크(10)의 제조 방법은 레지스트 패터닝 형성 공정(스텝 S16)과, 제2 산화막 에칭 공정(스텝 S17)과, 이온 저지층 에칭 공정(스텝 S18)을 또한 포함한다.

[0069] 다음으로, 도 5a 내지 도 5f는 본 발명의 이온 주입 마스크(10)를 형성하는 공정을 설명하는 다이어그램이다. 4H-SiC(0001) 표면으로부터  $8^\circ$  만큼 오프셋된 기판이 기판(11)으로서 사용된다(도 5a 참조). 제1 산화막 형성 공정(스텝 S11)에서는, 기판(11)을 세정한 후에, 열산화시켜 SiC 표면에 규소 산화막을 형성한다. 이러한 층이 제1 산화막(12)을 구성한다. 본 예에서는, 건조 산소 분위기에서  $1100^\circ\text{C}$ 의 온도로 20시간 동안 산화하여 약 50 nm의 산화막을 형성할 수 있다. 산화막(12)은, 화학 증착법(CVD)에 의해 또한 형성될 수도 있다.

[0070] 다음으로, 제1 금속 박막 형성 공정(스텝 S12)에서는, 두께 50 nm의 티탄을 스퍼터링에 의해 증착하여 제1 금속 박막(13)을 형성한다. 이온 저지층 형성 공정(스텝 S13)에서는, 두께  $2.3 \mu\text{m}$ 의 폴리브텐을 스퍼터링에 의해 증착하여 이온 저지층(14)을 형성한다.

[0071] 이온 저지층(14)에 사용된 폴리브텐의 두께  $2.3 \mu\text{m}$ 는 도 6에 도시한 실험 결과로부터 결정된 것이다. 도 6은 Si 반도체 표면에 Mo 막을 형성함으로써 얻은 시료에 최대 주입 에너지 3 MeV, Al 농도  $5 \times 10^{19} \text{ cm}^{-3}$  으로 11 단의 다단 이온 주입을 행한 후, Si 반도체 표면에서의 알루미늄 농도를 측정된 결과를 도시하고 있다. 횡축은 폴리브텐의 두께를 나타내고, 종축은 반도체 표면에서의 알루미늄 농도를 나타낸다. 실제의 이온 주입에서는, 도 3에 도시한 모의실험 결과에서 예상치 못한 주입 이온의 완만하게 경사진 분포로 인하여 계산한 것보다 두꺼운 Mo 층을 필요로 하고 있지만, Al 이온이 두께  $2.3 \mu\text{m}$ 의 폴리브텐에 의해 충분히 저지될 수 있

다는 것은 명확하다. 결과적으로, 본 실시예에서는, 2.3  $\mu\text{m}$  두께의 이온 저지층(14)을 사용하였다. Al 농도는 두께 2.3  $\mu\text{m}$  이상에서는 변화하지 않는데, 이는 사용한 측정 장치의 한계 때문인 것으로 생각된다.

[0072] 제2 금속 박막 형성 공정(스텝 S14)에서는, 두께 50 nm의 티탄을 스퍼터링에 의해 증착하여 제2 금속 박막(15)을 형성한다.

[0073] 후속하여, 제2 산화막 형성 공정(스텝 S15)에서는, CVD 법 또는 다른 방법에 의해 1.2 $\mu\text{m}$ 의 규소 산화막을 형성한다. 이러한 층이 제2 산화막(16)을 구성한다. 전술한 공정을 통하여 도 5b에 도시된 이온 주입 다층막을 형성할 수 있다. 여기서 이용한 층들의 두께는 단순히 예시적인 것이며, 형성하고자 하는 이온 주입층의 깊이에 따라 적절하게 변경될 수 있다.

[0074] 다층막을 형성한 후에, 이하의 공정을 실행한다. 먼저, 레지스트 패턴 형성공정(스텝 S16)에서는, 통상적으로 사용되는 포토리소그래피 공정에서 포토레지스트(18)에 의해 다층막 상에 포토레지스트 패턴을 형성한다(도 5c 참조).

[0075] 다음으로, 제2 산화막 에칭 공정(스텝 S17)에서는, 포토레지스트(18)를 마스크로서 사용하여 규소 산화막으로 구성된 제2 산화막(16)을 처리한다(도 5d 참조). 예컨대,  $\text{CHF}_3$ , 아르곤, 산소 등의 가스 혼합물에서 반응성 이온 에칭(RIE)에 의해 규소 산화막을 에칭할 수 있다.

[0076] 규소 산화막을 에칭한 후에, 산소 플라즈마에 의해 포토레지스트(18)를 제거한다.

[0077] 그 후, 이온 저지층 에칭 공정(스텝 S18)에서는, 규소 산화막을 마스크로서 이용하여  $\text{CF}_4$ 와 산소의 가스 혼합물 중에서 RIE 등에 의해 제2 금속 박막(15)과, 이온 저지층(14)과, 제1 금속 박막(13)(Ti/Mo/Ti 층)을 에칭한다(도 5e 참조). 에칭 조건을 조정함으로써 Mo/실리콘 산화막의 에칭 속도비를 3 이상으로 할 수 있다. 최하층의 티탄 층 [(제1 금속 박막(13))]의 에칭이 완료한 때에 에칭을 중지한다.

[0078] 제1 산화막(12)이 낮은 에칭 속도 조건하에서 에칭되기 때문에, 최하층의 제1 산화막(12)이 남겨진 상태로 공정을 쉽게 완료할 수 있다. 기판 상의 관찰 영역에 의해 광학적인 간섭을 기초로 에칭 상태를 모니터링하면서 공정을 실행함으로써 정밀한 제어가 또한 가능하다.

[0079] 전술한 바와 같이 형성된 이온 주입 마스크의 상층으로부터 화살표 20으로 도시된 바와 같이 알루미늄 이온을 고에너지(예컨대 3 MeV)로 주입하여, 개구(17)를 통하여 기판(11)에 알루미늄 이온을 주입하고, 선택적 도전성 영역(21; 게이트 영역)을 형성한다(도 5f 참조).

[0080] 전술한 바와 같이 제작한 이온 주입 마스크(10)를 이용하여 최대 에너지 3 MeV, 농도  $1 \times 10^{19} \text{ cm}^{-3}$ 로 알루미늄 이온을 주입하여, 알루미늄 농도가  $1 \times 10^{16} \text{ cm}^{-3}$ 으로 감소한 시점에서 정의한 주입 깊이가 약 2.5 $\mu\text{m}$ 인 것을 확인하였다. 또한, 이온 주입을 800 $^\circ\text{C}$ 의 온도에서 실행한 경우에, 패턴 붕괴 등의 문제가 전혀 발생하지 않았다. 이들 기술을 사용하여 접합형 전계 효과 트랜지스터를 형성하여, 만족스러운 특성을 얻었다.

[0081] 도 7은 본 발명의 실시예에 따른 탄화규소 반도체 장치(30)(예컨대, 접합형 전계 효과 트랜지스터)의 일부의 단면 구조를 도시하고 있다. 전술한 이온 주입 마스크(10)를 이용하여 반도체 장치를 형성하였다. 접합형 전계 효과 트랜지스터(30)는 n형의 저저항 층인 드레인 영역(31); n형의 고저항 층인 드리프트 영역(32)과; n형의 저저항 영역인 소스 영역(33); 소스 영역(33)을 둘러싸도록 형성된 p형의 저저항 영역인 게이트 영역(34); 드레인 전극(35), 소스 전극(36) 및 게이트 전극(37)을 포함한다. 이러한 구조에서는, 저저항  $n^+$  SiC 기판에서의 에피택셜 성장에 의해 고저항의  $n^-$  층(32)이 형성된다. 기판은 주 전극 중 하나인 드레인 영역(31)을 구성한다. 다른 주 전극인 소스 영역(33)은 고저항의  $n^-$  층(32)의 표면에 마련된다. 각각의 소스 영역(33)과 소스 전극(36)은 길고 얇은 형상을 가지며, 다수의 소스 전극(36)은 도 14에 도시된 종래의 접합형 전계 효과 트랜지스터(100)와 유사하게 상호 분리되어 정렬되어 있다. 제어 전극인 게이트 전극(37)이 소스 전극(36)을 둘러싸도록 마련되어 있다. 소스 전극(36)과 드레인 전극(35) 사이에서 흐르는 전류는 게이트 전극(37)에 인가되는 신호에 의해 흐르게 되거나 차단된다. 접합형 전계 효과 트랜지스터(30)에 게이트 영역(34)을 형성할 때에, 이온 주입 마스크(10)를 사용하여 고에너지의 알루미늄 이온을 주입하고, 이로써 도 11에 도시된 종래의 접합형 전계 효과 트랜지스터(100)의 게이트 영역(104)보다 깊은 게이트 영역(34)이 형성된다.

[0082] 도 8a 내지 도 8c는 본 실시예에 따른 접합형 전계 효과 트랜지스터(30)의 작동을 설명하는 다이어그램이다.

도 8a는, 소스 전극(36)과 드레인 전극(35) 사이에 드레인 전압(VD)이 인가되고, 핀치-오프 전압과 동일하거나 그보다 작은 전압이 접합형 전계 효과 트랜지스터(30)의 게이트 전극(37)에 인가되는 상태를 도시하고 있다. 이 때에, 게이트 영역(34)의 드리프트 영역 내에서 공핍 영역(dr)이 확대되어, 소스 영역(33)으로부터의 전자(화살표 e 참조)가 공핍 영역(dr)에 의해 차단되어, 드리프트 영역을 통과하지 않는다. 도 8b에 도시된 바와 같이, 핀치-오프 전압과 동일하거나 그보다 큰 전압이 게이트 전극(37)에 인가될 때에는, 공핍 층이 좁아지게 되어, 전자(화살표 e2)가 소스 전극(36)과 드레인 전극(35) 사이를 통과하며, 전류가 통과한다. 또한, 전압이 도 8c에 도시된 바와 같이 게이트 전극(37)에 추가로 인가될 때에는, 정공(화살표 h1)이 게이트 전극(34)으로부터 드리프트 영역(32)으로 주입된다. 이로써 전자(화살표 e1)가 소스 영역(33)으로부터 주입되고, 하전 중성 조건을 만족시키도록 고저항 층(32)의 도전율이 변경된다. 이로써, 고저항 층(32)의 도전율은 변경되고, 온-저항(on-resistance)이 감소한다.

[0083] 도 11에 도시된 종래의 제조 방법에 의해 제작된 접합형 전계 효과 트랜지스터(100)는 게이트 영역(104)이 깊지 않으므로, 핀치-오프 전압이 제로 볼트 이하이고, 통상-온 특징을 갖는다. 그러나, 본 발명의 접합형 전계 효과 트랜지스터(30)는 게이트 영역(34)이 깊으므로, 핀치-오프 전압이 제로 볼트 이상이고, 통상-오프 특징을 갖는다.

[0084] 결과적으로, 본 발명에 따른 접합형 전계 효과 트랜지스터(30)는 어떠한 이상이 발생하여 게이트로의 제어 신호가 차단된 때에 오프 상태로 되는 특징을 갖는다.

[0085] 다음으로, 본 발명의 실시예에 따른 탄화규소 반도체 장치를 제조하는 제조 방법을 설명하기로 한다.

[0086] 도 9는 본 발명의 실시예에 따른 탄화규소 반도체 장치를 제조하는 제조 방법에 의해 접합형 전계 효과 트랜지스터를 제조하는 공정을 보여주는 흐름도이다. 도 10a 내지 도 10f는 이들 각 공정에서의 횡단면 구조를 도시하고 있다. 이러한 탄화규소 반도체 장치의 제조 방법은, 제1 도전성(n<sup>+</sup>형) 탄화규소 반도체 기판(31) 상에 n<sup>-</sup>형의 고저항 층(32)을 형성하는 고저항 층 형성 공정(스텝 S21)과, 소스 영역을 구성하는 제1 도전성(n<sup>+</sup>형) 저저항 층(33)을 형성하는 저저항 층 형성 공정(스텝 S22)과, 제2 도전성(p<sup>+</sup>형) 게이트 영역(34)을 형성하도록 이온 주입 마스크(10)를 이용하여 이온을 주입하는 게이트 영역 형성 공정(스텝 S23)과, 소스 전극(36), 게이트 전극(37) 및 드레인 전극(35)을 형성하는 전극 형성 공정(스텝 S24)을 포함한다.

[0087] 고저항 층 형성 공정(스텝 S21)에서는, 두께 10 $\mu$ m, 농도 1 $\times$ 10<sup>16</sup>cm<sup>-3</sup>의 질소를 불순물로서 층에 도핑하여 얻은 SiC 층(32)을 에피택셜 성장법에 의해 SiC(탄화규소) 고농도 n형 기판(31) 상에 형성한다(도 10a 참조). 그 후, 저저항 층 형성 공정(스텝 S22)에서는, 두께 0.2 내지 0.4 $\mu$ m, 농도 1 내지 5 $\times$ 10<sup>19</sup>cm<sup>-3</sup>의 질소를 불순물로서 층에 도핑하여 얻은 소스 층(33)을 이온 주입법에 의해 SiC 층(32) 상에 형성한다(도 10b 참조).

[0088] 다음으로, 게이트 영역 형성 공정(스텝 S23)에서는, 선택적 이온 주입에 의해 p형 게이트 영역을 형성한다. 도 10c에서, 먼저, 게이트 영역이 형성되지 않은 영역을 보호하도록 표면에 본 발명의 이온 주입 마스크(10)를 형성한다. 도 10c 및 도 10d에서 도면 부호 12는 규소 산화막을 나타낸다.

[0089] 이온 주입 마스크(10)를 형성한 후에, 게이트 영역(34)을 형성하기 위하여 고에너지의 이온 주입(화살표 A)을 실행한다(도 10d 참조).

[0090] 이온 주입 후에, 이온 주입 마스크(10)를 에칭에 의해 제거한다(도 10e 참조).

[0091] 이온 주입 후에, 반도체에서 주입된 이온을 전기적으로 활성화시키고, 이온 주입 중에 형성된 결정 결함을 제거하도록 활성화 열처리를 실행한다. 예컨대, 고주파 열처리 노 등을 이용하여 약 1700 $^{\circ}$ C 내지 1800 $^{\circ}$ C의 고온에서 약 10분 동안 열처리를 실행한다. 주변 가스로서 아르곤을 이용한다.

[0092] 그 후, 소스 전극(36), 게이트 전극(37) 및 드레인 전극(35)을 형성한다(도 10f 참조). 소스 전극(36) 및 드레인 전극(35)으로는 니켈 또는 티탄이 사용되고, 게이트 전극(37)으로는 티탄 또는 알루미늄 등이 사용된다. 증착 또는 스퍼터링에 의해 이들 전극을 형성한다. 패터를 형성하기 위하여 건식 에칭, 습식 에칭, 리프트-오프 또는 다른 방법을 포토리소그래피와 함께 사용한다. 전극을 형성한 후에, 금속과 반도체 사이의 접촉 저항을 줄이기 위하여 열처리를 실시한다. 800 $^{\circ}$ C 내지 1000 $^{\circ}$ C에서 약 10 내지 30분 동안 열처리를 실시한다.

[0093] 마지막으로, 분리된 소스를 하나의 전극으로 합체하기 위하여 상측 배선 단계를 실시한다. 예컨대, 층간막으로서 CVD 산화막 등을 형성하고, 소스 전극(36) 상의 CVD 산화막을 포토리소그래피 및 에칭 공정에 의해 제거

한 후에, 상층 전극을 증착한다. 전극 재료로서 알루미늄을 사용한다.

[0094] 이와 같이 하여, 도 7에 도시된 바와 같은 통상-오프 특징을 갖는 고성능 탄화규소 반도체 장치를 제조할 수 있다. 본 실시예에 있어서의 층의 두께, 이온 주입 에너지의 양, 다른 특성의 수치는 단순히 예시적인 것이고, 본 발명을 실시할 수 있는 범위 내에서 적절하게 변경될 수 있다.

[0095] 본 실시예에 따르면, 몰리브덴을 이온 저지층(14)으로서 사용하였지만, 텅스텐을 사용할 수도 있다. 제1 산화막(12) 및 제2 산화막(16)으로 산화규소를 사용하였지만, 제1 산화막(12) 및 제2 산화막(16)은 그러한 재료로만 한정되지 않으며, 이들 산화막을 규소 산화막 이외의 다른 산화막으로 형성할 수도 있다. 제1 산화막(12) 및 제2 산화막(16) 대신에, 규소 질화막 또는 규소 질화막 이외의 다른 질화막을 이용할 수도 있다. 이때에, 통상의 반도체 제조 공정을 전술한 바와 같은 제1 금속 박막(13) 및 제2 금속 박막(15)에 적용할 수 있고, 또한 이온 저지층(14)에 사용된 금속보다 용이하게 질화물을 형성하고, 접촉층으로서 충분히 기능하는 재료를 사용할 수 있다. 예컨대, 제1 금속 박막(13) 및 제2 금속 박막(15)의 재료로는 티탄 박막이 바람직하다.

[0096] 도 1에 도시된 바와 같은 본 발명의 이온 주입 마스크(10)에 있어서, 제1 산화막(12), 제1 금속 박막(13), 이온 저지층(14), 제2 금속 박막(15) 및 제2 산화막(16)은 모두 단층으로서 구성되어 있지만, 이들 막은 동일한 기능을 수행하는 한은 다른 재료와 조합되어 다층으로 형성될 수도 있다. 예컨대, 접촉층인 제1 금속 박막(13)은 티탄 등을 포함하는 다층 구조를 가질 수 있다.

[0097] 본 발명은 이온 주입에 의해 반도체 기판 상에 게이트 영역 또는 다른 선택적 도전성 영역을 형성할 때에 사용되는 이온 주입 마스크로서, 이러한 이온 주입 마스크를 제조하는 제조 방법으로서, 탄화규소 반도체 장치를 제조하는 제조 방법으로서, 그리고 이러한 제조 방법에 의해 제조되는 탄화규소 반도체 장치로서 사용될 수 있다.

**발명의 효과**

[0098] 본 발명에 따르면, 이온 저지층이 종래의 마스크에 사용된 규소 산화막보다 밀도가 높은 금속으로 제조되므로, 이러한 이온 저지층을 구성 요소로서 구비하는 이온 주입 마스크는 종래의 마스크보다 이온 저지 능력이 우수하다. 따라서, 이온 저지층은 고에너지의 이온을 저지할 수 있고, 이러한 이온 저지층을 구성 요소로서 구비하는 이온 주입 마스크를 이용한 이온 주입에 의해 반도체에 보다 깊은 선택적 도전성 영역을 형성할 수 있다. 또한, 이러한 이온 주입 마스크를 구성하는 금속 박막은 이온 저지층에 사용된 금속보다 산화되기 쉬우므로, 산화막의 산소 원자와 금속 박막의 금속 원자 사이의 원자간 결합이 산화막과 이온 저지층의 금속 원자 사이의 원자간 결합보다 강하기 때문에, 이온 저지층과 산화막 사이에 배치된 금속 박막이 이온 저지층의 박리를 방지하도록 작용한다.

[0099] 본 발명에 따르면, 이온 주입 마스크는 다양한 유형의 재료로 구성된 다층막이므로, 에칭 속도가 재료의 종류에 따라 상이하도록 에칭 조건을 제어함으로써 용이하게 산화막 또는 질화막만을 용이하게 남겨두는 것이 가능하다. 이들 비에칭 상태로 남겨진 산화막 또는 질화막에 의하여 반도체 기판을 오염으로부터 보호할 수 있다. 따라서, 안정적인 공정과 고품질을 확보할 수 있다.

[0100] 본 발명에 따르면, 전술한 바와 같이 반도체에 보다 깊은 선택적 도전성 영역을 형성할 수 있고, 안정적인 공정과 고품질을 확보할 수 있다. 따라서 고품질의 탄화규소 반도체 장치를 제조할 수 있다.

**도면의 간단한 설명**

[0001] 도 1은 본 발명의 실시예에 따른 이온 주입 마스크의 기본 구조를 보여주는 종단면도이고,

[0002] 도 2는 본 발명의 실시예에 따른 이온 주입 마스크의 기본 구조를 보여주는 평면도이고,

[0003] 도 3은 3 MeV의 에너지로 알루미늄 이온을 주입한 때에 실리콘 산화물과 몰리브덴 층의 알루미늄의 분포를 모의 실험한 결과를 도시하는 그래프이고,

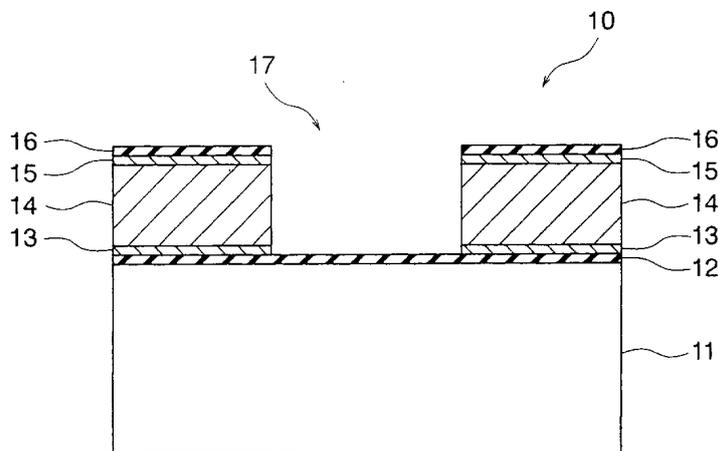
[0004] 도 4는 본 발명의 실시예의 이온 주입 마스크를 제조하는 제조 방법에 따라 이온 주입 마스크를 제조하는 단계를 보여주는 흐름도이고,

[0005] 도 5a 내지 도 5f는 본 발명의 실시예의 이온 주입 마스크를 제조하는 제조 방법에 따라 이온 주입 마스크를 제조하는 여러 단계에서의 반도체 기판의 단면도를 도시하고,

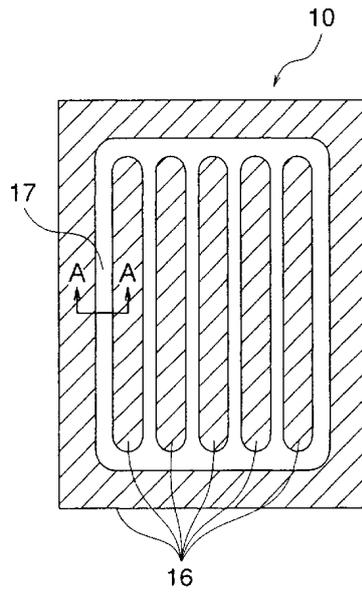
- [0006] 도 6은 반도체 기판 상에 폴리브덴 막을 형성함으로써 얻은 시료에 알루미늄을 주입한 때에 반도체 표면에서의 알루미늄 농도를 측정된 결과를 나타내는 그래프이고,
- [0007] 도 7은 본 발명의 실시예의 탄화규소 반도체 장치의 일부의 단면도이고,
- [0008] 도 8a 내지 도 8c는 본 발명의 실시예의 접합형 전계 효과 트랜지스터의 동작 설명도이고,
- [0009] 도 9는 본 발명의 실시예의 탄화규소 반도체 장치를 제조하는 제조 방법에 따라 접합형 전계 효과 트랜지스터를 제조하는 단계를 보여주는 흐름도이고,
- [0010] 도 10a 내지 도 10f는 본 발명의 실시예의 탄화규소 반도체 장치를 제조하는 제조 방법에 따라 접합형 전계 효과 트랜지스터를 제조하는 여러 단계에서의 반도체 기판의 단면도를 도시하고,
- [0011] 도 11은 종래의 접합형 전계 효과 트랜지스터의 일부의 단면도이고,
- [0012] 도 12는 종래의 접합형 전계 효과 트랜지스터의 평면도이고,
- [0013] 도 13은 이온 주입에 의해 게이트 영역을 형성하는 스테이지에서의 접합형 전계 효과 트랜지스터의 단면도이다.
- [0014] <도면의 주요 부분에 대한 부호의 설명>
- [0015] 10 : 이온 주입 마스크
- [0016] 11 : 기판
- [0017] 12 : 제1 산화막
- [0018] 13 : 제1 금속 박막
- [0019] 14 : 이온 저지층
- [0020] 15 : 제2 금속 박막
- [0021] 16 : 제2 산화막
- [0022] 17 : 개구부

**도면**

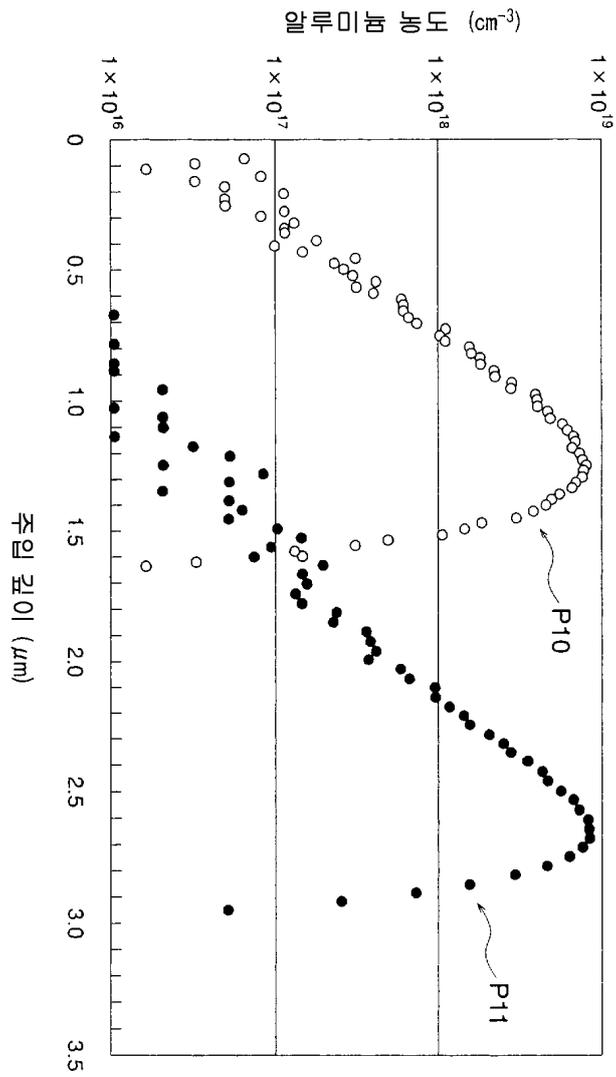
**도면1**



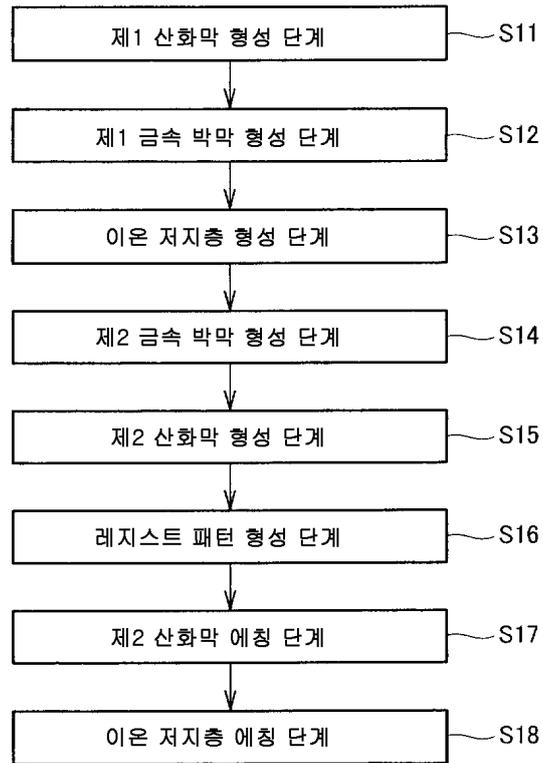
도면2



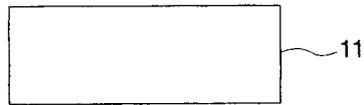
도면3



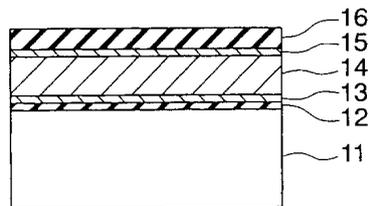
도면4



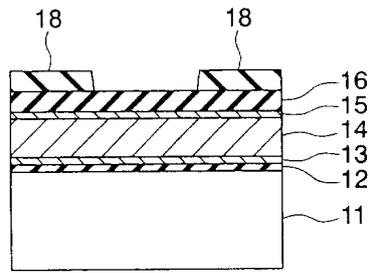
도면5a



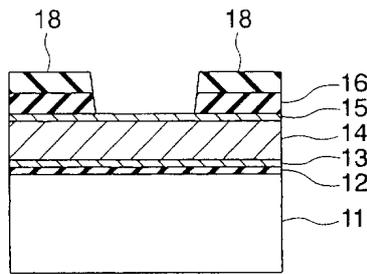
도면5b



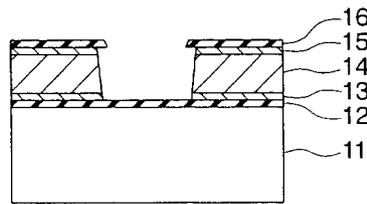
도면5c



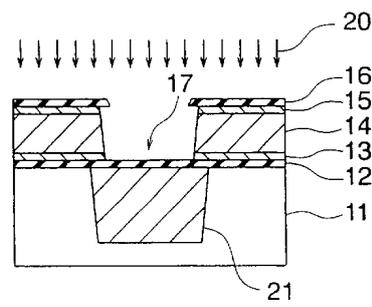
도면5d



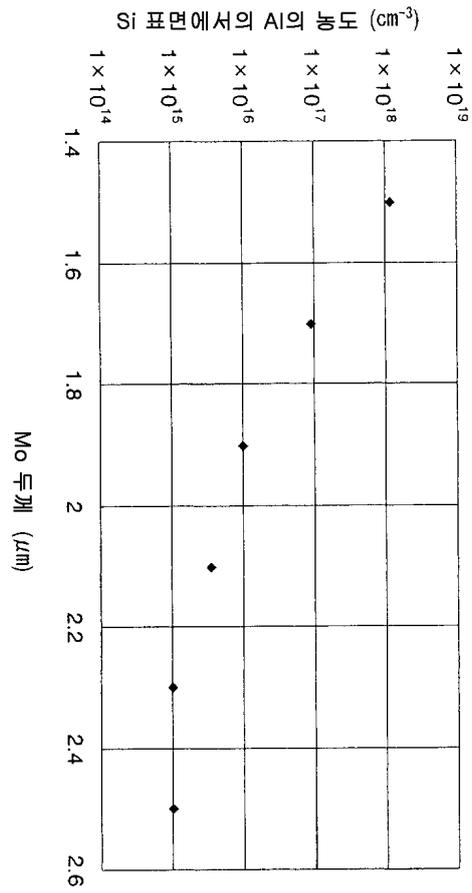
도면5e



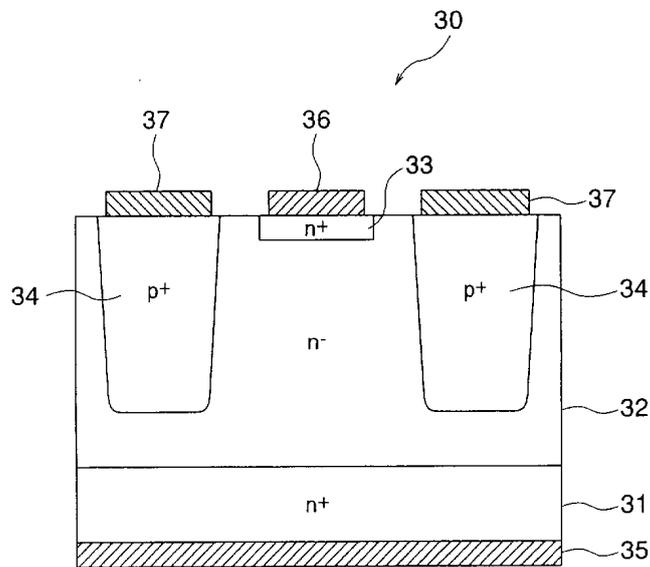
도면5f



도면6

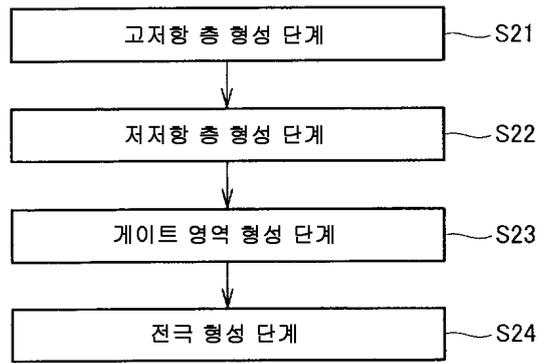


도면7

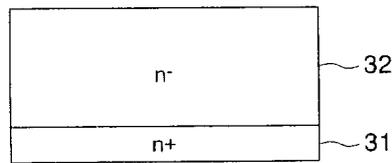




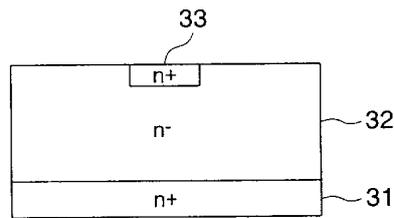
도면9



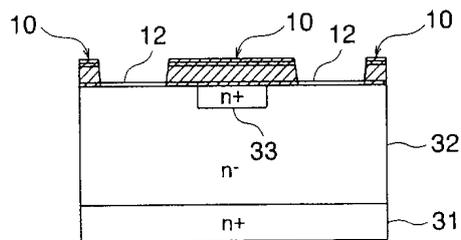
도면10a



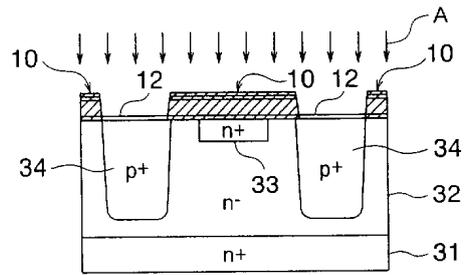
도면10b



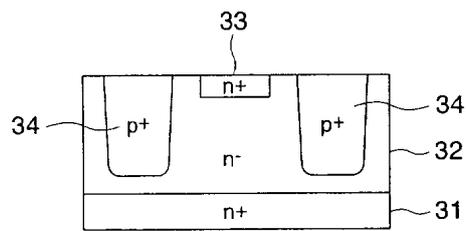
도면10c



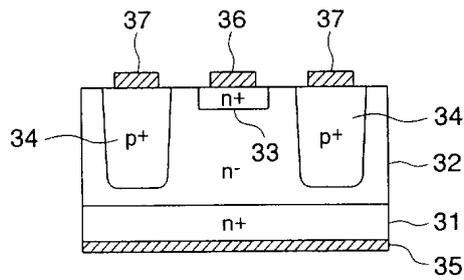
도면10d



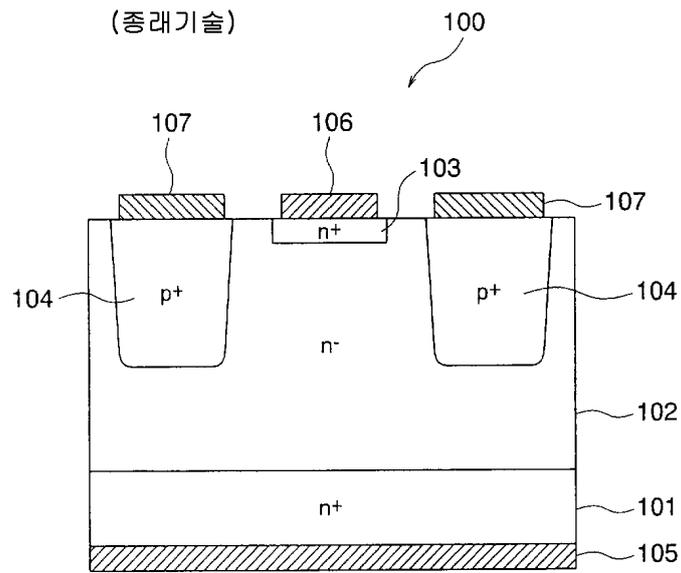
도면10e



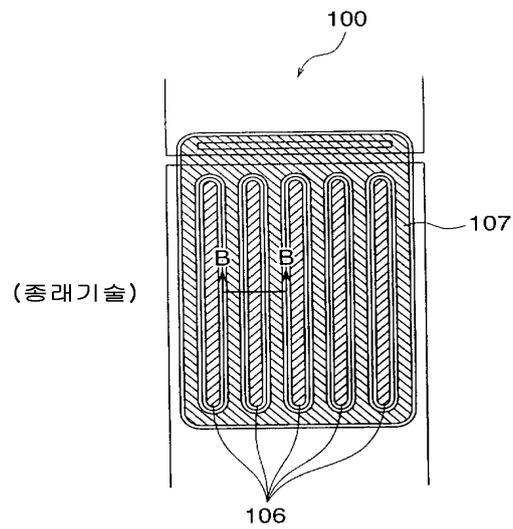
도면10f



도면11



도면12



도면13

